

VA-charakteristiky tranzistoru JFET

Úkol: 1. Změřte VA charakteristiky unipolárního tranzistoru (JFET) v zapojení se společnou elektrodou S

2. JFET v zapojení se společnou elektrodou S jako zdroj proudu řízený napětím
3. Určete pro dané zapojení admitanční parametry NLO

1.1 Pokyny pro měření

1. Výstupní charakteristika

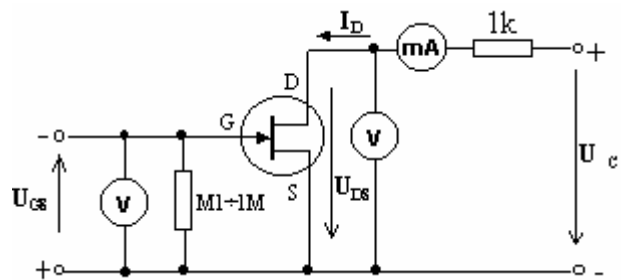
$I_D = f(U_{DS})$ / při $U_{GS} = \text{konst.}$ (5 křivek)

- a) Nastavte napájecí napětí $U_{CC} = 10V$
- b) Napětí U_{GS} zvětšujte až do zániku proudu I_D . Zjištěné napětí rozdělte na 5 úrovní tak, aby hodnoty odpovídaly pěti charakteristikám s přibližně stejnou vzdáleností v grafu.
- c) Pro takto určené hodnoty U_{GS} proměřte jednotlivé charakteristiky, hodnoty zapište do tabulky a zakreslete je do grafu.
- d) V průběhu měření kontrolujte stabilitu nastaveného U_{GS} .

2. Převodní charakteristika (zdroj proudu řízený napětím) stejně zapojení

$I_D = f(U_{GS})$ / při $U_{DS} = \text{konst.}$

- a) Nastavte $U_{DS} = 5V$ a udržujte toto napětí konstantní.
- b) Napětí U_{GS} zvětšujte, nejlépe po úrovních určených v předchozí úloze.
- c) Naměřené hodnoty zapište do tabulky a vynesete do grafu.
- d) Totéž proveďte pro $U_{DS} = 3V$



Obrázek 40: Zapojení pro měření

Omezení: $I_{Dmax} = 10mA$; $U_{DSmax} = 10V$

Poznámka: Vodivý kanál tranzistoru je plně otevřen při nulovém předpětí na elektrodě G ($I_D = \text{max}$); Přivedením záporného předpětí na elektrodu G se vodivost kanálu zmenšuje.

3. Admitanční parametry NLO

Ze změřených charakteristik určete admitanční parametry náhradního lineárního obvodu.

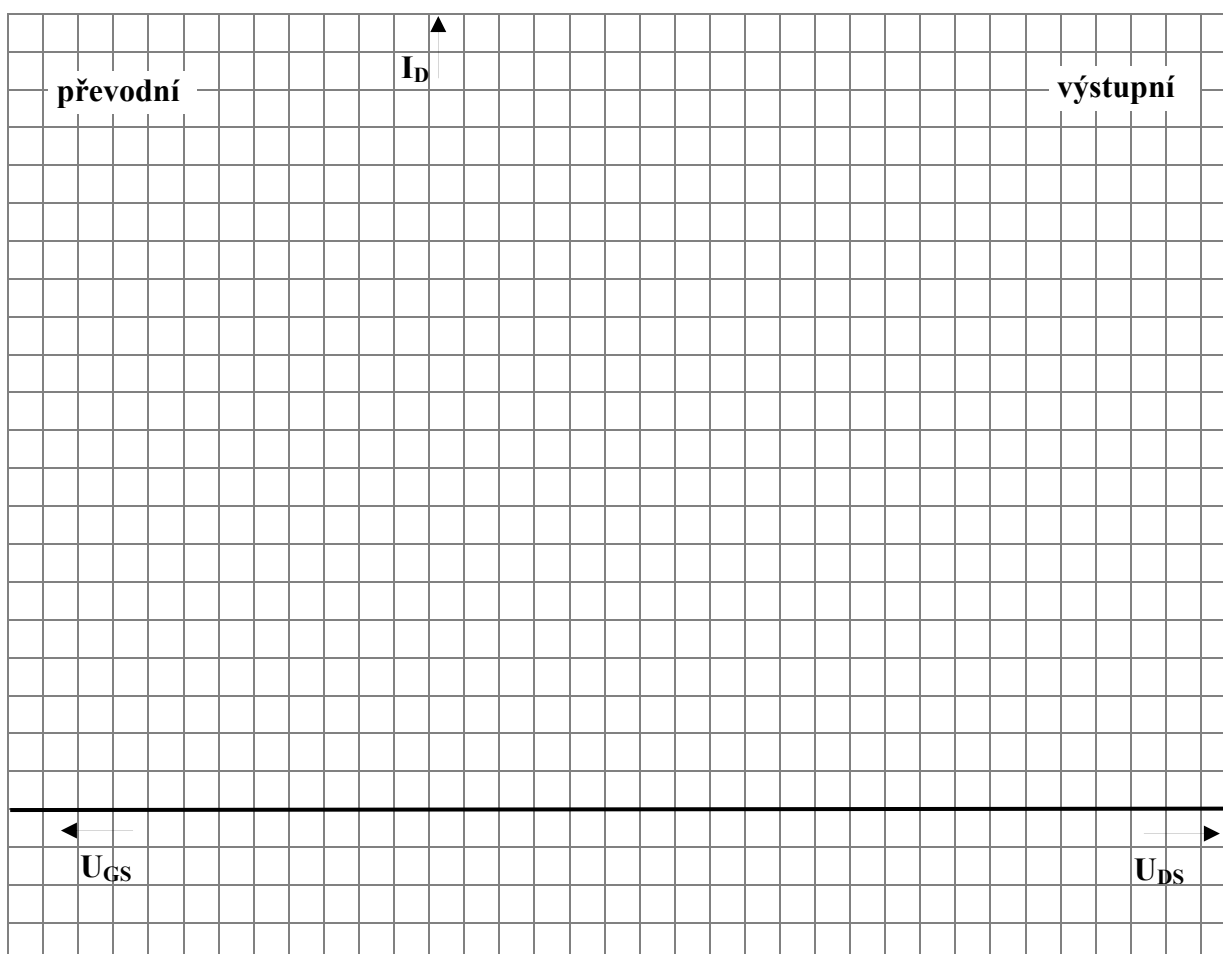
$$y_{21S} = \left[\frac{\Delta I_D}{\Delta U_{GS}} \right]_{U_{DS}=\text{konst.}}$$

přenosová admitance
strmost [S], [mA/V]

$$y_{22S} = \left[\frac{\Delta I_D}{\Delta U_{DS}} \right]_{U_{GS}=\text{konst.}}$$

Výstuní vodivost [S]

1.2 Měření a jeho vyhodnocení



3. Admitanční koeficienty:

$$y_{21s} = \frac{\Delta I_D}{\Delta U_{GS}} =$$

$$y_{22s} = \frac{\Delta I_D}{\Delta U_{DS}} =$$

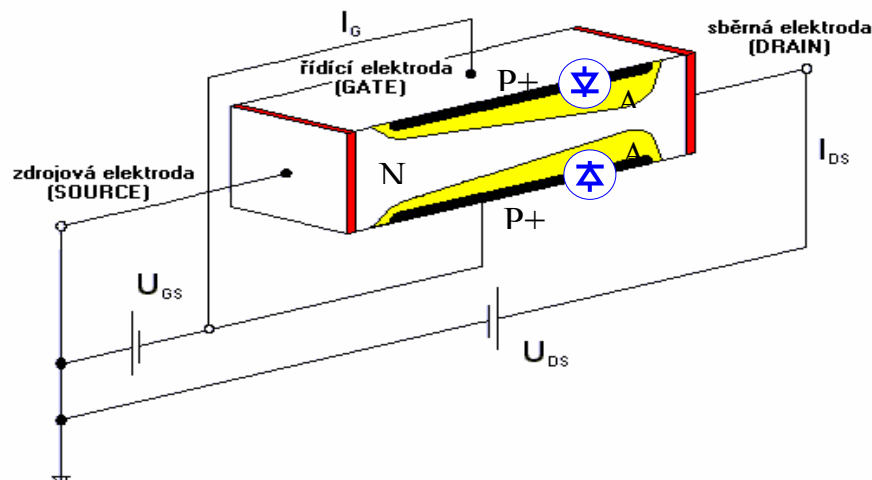
Závěr:

1.3 Teoretické poznámky

1.3.1 Princip funkce unipolárního tranzistoru

Potřeba aktivního prvku v pevné fázi s vysokým vstupním odporem vedla k objevu a konstrukci tzv. tranzistorů řízených polem, jinak nazývaných FET (z anglického field effect transistor). Jsou to tranzistory, jejichž fyzikální princip funkce je odlišný od principu, na kterém pracují bipolární tranzistory. Řídicí elektrodou tranzistorů typu FET teče buď jen velmi malý proud ekvivalentní proudu diody v závěrném směru, nebo je tato řídicí elektroda izolovaná od řízeného obvodu vrstvičkou SiO_2 , takže jí neteče prakticky žádný proud (představuje ss odpor o velikosti cca $10^{12} \Omega$).

Historicky první vznikly tranzistory s izolovanou řídicí elektrodou (hradlem) a závěrně pólovaným přechodem PN, tzv. tranzistory JFET (junction FET). Princip funkce tohoto tranzistoru je naznačen na obrázku 41.



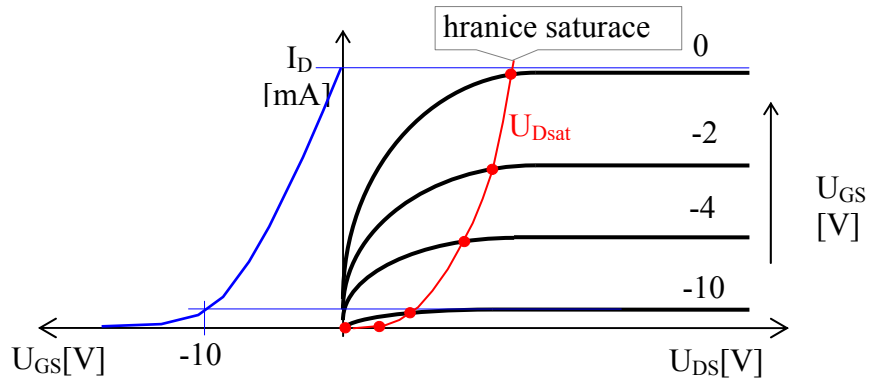
Obrázek 41: Princip funkce unipolárního tranzistoru JFET

Základem je polovodičová destička s nevlastní vodivostí typu N opatřená na obou koncích neusměrňujícími přívodními kovovými kontakty a mají, ve srovnání s bipolárním tranzistorem, význam emitoru a kolektoru. Do horní i dolní stěny základní destičky je vytvořena difúzí silně dotovaná vrstva obráceného typu vodivosti (P+) nazvaná hradlo (G-gate). Obě části hradla jsou spolu vodivě spojeny. Hradlo tvoří řídicí elektrodu tranzistoru. Prostor mezi částmi hradla se nazývá kanál.

Jsou-li hradlo G i drain D spojeny s elektrodou source S ($U_{DS} = U_{GS} = 0$) vytvoří se v okolí hradla vyprázdňená oblast A, která se nesymetricky rozšiřuje do oblasti N s nízkou dotací. Tloušťku vyprázdňené oblasti je možno měnit napětím přiloženém k přechodu. Přiložíme-li tedy mezi hradlo a source napětí U_{GS} tak, aby přechod byl polarizován ve zpětném směru, můžeme obě vyprázdňené oblasti rozšířit, čímž zúžíme vodivou část kanálu a zvětšíme jeho odpor. Přitom přívodem hradla neprochází téměř žádný proud (řádově pA).

Při nulovém nebo velmi malém napětí U_{DS} je vyprázdňená část kolem části hradla rovnoměrná a proud při vzrůstu U_{DS} se zvyšuje lineárně. Při dalším zvyšování napětí U_{DS} začíná kladné napětí připojené v místě drainu na kanál vodivosti typu N působit jako předpětí HRADLO-KANÁL ve zpětném směru a tím rozšiřovat vyprázdňenou oblast. Toto rozšíření je největší v blízkosti drainu, neboť napětí mezi kanálem a hradlem se v důsledku napěťového úbytku působeného proudem I_D ve směru od D k S zmenšuje. Výsledkem je nerovnoměrné rozložení vyprázdňené oblasti podél hradla.

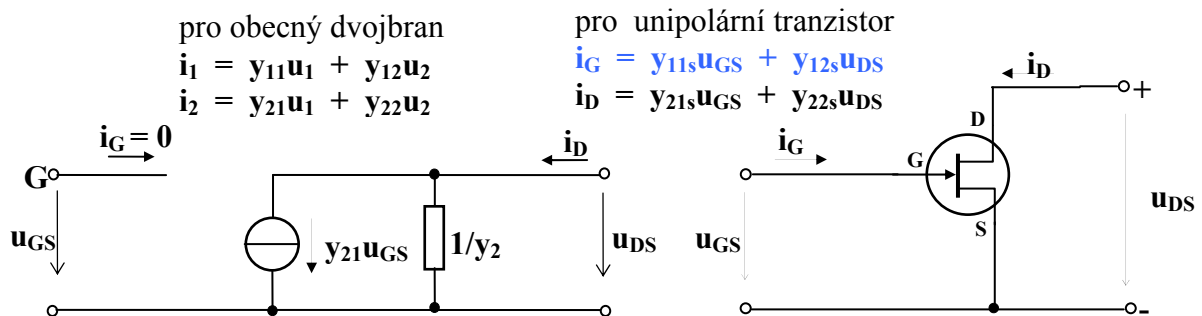
Při maximálním zúžení kanálu však stále prochází nasycený proud I_D v důsledku velkého rozdílu potenciálů mezi S a D a v důsledku průchodu nosičů podél siločar elektrického pole přechodu PN - nasycená oblast (saturace). Z tohoto popisu vycházejí následující VA charakteristiky JFETu (obr.42).



Obrázek 42: VA-charakteristiky JFETu

Podobně jako u bipolárních tranzistorů používáme ke stanovení parametrů zesilovače malého signálu s tranzistorem JFET náhradního lineárního obvodu (NLO). K popisu je vhodné použít admitančních rovnic dvojbranu, jelikož soustava rovnic se zjednoduší pouze na jednu rovnici vzhledem k prakticky nulovému proudu hradla I_G . Soustava koeficientů se tak ze stavu nakrátko a naprázdno zjednoduší pouze na dva - y_{21s} a y_{22s} (pro zapojení se společnou elektrodou S).

1.3.2 Admitanční rovnice náhradního lineárního obvodu



Obrázek 43: Náhradní lineární obvod

Potom:

$$y_{21s} = \left[\frac{\Delta I_D}{\Delta U_{GS}} \right]_{U_{DS}=\text{konst.}}$$

Definuje *přenosovou admitanci* v přímém směru při výstupu nakrátko, která se číselně rovná hodnotě změny výstupního proudu nakrátko při jednotkové změně vstupního napětí. Označuje se jako **strmost** – rozměr [S], [mA/V]

$$y_{22s} = \left[\frac{\Delta I_D}{\Delta U_{DS}} \right]_{U_{GS}=\text{konst.}}$$

Definuje *přenosovou vodivost* nakrátko a je rovna hodnotě změny výstupního proudu při jednotkové změně výstupního napětí a vstupu nakrátko – rozměr [S].

V porovnání s bipolárními tranzistory mají unipolární tranzistory větší impedance, vyžadují menší řídicí příkon, ale mají rovněž menší výstupní výkon. Pro aplikace např. v logických obvodech je tato okolnost výhodná. V planárním provedení zaujímá JFET asi pětkrát menší plochu než bipolární tranzistor a je tedy vhodný pro velkou integraci. Strmost JFETů je menší než u bipolárních tranzistorů, což se projevuje nepříznivě při velmi rychlém zpracování informací (daná kapacita se nabíjí pomaleji), kde mají bipolární tranzistory lepší parametry. Neobyčejně velká vstupní impedance JFETů umožňuje speciální aplikace a relativně malá teplotní závislost umožňuje pracovat i při velmi nízkých teplotách. Šum JFETů je u středních frekvencí menší než šum bipolárních tranzistorů.