

# **DIGITÁLNÍ OBVODY A MIKROPROCESORY**

**Garant předmětu:**

Prof., Ing. Radimír Vrba, CSc.

**Autoři textu:**

Prof., Ing. Radimír Vrba, CSc., Doc., Ing. Pavel Legát, CSc.,  
Ing. Radek Kuchta, Ing. Břetislav Mikel

<b>1</b>	<b>ZÁKLADNÍ POJMY DIGITÁLNÍ TECHNIKY .....</b>	<b>3</b>
<b>2</b>	<b>KOMBINAČNÍ LOGICKÉ FUNKCE .....</b>	<b>5</b>
2.1	ZPŮSOBY ZÁPISU A ZOBRAZENÍ KOMBINAČNÍCH LOGICKÝCH FUNKCÍ .....	7
2.1.1	<i>Zápis kombinační logické funkce pomocí pravdivostní tabulky .....</i>	<i>7</i>
2.1.2	<i>Zápis kombinační logické funkce logickým výrazem .....</i>	<i>8</i>
2.1.3	<i>Zobrazení kombinační logické funkce pomocí mapy .....</i>	<i>11</i>
2.1.4	<i>Zobrazení kombinační logické funkce logickými schématy s kombinačními logickými členy...</i>	<i>12</i>
2.2	ZJEDNODUŠOVÁNÍ ZÁPISU KOMBINAČNÍCH LOGICKÝCH FUNKCÍ .....	12
<b>3</b>	<b>REALIZACE KOMBINAČNÍCH LOGICKÝCH FUNKCÍ .....</b>	<b>15</b>
3.1	REALIZACE KOMBINAČNÍ LOGICKÉ FUNKCE ZÁKLADNÍMI KOMBINAČNÍMI DIGITÁLNÍMI OBVODY .....	15
3.1.1	<i>Realizace kombinační logické funkce součinovými a součtovými obvody .....</i>	<i>15</i>
3.1.2	<i>Realizace kombinační logické funkce pomocí členů AND-OR-INVERT .....</i>	<i>17</i>
3.2	POUŽITÍ MULTIPLEXERŮ A DEMULTIPLEXERŮ K REALIZACI KOMBINAČNÍCH LOGICKÝCH FUNKCÍ .....	17
3.3	DALŠÍ ZPŮSOBY REALIZACE KOMBINAČNÍ LOGICKÉ FUNKCE .....	19
<b>4</b>	<b>DRUHY DIGITÁLNÍCH INTEGROVANÝCH OBVODŮ .....</b>	<b>22</b>
4.1	DIGITÁLNÍ INTEGROVANÉ OBVODY TTL .....	22
4.2	DIGITÁLNÍ INTEGROVANÉ OBVODY IIL .....	27
4.3	DIGITÁLNÍ INTEGROVANÉ OBVODY ECL .....	29
4.4	DIGITÁLNÍ INTEGROVANÉ OBVODY CMOS .....	32
<b>5</b>	<b>ZÁSADY NAVRHOVÁNÍ DIGITÁLNÍCH OBVODŮ A SYSTÉMŮ .....</b>	<b>43</b>
5.1	PŘIPOJOVÁNÍ VSTUPŮ DIGITÁLNÍCH OBVODŮ .....	43
5.2	VÝSTUPY DIGITÁLNÍCH OBVODŮ .....	50
5.3	SPOJE A PŘENOS SIGNÁLŮ .....	54
5.4	APLIKAČNÍ ZÁSADY .....	59
<b>6</b>	<b>TVAROVÁNÍ, GENEROVÁNÍ A ZDRŽOVÁNÍ IMPULSŮ .....</b>	<b>62</b>
6.1	ÚPRAVA HRAN LOGICKÝCH SIGNÁLŮ .....	62
6.2	NEAUTONOMNÍ GENERÁTORY IMPULSŮ .....	63
6.3	ZDRŽOVÁNÍ SIGNÁLŮ DIGITÁLNÍCH OBVODŮ .....	75
<b>7</b>	<b>GENERÁTORY PRAVOÚHLÝCH KMITŮ A PULSŮ .....</b>	<b>80</b>
7.1	GENERÁTORY PRAVOÚHLÝCH KMITŮ S LOGICKÝMI ČLENY .....	80
7.2	GENERÁTORY PRAVOÚHLÝCH KMITŮ A PULSŮ S MONOSTABILNÍMI KLOPNÝMI OBVODY .....	91
7.3	GENERÁTORY PRAVOÚHLÝCH KMITŮ A PULSŮ S ČASOVAČEM .....	93
7.4	GENERÁTORY ŘÍZENÉ NAPĚTÍM NEBO PROUDEM .....	94
7.5	OSCILÁTORY ŘÍZENÉ KRYSTALEM .....	98
<b>8</b>	<b>KMITOČTOVÉ SYNTÉZÁTORY A ÚSTŘEDNY .....</b>	<b>103</b>
8.1	SMYČKA FÁZOVÉHO ZÁVĚSU .....	103
8.2	NÁVRH SMYČKY FÁZOVÉHO ZÁVĚSU .....	106
8.3	POUŽITÍ OBVODŮ SMYČKY FÁZOVÉHO ZÁVĚSU .....	113
8.4	ČÍTAČE A DĚLIČE KMITOČTU .....	116
8.5	KMITOČTOVÉ SYNTÉZÁTORY .....	121
8.6	ČASOVÉ ZÁKLADNY .....	123
<b>9</b>	<b>ZPRACOVÁNÍ A ZVIDITELNĚNÍ VÍCEBITOVÝCH DIGITÁLNÍCH SIGNÁLŮ .....</b>	<b>126</b>
9.1	OBVODY PRO SČÍTÁNÍ A ODČÍTÁNÍ .....	126
9.2	OBVODY PRO NÁSOBENÍ .....	129
9.3	PŘEVODNÍKY KÓDU .....	129
9.4	ZOBRAZENÍ INFORMACE NA DISPLEJI LED VE STATICKÉM REŽIMU .....	130
9.5	ZOBRAZENÍ INFORMACE NA DISPLEJI LED V DYNAMICKÉM REŽIMU .....	135
9.6	PROVOZ DISPLEJE LCD .....	138
<b>10</b>	<b>SYSTÉMY PRO DIGITÁLNÍ ZPRACOVÁNÍ ANALOGOVÝCH SIGNÁLŮ .....</b>	<b>142</b>

10.1	NEINVERTUJÍCÍ PAMĚŤOVÝ VZORKOVAČ .....	142
10.2	KÓDY POUŽÍVANÉ PŘEVODNÍKY DAC A ADC .....	144
10.3	DIGITÁLNĚ ANALOGOVÉ PŘEVODNÍKY DAC .....	145
10.4	ANALOGOVĚ DIGITÁLNÍ PŘEVODNÍKY ADC .....	152
10.5	MODULACE SIGMA-DELTA .....	163
10.6	PŘEVODNÍKY ADC TYPU SIGMA-DELTA .....	164
10.7	PŘEVODNÍKY DAC TYPU SIGMA-DELTA .....	170
<b>11</b>	<b>MIKROPROCESOROVÁ TECHNIKA .....</b>	<b>176</b>
<b>12</b>	<b>POPIS MIKROPOČÍTAČE MC68HC11 .....</b>	<b>177</b>
12.1	POPIS PINŮ .....	179
12.1.1	<i>Piny VDD a VSS</i> .....	179
12.1.2	<i>Pin RESET</i> .....	179
12.1.3	<i>Řízení krystalu a externí časovací vstup (XTAL a EXTAL)</i> .....	179
12.1.4	<i>Pin E – časovač</i> .....	179
12.1.5	<i>Požadavek přerušení (IRQ)</i> .....	180
12.1.6	<i>Nemaskovatelné přerušení (XIRQ/VPPE)</i> .....	180
12.1.7	<i>Piny MODA a MODB (MODA/LIR a MODB/VSTBY)</i> .....	180
12.1.8	<i>VRH a VRL</i> .....	180
12.1.9	<i>STRA/AS</i> .....	180
12.1.10	<i>STRB/R/W</i> .....	181
12.1.11	<i>Signály portů</i> .....	181
<b>13</b>	<b>PROGRAMOVÁNÍ MIKROPOČÍTAČE .....</b>	<b>183</b>
13.1	ZÁKLADNÍ PROGRAMOVACÍ REGISTRY .....	183
13.1.1	<i>Akumulátory A, B a D</i> .....	183
13.1.2	<i>Indexový registr IX</i> .....	183
13.1.3	<i>Indexový registr IY</i> .....	183
13.1.4	<i>Ukazatel zásobníku SP</i> .....	184
13.1.5	<i>Programový čítač PC</i> .....	184
13.1.6	<i>Podmínkový registr (CCR)</i> .....	184
13.2	ADRESOVÉ MÓDY .....	185
13.2.1	<i>Adresování bezprostřední</i> .....	185
13.2.2	<i>Adresování přímé a přímé rozšířené</i> .....	185
13.2.3	<i>Adresování indexové</i> .....	185
13.2.4	<i>Adresování vlastní</i> .....	186
13.2.5	<i>Adresování relativní</i> .....	186
13.3	INSTRUKČNÍ SADA .....	186
13.3.1	<i>Aritmetické instrukce</i> .....	186
13.3.2	<i>Logické instrukce</i> .....	187
13.3.3	<i>Rotace a posuvy</i> .....	188
13.3.4	<i>Instrukce přesunů</i> .....	188
13.3.5	<i>Bitové instrukce</i> .....	188
13.3.6	<i>Skoky a volání podprogramů</i> .....	188
13.3.7	<i>Speciální instrukce</i> .....	189
13.4	OPERAČNÍ MÓDY MIKROPOČÍTAČE .....	189
13.4.1	<i>Mód single chip</i> .....	190
13.4.2	<i>Expanded mód</i> .....	190
13.4.3	<i>Test mód</i> .....	190
13.4.4	<i>Bootstrap mód</i> .....	191
13.5	MAPA PAMĚTI MIKROPOČÍTAČE .....	191
13.5.1	<i>Konfigurace procesoru</i> .....	191
<b>14</b>	<b>MĚŘICÍ PŘÍPRAVKY .....</b>	<b>192</b>
14.1	ZÁKLADNÍ PRINCIPY PROGRAMOVÁNÍ .....	192
14.2	PŘÍPRAVEK MS11A10 .....	193
14.2.1	<i>Monitor BUFFALO</i> .....	194
14.2.2	<i>Displej, klávesnice a hodiny reálného času</i> .....	194
14.3	PŘÍPRAVEK EDU11 .....	195

---

14.3.1	<i>Sběrnice CAN</i> .....	196
14.3.2	<i>Analogově digitální převodník mikrokontroleru MC68HC11E9</i> .....	196
14.3.3	<i>Systém periodického přerušení Real-Time Interrupt (RTI) mikrokontroleru 68HC11</i> .....	199
<b>15</b>	<b>LITERATURA</b> .....	<b>202</b>

# 1 ZÁKLADNÍ POJMY DIGITÁLNÍ TECHNIKY

V digitální technice se používá abstrakce, kdy se signály pokládají za skokově proměnné, přičemž nabývají v nejjednodušším případě dvou možných hodnot, které označujeme jako logická jednička - log. **1**, a logická nula - log. **0**. Tam, kde nebude obava z nedorozumění, budeme označení log. vynechávat.

Uvedené signály budou popisovány pomocí *dvouhodnotových veličin*. Ty mohou být interpretovány několika způsoby. Nejčastěji se používá:

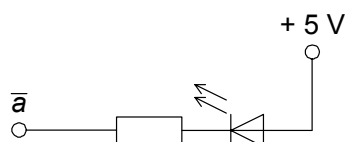
- logická interpretace 1, 0;
- pravdivostní interpretace výrok pravdivý (**1**), nepravdivý (**0**);
- interpretace formou binárních číslic 1, 0 užívá se zvláště pro vícebitové skupiny;
- interpretace vyjadřující aktivní (**1**) a neaktivní (**0**) stav určité řídicí veličiny;
- další možnosti jsou např. kontaktní reprezentace: sepnuto (**1**), rozepnuto (**0**) a podobně.

V dalším textu budeme používat nejčastěji logickou interpretaci. V některých případech se však používají jiné interpretace, například v programových prostředcích pro počítačový návrh digitálních systémů se setkáme téměř bez výjimky s interpretací formou binárních číslic.

Dvouhodnotové veličiny se v technice digitálních integrovaných obvodů zobrazují nejčastěji těmito způsoby:

- zobrazením pomocí *úrovně* fyzikální veličiny (napětí, proudu) - úroveň H (vyšší hodnota), L (nižší hodnota);
- zobrazením pomocí změny takové veličiny.

Při vyjadřování dvouhodnotových veličin pomocí elektrických signálů budeme nejčastěji používat *úrovněvé zobrazení*. Přitom je možný dvojí vztah k interpretaci logické: vyjadřuje-li úroveň H hodnotu 1, jde o *kladnou logiku*, v opačném případě o *logiku zápornou*.



Obr. 1.1: Příklad označení proměnné s aktivní úrovní L

V digitální technice pracujeme nejčastěji s kladnou logikou. Vyjadřuje-li se přitom aktivní úroveň řídicí veličiny (**1**) úrovní L, pak se příslušná proměnná zapisuje jako invertovaná - např. u displeje s diodami LED (obr. 2.1). Hodnota  $a = 1$  odpovídá v kladné logice úrovni L signálu  $\bar{a}$ . Tím vlastně převádíme zápornou logiku na kladnou.

Zobrazení *změnou úrovně* se používá především tam, kde je potřebné vyznačit určitý okamžik, např. pro zápis do registru, pro inkrementaci čítače apod. Pak mluvíme o *aktivní hraně* (vzestupné nebo sestupné).

Logické veličiny mohou být

- logické konstanty (**0**, **1**),
- logické proměnné, které se označují pomocí identifikátorů.

V dalším textu budeme obvykle slovo *logické* v řeči o veličinách, konstantách, proměnných a podobně vynechávat, pokud nebude nebezpečí nedorozumění. Digitální systémy se dělí na dvě velké skupiny:

- *systémy kombinační*, u nichž hodnoty výstupních veličin závisejí jen na okamžitém stavu vstupních veličin,
- *systémy sekvenční*, kde hodnoty výstupních veličin závisejí i na předchozím stavu systému, tyto systémy tedy obsahují paměťový prvek.

Většina digitálních systémů jsou systémy sekvenční - typickým příkladem je například počítač. Přesto je užitečné zabývat se nejprve kombinačními systémy, které jsou obecně jednodušší. Jak uvidíme později, mnoho sekvenčních systémů lze vytvořit z kombinačních systémů pouhým přidáním paměťového prvku, registru. Analýza i syntéza sekvenčních systémů pak může být založena na rozkladu těchto systémů na kombinační část a registr a každá z těchto částí může být zpracována samostatně.

## 2 KOMBINAČNÍ LOGICKÉ FUNKCE

Základním pojmem při úvahách o kombinačních systémech představuje pojem kombinační logická funkce. *Kombinační logická funkce* je pravidlo přiřazující každé kombinaci hodnot **0** a **1** přiřazených vstupním proměnným z definičního oboru funkce jedinou hodnotu výstupní proměnné. Pro daný počet vstupních proměnných je těchto funkcí konečný počet. Kombinační logické funkce mohou být úplně nebo neúplně určené. *Úplně určená kombinační logická funkce* je taková funkce, jejíž definiční obor zahrnuje všechny kombinace vstupních proměnných. U *neúplně určené kombinační logické funkce* její definiční obor nezahrnuje některé tyto kombinace. Kombinací se zde rozumí kombinace hodnot **0** a **1** přiřazených jednotlivým vstupním proměnným. Úplně určeným funkcím se někdy říká úplné funkce, funkcím neúplně určeným pak neúplné funkce.

Tab. 2.1: Kombinační logické funkce jedné vstupní proměnné

hodnoty vstupní proměnné $x$	0	1	zápis funkce	název funkce
odpovídající funkční hodnoty $y = f(x)$	0	0	$y = f_0(x) = \mathbf{0}$	nulová funkce
	0	1	$y = f_1(x) = x$	totožnost, opakování
	1	0	$y = f_2(x) = \bar{x}$	negace, inverze
	1	1	$y = f_3(x) = \mathbf{1}$	jednotková funkce

Existují čtyři kombinační logické funkce jedné proměnné, které jsou vypsány v tab. 2.1. Ze způsobu sestavení této tabulky lze snadno

zjistit počet možných úplně určených kombinačních logických funkcí určitého počtu proměnných. Při sestavování podobné tabulky pro  $n$  proměnných postupujeme následujícím způsobem. Do  $n$  řádků nad sebou vypíšeme možné hodnoty vstupních proměnných tak, aby v jednotlivých sloupcích vytvořily všechny možné kombinace hodnot těchto proměnných. Například tak, že tyto sloupce budou představovat  $n$ -bitová binární čísla odpovídající pořadí každého sloupce. Počet  $m$  těchto kombinací je  $m = 2^n$ . Nyní pod těmito řádky představujícími vstupní proměnné vytvoříme řádky odpovídající funkčním hodnotám jednotlivých funkcí tak, že do těchto řádků vypíšeme všechny možné kombinace  $m$  funkčních hodnot. Těchto řádků a tedy možných funkcí je nyní  $2^m$ , tedy celkový počet možných funkcí  $n$  proměnných je  $2^{2^n}$ .

*Úplně určených kombinačních logických funkcí* dvou proměnných je tedy 16. V tab. 2.2 je naznačeno, jak se tyto funkce mohou výše uvedeným způsobem systematicky vypsát.

Nejdůležitější kombinační logické funkce dvou proměnných jsou:

$$y = a \cdot b \quad \text{log. součin, konjunkce, AND}$$

$$y = \overline{a \cdot b} \quad \text{funkce NAND}$$

$$y = a + b \quad \text{log. součet, disjunkce, OR}$$

$$y = \overline{a + b} \quad \text{funkce NOR}$$

$$y = a \oplus b = a \cdot \bar{b} + \bar{a} \cdot b \quad \text{nonekvivalence, funkce EX-OR, exklusivní součet}$$

$$y = \overline{(a \oplus b)} = a \cdot b + \bar{a} \cdot \bar{b} \quad \text{ekvivalence}$$

Operátory vyznačující v těchto výrazech logické operace se někdy značí jinými symboly, například pro operátor funkce nonekvivalence se často používá složený symbol  $⊕$  nebo symbol  $\oplus$ . Často jsou různé užívané varianty symbolů pro jednotlivé operátory dány možnostmi tisku.

Tab. 2.2: Kombinační logické funkce jedné vstupní proměnné

hodnoty vstupních proměnných $x_1, x_2$	$x_1$	0 0 1 1	<b>zápis funkce výrazem</b>	<b>název funkce</b>
	$x_2$	0 1 0 1		
		0 0 0 0	$y = f_0(x_1, x_2) = 0$	nulová funkce
odpovídající funkční		0 0 0 1	$y = f_1(x_1, x_2) = x_1 \cdot x_2$	logický součin
hodnoty $y = f(x_1, x_2)$ :		0 0 1 0	$y = f_2(x_1, x_2) = x_1 \cdot \overline{x_2}$	
		0 0 1 1	$y = f_3(x_1, x_2) = x_1$	opakování $x_1$
			atd.	

Z uvedeného je zřejmé, že počet logických funkcí velmi rychle roste s počtem vstupních proměnných. Při vyjádření logických funkcí jedné proměnné jsme vystačili s pouhou inverzí, pro vyjádření funkcí dvou proměnných bylo třeba zavést funkce logického součtu a součinu. Bylo by možné očekávat, že pro vyjádření logických funkcí většího počtu proměnných bude nutné zavádět další složitější základní logické funkce. Ukazuje se však, že tomu tak není. Lze ukázat, že jakoukoliv kombinační logickou funkci libovolného množství proměnných je možné vyjádřit pomocí několika elementárních logických funkcí. Soubor takových funkcí se nazývá *úplný soubor logických funkcí*. Příklady úplného souboru logických funkcí jsou:

- funkce NAND - touto jedinou funkcí můžeme vyjádřit všechny kombinační logické funkce libovolného počtu proměnných,
- funkce NOR - platí pro ni totéž co pro funkci NAND,
- úplnými soubory funkcí jsou i takové soubory, jimiž lze výše uvedené funkce vyjádřit, tedy například funkce OR spolu s inverzí, funkce AND spolu s inverzí a další.

Důležitým nástrojem pro práci s logickými funkcemi je *Booleova algebra*. V Booleově algebře budeme používat logické reprezentace dvouhodnotových veličin - logických proměnných. Základní zákony této algebry mají podobný tvar jako mají zákony běžné algebry. Předpokládáme, že čtenář je se základy Booleovy algebry obeznámen. Uvedeme zde stručně jen nejdůležitější pravidla:

$$a + a = a, \quad a \cdot a = a, \quad a + \overline{a} = 1, \quad a \cdot \overline{a} = 0$$

$$a \cdot (b + c) = a \cdot b + a \cdot c$$

$$a + (b \cdot c) = (a + b) \cdot (a + c)$$

$$a + (\overline{a} \cdot b) = a + b$$

$$a \cdot b = \overline{\overline{a + b}}, \quad a + b = \overline{\overline{a \cdot b}} - \text{tzv. de Morganova pravidla.}$$



De Morganovo pravidlo je možno formulovat i obecněji. Hodnota logického výrazu s operátory logického součtu a logického součinu se nezmění, jestliže vzájemně tyto operátory zaměníme (tj. operátory logického součtu nahradíme operátory logického součinu a naopak), invertujeme všechny proměnné a také výsledek. Logickým výrazem zde rozumíme zápis skupiny identifikátorů proměnných, s nimiž jsou prováděny operace logického součtu, logického součinu a inverze naznačené příslušnými operátory, a v případě potřeby je pořadí provádění operací určeno závorkami.

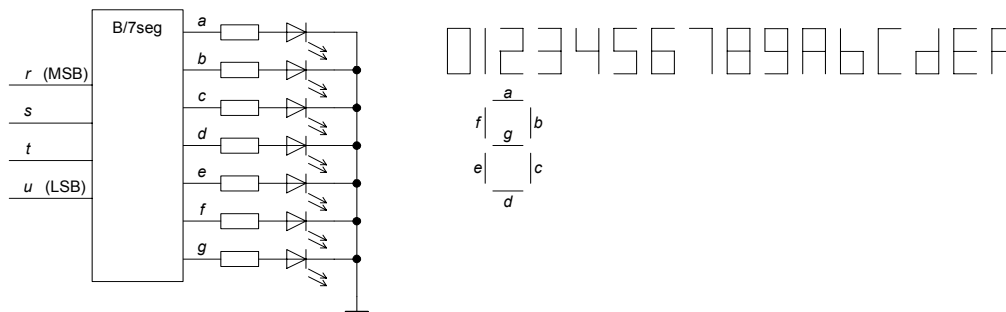
## 2.1 Způsoby zápisu a zobrazení kombinačních logických funkcí

Abychom mohli s kombinačními logickými funkcemi pracovat, musíme je nejprve zapsat či zobrazit. Nejčastěji se používají následující způsoby zápisu nebo zobrazení kombinačních logických funkcí:

- zápis pomocí pravdivostní tabulky,
- zápis logickým výrazem,
- zobrazení pomocí mapy,
- zobrazení pomocí logického schématu.

### 2.1.1 Zápis kombinační logické funkce pomocí pravdivostní tabulky

Jako příklad tohoto způsobu zápisu uvedeme popis převodníku čtyřbitového binárního kódu na kód sedmisegmentového displeje s hexadecimálním zobrazením. Náčrt zapojení a zobrazované znaky (hexadecimální číslice) jsou nakresleny na obr. 2.1. U vstupních proměnných je symbolem MSB (Most Significant Bit) a LSB (Least Significant Bit) označen nejvýznamnější a nejméně významný bit. Pravdivostní tabulka převodníku je naznačena v tab. 2.3.



Obr. 2.1: Převodník čtyřbitového binárního kódu na kód sedmisegmentového displeje, při hodnotě 1 proměnných  $a$  až  $g$  odpovídající segmenty svítí

V pravdivostní tabulce jsou pro všechny kombinace vstupních proměnných (zde  $r$ ,  $s$ ,  $t$ ,  $u$ ) uvedeny hodnoty výstupních proměnných. Nejobvyklejší je uvádět kombinace vstupních proměnných tak, že při interpretaci formou binárních čísel představují posloupnost přirozených čísel zapsaných v binárním kódu. Při tomto způsobu zápisu vyjadřují uvedená čísla stav jednotlivých vstupních proměnných a označují se jako *stavový index*.

Pravdivostní tabulka představuje nejjednodušší způsob zápisu kombinačních logických funkcí. Při větším počtu vstupních proměnných však může být tento způsob zápisu nepohodlný pro značný počet řádků tabulky.

Tab. 2.3: Pravdivostní tabulka převodníku z obr. 2.1

číslo (stav. index)	číslice (hex)	vstupy				výstupy						
		r	s	t	u	a	b	c	d	e	f	g
0	0	0	0	0	0	1	1	1	1	1	1	0
1	1	0	0	0	1	0	1	1	0	0	0	0
2	2	0	0	1	0	1	1	0	1	1	0	1
3	3	0	0	1	1	1	1	1	1	0	0	1
4	4	0	1	0	0	0	1	1	0	0	1	1
5	5	0	1	0	1	1	0	1	1	0	1	1
6	6	0	1	1	0	1	0	1	1	1	1	1
7	7	0	1	1	1	1	1	1	0	0	0	0
8	8	1	0	0	0	1	1	1	1	1	1	1
9	9	1	0	0	1	1	1	1	1	0	1	1
10	A	1	0	1	0	1	1	1	0	1	1	1
11	B	1	0	1	1	0	0	1	1	1	1	1
12	C	1	1	0	0	1	0	0	1	1	1	0
13	D	1	1	0	1	0	1	1	1	1	0	1
14	E	1	1	1	0	1	0	0	1	1	1	1
15	F	1	1	1	1	1	0	0	0	1	1	1

### 2.1.2 Zápis kombinační logické funkce logickým výrazem

Logickým výrazem rozumíme zápis skupiny identifikátorů logických proměnných vzájemně oddělených logickými operátory, přičemž se pro vyjádření pořadí provádění operací v případě potřeby používají závorky. Nejpoužívanější operátory pro základní logické operace (logický součet, součin, inverze, funkce EX-OR) jsme již poznali. V literatuře se setkáme s dalšími operátory pro jiné operace a s alternativními symboly operátorů pro uvedené logické funkce.

Zvláštní důležité typy logických výrazů jsou:

- *součinnový term* - obsahuje jen operátory logického součinu (nazývaný též implikant, konjunkce),
- *součtový term* - obsahuje jen operátory logického součtu (inhibent, disjunkce),
- *minterm* - součinnový term obsahující všechny vstupní proměnné (které mohou být přítomny v přímém nebo v inverzním tvaru),
- *maxterm* - součtový term obsahující podobně všechny vstupní proměnné,
- *úplný term* - minterm nebo maxterm.

Z de Morganova pravidla přímo plyne, že součtový term sestavený z určité kombinace vstupních proměnných je roven inverzi součinnového termu sestaveného z těchže proměnných, které mají opačné znaky inverze, tj. proměnná obsažená v součtovém termu bez inverze je v odpovídajícím součinnovém termu invertovaná a naopak.

Z definice vyplývá, že logická funkce představovaná mintermem má nulovou hodnotu pro všechny kombinace vstupních proměnných s výjimkou jediné, u níž jsou vstupní proměnné uvedené v zápisu mintermu s inverzí nulové a proměnné uvedené v tomto zápisu bez inverze jsou rovny 1. Vzhledem k tomu, že při interpretaci zápisu hodnot vstupních proměnných formou binárních číslic představuje číslo vzniklé tímto způsobem hodnotu stavového indexu  $s$ , budeme značit příslušný minterm symbolem  $k_s$ . Podobně funkce představovaná maxtermem má hodnotu rovnou 1 pro všechny kombinace vstupních proměnných s výjimkou té, pro níž je přiřazení hodnot proměnných opačné než bylo uvedeno

u mintermu, tedy proměnná je nulová, je-li v zápisu maxtermu uvedena bez inverze, a má hodnotu **1** v opačném případě. Tento maxterm budeme značit symbolem  $d_s$ , přičemž stavový index  $s$  je číslo představované binární interpretací uvedených hodnot vstupních proměnných. Význam tohoto označení mintermů a maxtermů bude ještě lépe zřejmý z jejich zobrazení pomocí mapy, jak uvidíme dále. Při uvedeném označení tedy platí

$$k_s = \overline{d_s} \quad (2.1)$$

Jako příklad uveďme sestavení mintermů a maxtermů pro tři vstupní proměnné  $x_3, x_2, x_1$ :

$$k_0 = \overline{x_3} \cdot \overline{x_2} \cdot \overline{x_1}, \quad k_1 = \overline{x_3} \cdot \overline{x_2} \cdot x_1 \text{ atd.}, \text{ až } \quad k_7 = x_3 \cdot x_2 \cdot x_1,$$

$$d_0 = x_3 + x_2 + x_1, \quad d_1 = x_3 + x_2 + \overline{x_1} \text{ atd.}, \text{ až } \quad d_7 = \overline{x_3} \cdot \overline{x_2} \cdot \overline{x_1}.$$

Kombinační logické funkce mohou být zapsány různými způsoby a s použitím různých operátorů. Pro nás budou důležité zejména dva základní způsoby zápisu funkce, a to:

- zápis výrazem typu *součet součinů* (Sum of Products, SOP),
- zápis výrazem typu *součin součtů* (Product of Sums, POS).

První z těchto způsobů zápisu je tvořen součtem součinových termů. Jsou-li všechny tyto termy úplné, tedy jsou-li to mintermy, říká se tomuto způsobu zápisu *úplný součtový tvar* zápisu. Nejsou-li některé termy v tomto zápisu úplné, jde o *zkrácený (zjednodušený) součtový tvar* zápisu. Výraz typu součin součtů je naopak tvořen součinem součtových termů a podobně jako u předcházejícího způsobu zápisu to může být *úplný součtinový tvar* zápisu (jsou-li všechny tyto termy úplné, tedy jde-li o součin maxtermů), nebo *zkrácený (zjednodušený) součtinový tvar* zápisu v opačném případě. Pro účely realizace kombinační logické funkce mají význam *minimální tvary* zápisu (součtový nebo součtinový), za které můžeme pokládat způsoby zápisu co nejvíce zjednodušené. O metodách zjednodušování pojednáme v dalším textu.

Mezi zápisem kombinační logické funkce pomocí pravdivostní tabulky a zápisem této funkce v úplném součtovém nebo součtinovém tvaru je úzká souvislost. Zápis v úplném součtovém tvaru dostaneme z tabulky snadno tak, že funkci zapíšeme jako součet mintermů odpovídajících řádkům tabulky, pro něž tato funkce má hodnotu **1**. Pro funkci  $e$  z tab. 2.3 dostaneme tímto způsobem zápis

$$e = k_0 + k_2 + k_6 + k_8 + k_{10} + k_{11} + k_{12} + k_{13} + k_{14} + k_{15}.$$

V tomto případě je  $k_0 = \overline{r} \cdot \overline{s} \cdot \overline{t} \cdot \overline{u}$ ,  $k_2 = \overline{r} \cdot \overline{s} \cdot t \cdot \overline{u}$  atd.

Zápis funkce v úplném součtinovém tvaru získáme podobně jako součin maxtermů odpovídajících řádkům tabulky, pro něž má funkce hodnotu **0**. Pro funkci  $e$  je tedy:

$$e = d_1 \cdot d_3 \cdot d_4 \cdot d_5 \cdot d_7 \cdot d_9.$$

Zde je  $d_1 = r + s + t + \overline{u}$ ,  $d_3 = r + s + \overline{t} + \overline{u}$  atd.

Lze snadno ukázat, že je-li počet vstupních proměnných  $n$ , je počet  $N$  mintermů a maxtermů z těchto proměnných vytvořených právě

$$N = 2^n. \quad (2.2)$$

Obecně můžeme vyjádřit kombinační logickou funkci  $f(x_n, \dots, x_1)$  v úplném tvaru součtu součinů takto

$$f(x_n, \dots, x_1) = f_0 \cdot k_0 + f_1 \cdot k_1 + \dots + f_{N-1} \cdot k_{N-1}. \quad (2.3)$$

Zde jsou  $f_0, f_1, \dots, f_{N-1}$  hodnoty funkce  $f$  odpovídající jednotlivým řádkům funkční tabulky, tedy její hodnoty pro kombinace vstupních proměnných odpovídající příslušným stavovým indexům. V tomto zápisu nabývají symboly  $f_0, f_1, \dots, f_{N-1}$  hodnot **0** nebo **1** a po vypuštění nulových součinů dostaneme součet mintermů odpovídajících řádkům tabulky, v nichž je hodnota funkce rovna **1**. Toto vyjádření platí pro úplně určené funkce. U funkcí neúplně určených zde budou jistě přítomny jen členy s těmi hodnotami stavových indexů, pro něž je funkce definována. Členy s hodnotami stavových indexů, pro něž funkce není definována, mohou a nemusí být v zápisu přítomny, protože na těchto funkčních hodnotách nezáleží. Podobně můžeme funkci  $f(x_n, \dots, x_1)$  vyjádřit v úplném tvaru součinu součtů:

$$f(x_n, \dots, x_1) = (f_0 + d_0) \cdot (f_1 + d_1) \cdot \dots \cdot (f_{N-1} + d_{N-1}). \quad (2.4)$$

Zde naopak ze součinu zmizí ty závorky, v nichž figuruje hodnota funkce, která je rovna **1**, a zůstanou maxtermy odpovídající řádkům tabulky, v nichž je funkce nulová.

Posouzení složitosti zápisu kombinační logické funkce těsně souvisí s technickou realizací těchto funkcí. Jak uvidíme dále, existuje více způsobů této realizace. Pro každý z nich může být nejvýhodnějším (minimálním) určitý způsob zápisu, tyto způsoby zápisu však nemusí být stejné pro různé způsoby realizace. Použijeme-li k realizaci například digitální integrované obvody typu NAND nebo NOR, pokládáme obvykle za minimální takový zápis typu součtu součinů nebo součinu součtů, který vyžaduje co nejmenší počet potřebných vývodů použitých obvodů, což zhruba odpovídá co nejmenšímu počtu symbolů vstupních proměnných použitých v zápisu funkce. Při realizaci pomocí programovatelných logických obvodů se však snažíme vyjádřit realizované funkce pomocí co nejmenšího počtu termů (součinových nebo součtových) bez ohledu na počet proměnných obsažených v jednotlivých termech.

Výrazy typu součtu součinů odpovídají do značné míry analogickým výrazům z běžné algebry (i co do pravidel pro počítání s nimi), a proto se s nimi pracuje nejčastěji. Výraz typu součinu součtů lze pomocí de Morganova pravidla zapsat jako invertovaný výraz typu součtu součinů, jinak řečeno, jako výraz typu součtu součinů pro inverzi původního výrazu. Oba způsoby zápisu tedy jsou v tomto smyslu ekvivalentní. Pro některé funkce však může být jeden z těchto způsobů jejího zápisu v minimálním tvaru výrazně jednodušší než druhý, zejména je-li při posuzování rozhodující počet termů.

Zápis funkce v úplném součtovém a součinovém tvaru je *jednoznačný*. Minimálních tvarů však může být pro určitou funkci více. Příklad logické funkce s větším počtem minimálních tvarů bude uveden v kapitole o zjednodušování logických funkcí.

Někdy může být potřebné doplnit zkrácený tvar zápisu logické funkce na úplný tvar. Bývá to například při realizaci funkcí pomocí multiplexorů. Úpravu je možno provést tak, že se členy, které neobsahují některé proměnné, doplní činiteli typu  $(a + \bar{a})$ , kde  $a$  je proměnná chybějící v členu. Příklad:

$$a \cdot b \cdot c + \bar{b} \cdot c = a \cdot b \cdot c + (a + \bar{a}) \cdot \bar{b} \cdot c = a \cdot b \cdot c + a \cdot \bar{b} \cdot c + \bar{a} \cdot \bar{b} \cdot c$$

### 2.1.3 Zobrazení kombinační logické funkce pomocí mapy

Nejpoužívanější typ mapy, Karnaughova mapa, může být považován za upravený způsob zápisu pravdivostní tabulky (viz obr. 2.2). Buňky mapy odpovídají řádkům tabulky, a jsou uspořádány tak, že se stavové indexy sousedních buněk při vyjádření v binární soustavě liší vždy v hodnotě jedné vstupní proměnné. Při nákresu mapy na rovinný list je možno tuto podmínku dodržet, není-li počet vstupních proměnných větší než čtyři. Přitom za sousední buňky pokládáme i ty, které jsou umístěny proti sobě při okrajích mapy - můžeme si to představit tak, že mapu stočíme, aby se protilehlé strany dotkly, a to postupně ve směru obou os. Při pěti vstupních proměnných si můžeme představit dvě vrstvy takové mapy nad sebou, pro více proměnných je již taková interpretace obtížnější.

				$t$	
				$u$	
0	1	3	2		
0000	0001	0011	0010		
4	5	7	6		
0100	0101	0111	0110		
C	D	F	E		
1100	1101	1111	1110		
8	9	B	A		
1000	1001	1011	1010		

Obr. 2.2: Karnaughova mapa pro čtyři vstupní proměnné

Místo toho do buněk zapisují odpovídající funkční hodnoty. Pro úsporu psaní se často zapisují jen jedničkové nebo jen nulové hodnoty, a pak se u prázdných buněk předpokládá, že obsahují hodnotu opačnou. Minterm a maxterm se v mapě zobrazí podle obr. 2.3, kde je zobrazen minterm  $k_7$  a maxterm  $d_7$ . Z mapy je zřejmá platnost vztahu (2.1), podle něhož minterm a maxterm označený stejným stavovým indexem jsou veličiny komplementární.

Můžeme také definovat *logický součet*, resp. *součin map*, kde výsledná mapa obsahuje v každé buňce logický součet, resp. součin hodnot uvedených v odpovídajících buňkách původních map. Z vyjádření logických funkcí pomocí mintermů a maxtermů je zřejmé, že výsledná mapa představuje součet, resp. součin funkcí představovaných původními mapami.

				$t$	
				$u$	
0	1	3	2		
4	5	7	6		
C	D	F	E		
8	9	B	A		
		1			

				$t$	
				$u$	
0	1	3	2		
4	5	7	6		
C	D	F	E		
8	9	B	A		
		0			

$$\text{minterm } k_7 = \bar{r} \cdot s \cdot t \cdot u \quad \text{maxterm } d_7 = r + \bar{s} + \bar{t} + \bar{u}$$

Obr. 2.3: Minterm a maxterm v Karnaughově mapě

### 2.1.4 Zobrazení kombinační logické funkce logickými schématy s kombinačními logickými členy

Zápis logické funkce pomocí logického výrazu můžeme snadno převést do grafického tvaru tak, že vstupní a výstupní proměnné naznačíme ve formě vstupních a výstupních signálů logického schématu. Operace prováděné s proměnnými znázorníme pomocí grafických značek - logických členů. Tvary značek logických členů jsou všeobecně známé, nejčastěji používané jsou uvedeny v příloze. Většinou se používají značky představující jeden druh logické operace - logický součin, součet, operaci EX-OR a podobně, a výstupy příslušných logických členů, které jsou pak vedeny na vstupy dalších, představují vnitřní signály ve schématu. Není to však nezbytně jediný způsob kreslení, známé jsou například značky pro logické členy typu AND-OR-INVERT a podobně.

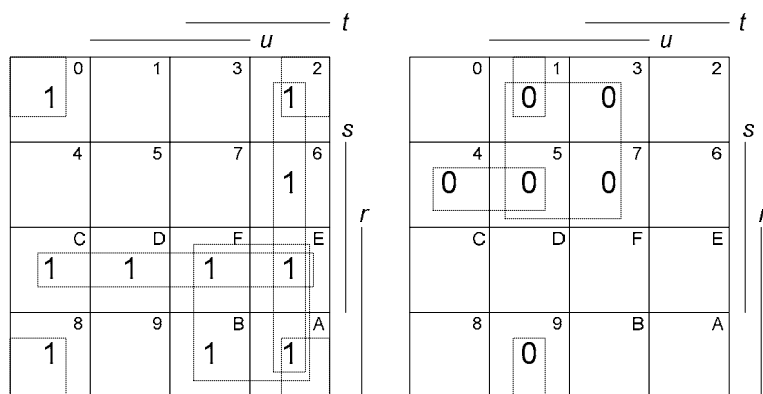
## 2.2 Zjednodušování zápisu kombinačních logických funkcí

Při realizaci logických funkcí některými způsoby, jako například při jejich realizaci pomocí základních kombinačních digitálních integrovaných obvodů řady 74, je obvykle výhodné vycházet z minimálního tvaru zápisu funkce, který získáme z jiných tvarů *zjednodušením* (*minimalizací*). Ke zjednodušování se používají různé metody, z nichž zde uvedeme metodu algebraických úprav a metodu využívající Karnaughových map. V praxi se dnes zejména pro složitější funkce používají počítačové metody jejich zjednodušování založené na různých principech. Jedna z nejznámějších z těchto metod, je metoda Quineho a McCluskeyho, která představuje v podstatě převedení metody používající Karnaughovy mapy do algoritmického vyjádření (některé části této metody jsou zde však zobecněny ve větším rozsahu). I na složitější algoritmy, používané v počítačových programech, můžeme však často bez velké újmy na přesnosti pohlížet jako na algoritmy, které aspoň z hlediska uživatele fungují obdobně jako metody založené na použití Karnaughových map.

**Minimalizace úplně určených funkcí.** Při zjednodušování pomocí algebraických úprav využíváme nejčastěji vztahu  $a + \bar{a} = 1$ . Obsahuje-li logická funkce zapsaná v součtovém tvaru dva termy, které se vzájemně liší jen v jedné proměnné, je možno zbývající proměnné z jejich součtu vytknout. Příklad:

$$r \cdot s \cdot t \cdot \bar{u} + r \cdot s \cdot t \cdot u = r \cdot s \cdot t \cdot (\bar{u} + u) = r \cdot s \cdot t$$

Tato skutečnost je základem metody zjednodušování logických funkcí pomocí algebraických úprav, která je vhodná pro zjednodušování funkcí, jejichž zápis obsahuje nevelký počet termů.



Obr. 2.4: Zobrazení a minimalizace funkce  $e$

Je-li termů v zápisu více, je obtížné hledat dvojice termů vhodné pro takové zjednodušení. Není-li počet vstupních proměnných příliš velký, bývá výhodnější použít při zjednodušování zobrazení funkce pomocí mapy. Dvojice sousedních buněk v mapě odpovídají mintermům, které se liší jen v jedné proměnné. Při zobrazení v mapě jsou takové dvojice mintermů

zřejmé na první pohled a jejich sloučení znamená jejich nahrazení termem s počtem proměnných o jednu menším. Podobně dvě takové dvojice spolu sousedících buněk představují čtveřici, vyjadřující term, u něhož je vyloučena proměnná, která v původních termech měla nestejný znak inverze, tj. v jedné vystupovala přímo a v druhé v inverzi. Algebraicky to opět odpovídá vytknutí společných činitelů těchto termů, přičemž v závorce zůstane výraz typu  $(a + \bar{a})$ , který je roven jedničce a v součinu je pak vynechán. Podobným způsobem lze zjednodušit sousedící čtveřice, osmice atd. buněk mapy. V mapě je možno najít skupiny buněk (mintermů) vhodné pro zjednodušení mnohem snadněji než v algebraickém zápisu (pokud počet proměnných není příliš velký). To je základ pro použití map při zjednodušování zápisu logických funkcí či jejich minimalizaci, tj. nalezení minimálního tvaru jejich zápisu, vycházíme-li ze součtového zápisu funkce. Zcela analogický je postup zjednodušování, vycházíme-li ze součtového zápisu, pouze místo s mintermy pracujeme s maxtermy.

Při slučování termů v mapě vyznačujeme slučované buňky pomocí smyček. Například funkci  $e$  z příkladu pro displej můžeme zobrazit dvěma způsoby podle obr. 2.4.

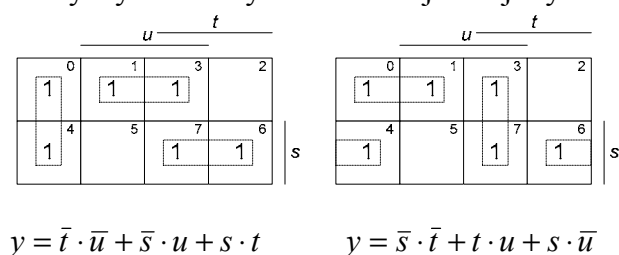
Použijeme-li pro zápis tab. 2.3 součtový tvar, dostaneme

$$e = r \cdot s + t \cdot \bar{u} + \bar{s} \cdot \bar{u} = \overline{rs \cdot tu \cdot su}. \quad (2.5)$$

Z pravé mapy pro zápis v součtovém tvaru máme:

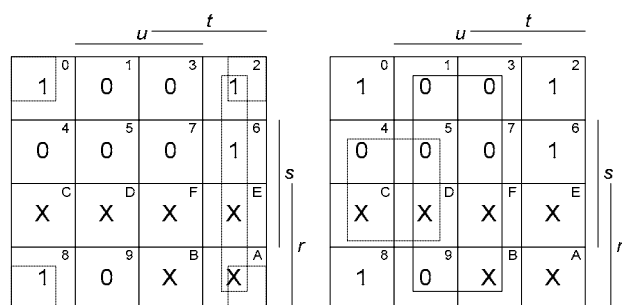
$$e = (r + \bar{u}) \cdot (r + \bar{s} + t) \cdot (s + t + \bar{u}) = \overline{r + \bar{u} + s + t + \bar{u} + r + \bar{s} + t} \quad (2.6)$$

Příklad mapy logické funkce  $y$  se dvěma minimálními součtovými tvary je na obr. 2.5. Jde o funkci, v níž jsou smyčky zřetězeny. To umožňuje dvojí výběr smyček.



Obr. 2.5: Funkce se dvěma možnými minimálními součtovými tvary

**Minimalizace neúplně určených funkcí.** Pravdivostní tabulka neúplně určené funkce neobsahuje všechny řádky, které má tabulka úplně určené funkce se stejným počtem proměnných. Tedy pro některé kombinace vstupních proměnných není hodnota funkce definována. Pro tyto kombinace můžeme hodnotu funkce definovat dodatečně tak, aby vyjádření funkce bylo co nejjednodušší.



Obr. 2.6: Minimalizace funkce  $e$  s využitím neúplnosti její definice

Při zobrazení funkce mapou píšeme do buněk mapy, v nichž hodnota funkce není definována, symbol **X**. Tento symbol znamená, že hodnota funkce může být libovolně **0** nebo **1**. Zakresluje-li pak do mapy smyčky, můžeme, ale nemusíme tyto buňky zahrnout do smyček.

Jako příklad uveďme minimální tvary pro funkci  $e$  převodníku kódu BCD na kód sedmisegmentového displeje (obr. 2.1). Pro levou mapu dostaneme zápis funkce ve tvaru součtu součinů

$$e = \bar{s} \cdot \bar{u} + t \cdot \bar{u}.$$

Pro pravou mapu je výsledkem zápis ve tvaru součinu součtů

$$e = \bar{u} \cdot (\bar{s} + t).$$

V tomto případě lze oba zápisy snadno vzájemně jeden převést na druhý algebraickou úpravou. To však obecně neplatí. Dodatečná definice hodnot funkce v buňkách obsahujících symbol **X** může být u obou map různá a počet termů i počet proměnných v odpovídajících zápisech může být výrazně odlišný. Například pro funkci  $a$  u téhož převodníku (vyjdeme-li z upravené tab. 2.3) dostaneme u mapy se smyčkami zahrnujícími nuly dva termy, v druhém případě se smyčkami zahrnující jedničky budou ve výsledku obsaženy čtyři termy. Podrobné sestavení této mapy přenecháme k procvičení čtenáři.

V některých nových publikacích se pro označení nedefinované hodnoty funkce místo symbolu **X** používá jiných symbolů. To je obvyklé zejména v literatuře zabývající se počítačovou podporou návrhu digitálních systémů a jejich simulací, kde se rozlišuje několik dalších typů hodnot logických proměnných. Například v jazyku VHDL je navíc definována „hodnota“ logické proměnné odpovídající konfliktní situaci, kdy dva či více výstupů logických obvodů jsou propojeny paralelně a každý z nich vnucuje tomuto uzlu jinou hodnotu. Tato hodnota se zde značí symbolem **X** a v angličtině se označuje termínem *unknown*. Nedefinované hodnotě ve smyslu, který jsme zavedli výše, se zde říká *don't care* a pro její označení se užívá pomlčka.



### 3 REALIZACE KOMBINAČNÍCH LOGICKÝCH FUNKCÍ

Realizaci kombinační logické funkce rozumíme sestavení schématu zapojení obvodu, který ze vstupních proměnných vytvoří výstupní proměnné v souhlasu se zadanou logickou funkcí. Při použití moderních mikroelektronických součástek k této realizaci často postačí jediný integrovaný obvod, který buď najdeme v příslušném katalogu, pokud se vyrábí sériově, nebo můžeme použít programovatelných prostředků (paměti PROM, obvodů PLD), které programováním nakonfiguruje tak, aby realizovaly požadovanou funkci. Přesto základním způsobem zůstává realizace kombinační logické funkce pomocí kombinačních logických obvodů představujících realizaci základních logických členů v integrované podobě, kdy se vychází ze zápisu logické funkce v některém z výše uvedených tvarů součtu součinů nebo součinu součtů. Jak uvidíme, z tohoto způsobu zápisu funkce se vychází i při použití některých moderních součástek s vysokým stupněm integrace.

Nejčastěji se v digitální technice setkáme s těmito způsoby realizace kombinační logické funkce:

- pomocí digitálních integrovaných obvodů typu NAND, NOR (popřípadě AND, OR) a dalších obvodů realizujících základní kombinační logické funkce - např. AND-OR-INVERT, EX-OR atd.,
- pomocí multiplexerů a demultiplexerů,
- pomocí speciálních kombinačních integrovaných obvodů (převodníky kódu, generátory parity, sčítačky, násobičky a podobně - sem patří i použití multiplexerů a demultiplexerů),
- pomocí pamětí PROM a EPROM,
- pomocí programovatelných logických obvodů (PLD).

Ve zvláštních případech lze k realizaci kombinační logické funkce využít i jiných prostředků - tranzistorů, diod a podobně, což může být vhodné například tam, kde nemáme k dispozici vhodný napájecí zdroj pro digitální obvody a jeho vytvoření by bylo složitější než realizace kombinační logické funkce uvedeným způsobem.

#### 3.1 Realizace kombinační logické funkce základními kombinačními digitálními obvody

##### 3.1.1 Realizace kombinační logické funkce součtinovými a součtovými obvody

Při realizaci lze vyjít ze zápisu realizované funkce v součtovém nebo součtinovém tvaru. Obvykle bývá výhodné použít pro realizaci logické členy téhož typu, tj. buď součtinové nebo součtové členy. Nevyužijeme-li všechny logické členy obsažené v pouzdrech v prvním stupni, můžeme je pak využít ve druhém stupni. To však nelze chápat jako dogma, v některých případech může být vhodné použít i jiných typů integrovaných obvodů.

				$b$	
				$a$	
0	1	3	2		
	1	1			
				$c$	
4	5	7	6		
			1		

Obr. 3.1: Mapa realizované funkce  $y$

Jako příklad uvažujme funkci  $y$ , která je dána mapou podle obr. 3.1. Budeme předpokládat, že jsou k dispozici vstupní veličiny v přímém i inverzním tvaru. Zápis funkce  $y$  v součtovém tvaru

$$y = a \cdot \bar{c} + \bar{a} \cdot b \cdot c.$$

Pro realizaci součtinovými členy převedeme pomocí de Morganova pravidla součet na součin

$$y = \overline{((a \cdot \bar{c}) \cdot (\bar{a} \cdot b \cdot c))}.$$

Při realizaci součtovými členy převedeme součiny na součty:

$$y = (\bar{a} + c) + (a + \bar{b} + \bar{c}).$$

Těmto výrazům odpovídají logická schémata podle obr. 3.2. Při realizaci funkce členy NOR dostaneme inverzi realizované funkce. Proto je v tomto případě na výstupu zapojen ještě invertor. Místo toho můžeme použít ve druhém stupni člen OR místo NOR, vyjde-li to výhodněji z hlediska celkového počtu použitých integrovaných obvodů.

V součinném tvaru je funkce  $y$  podle obr. 3.1 zapsána ve tvaru

$$y = (a + b) \cdot (\bar{a} + \bar{c}) \cdot (a + c)$$

Při realizaci součtovými členy zápis upravíme

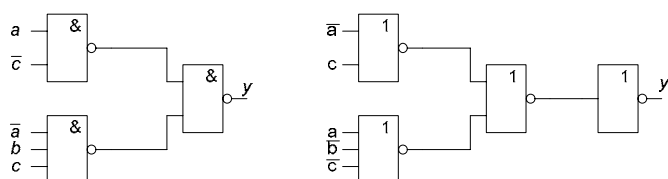
$$y = \overline{((a + b) + (\bar{a} + \bar{c}) + (a + c))}.$$

Chceme-li použít součinné členy, vyjdeme ze zápisu:

$$y = (\bar{a} \cdot \bar{b}) \cdot (a \cdot c) \cdot (\bar{a} \cdot \bar{c})$$

Tomu odpovídají schémata podle obr. 3.3.

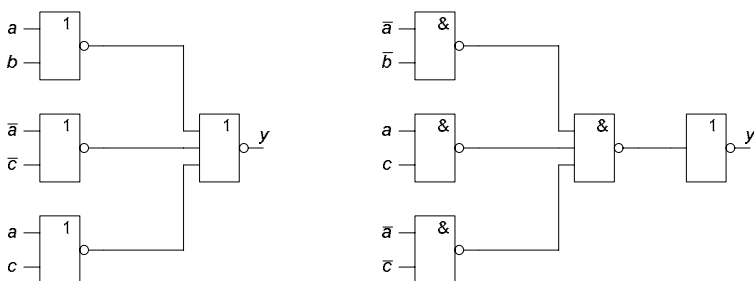
V případě, že se má realizovat současně několik funkcí těchto proměnných, je někdy možné využít termíny vytvořené v prvním stupni pro více funkcí, pokud tyto funkce obsahují společné termíny. Mluvíme pak o *skupinové minimalizaci* několika funkcí těchto proměnných.



Obr. 3.2: Realizace funkce  $y$  na základě součtového tvaru zápisu

Z uvedeného příkladu můžeme učinit obecnější závěr:

Vycházíme-li při realizaci ze součtového tvaru zápisu, je funkce realizována strukturou NAND-NAND nebo NOR-OR. Vyjdeme-li ze součinného tvaru, dostaneme strukturu NOR-NOR nebo NAND-AND. Obě zapojení vycházející z téhož tvaru jsou topologicky stejná, tj. obsahují stejný počet logických členů, které mají stejný počet vstupů. To plyne ze skutečnosti, že při realizaci součinnými nebo součtovými členy na základě určitého tvaru zápisu byly



Obr. 3.3: Realizace funkce  $y$  na základě součinného tvaru zápisu

pouze operace jednoho druhu převedeny pomocí de Morganova pravidla na operace druhého druhu (například logický součet na součin), počet operací potřebný ve funkci však zůstal nezměněn. V konkrétních případech se zapojení vyžadující nejmenší množství spotřebovaných součástek i s ohledem na vyráběné typy

obvodů najde tak, že vyzkoušíme všechny varianty a vybereme z nich nejvhodnější. Po krátké praxi není tento způsob optimalizace nesnadný ani zdoluhavý, jak by se mohlo na první pohled zdát, aspoň pro nepřiliš složité funkce, pro něž je tento způsob realizace vhodný.

Složitější funkce se pak realizují způsoby uvedenými dale, například pomocí programovatelných logických obvodů nebo paměti PROM, EPROM a EEPROM.

V předcházející úvaze jsme předpokládali, že máme k dispozici přímé i invertované hodnoty vstupních proměnných. Někdy však tomu tak není a například invertované hodnoty musíme vytvořit z přímých hodnot vstupních proměnných pomocí invertorů, což zvyšuje spotřebu součástek. Existují metody minimalizace, jejichž pomocí lze najít minimální tvar funkce i v tomto případě. Takovou je například metoda minimalizace struktury TANT (Three-stage And-Not structure with True inputs), která je zobecněním výše uvedeného minimalizačního postupu. U této metody se invertory, které jsou použity k vytvoření invertovaných vstupních proměnných struktury NAND-NAND, považují za třetí stupeň struktury, a uvedenou metodou se vytvoří struktura, která v tomto stupni může obsahovat místo invertorů členy NAND, což může přinést zjednodušení. Podobně metodou minimalizace struktury TONT (Three-stage Or-Not structure with True inputs) lze vytvořit optimální strukturu analogickou struktuře NOR-NOR. Uvedené metody jsou složitější než ty, které jsme vyložili výše, a jsou popsány například v [9], [10].

### 3.1.2 Realizace kombinační logické funkce pomocí členů AND-OR-INVERT

Tyto logické členy se vyrábějí v několika provedeních, která se vzájemně liší počtem součinnových sekcí a počtem vstupů v těchto sekcích. Jejich použití je výhodné tam, kde má realizovaná funkce tvar odpovídající těmto počtům. Například obvod 74..51 je vhodný pro realizaci funkcí, které při vyjádření v součinnovém tvaru obsahují dva součtové termy o dvou proměnných.

Funkci  $y$ , kterou obvod realizuje, je možno psát ve tvaru

$$y = \overline{(a \cdot b + c \cdot d)} = \overline{(a \cdot b)} \cdot \overline{(c \cdot d)} = (\overline{a} + \overline{b}) \cdot (\overline{c} + \overline{d}).$$

Výhodou je, že signál ze součinnové části postupuje do součtové části uvnitř pouzdra, takže je zde menší zpoždění, než kdyby musel procházet přes vývody. Také se zjednoduší obrazec spojů a dále je možné ušetřené vývody použít pro další vstupy, jak je popsáno v posledním odstavci této kapitoly. Má-li se však realizovat více funkcí těchto proměnných, nelze užít dílčí součiny z prvního stupně pro několik funkcí.

## 3.2 Použití multiplexerů a demultiplexerů k realizaci kombinačních logických funkcí

*Multiplexer* je obvod, který má určitý počet datových vstupů a jeden výstup (popř. dva komplementární výstupy). Má adresové vstupy ( $A_0$  až  $A_{n-1}$ ), na které se přivádějí adresové signály tvořící binárně zakódovanou adresu. Datové vstupy jsou očíslovány a jejich počet se shoduje s počtem možných adresových kombinací. Signál z datového vstupu s číslem odpovídajícím dekadické hodnotě adresy je multiplexerem převeden na výstup. Signály z ostatních datových vstupů nejsou respektovány. Je-li počet adresových vstupů multiplexeru  $n$ , je počet jeho datových vstupů  $2^n$ . Multiplexer bývá často doplněn výběrovým vstupem (S - select), který hradluje procházející signál. Je-li na tomto vstupu signál s aktivní úrovní, pak signál z vybraného datového vstupu prochází na výstup. V opačném případě je výstupní signál  $y$  neaktivní. Výběrový vstup se používá nejčastěji pro sestavování větších multiplexerů z několika menších - viz např. [1]. Funkci multiplexeru se 3-bitovou adresou můžeme popsat vztahem

$$y = s \cdot (k_0 \cdot i_0 + k_1 \cdot i_1 + \dots + k_7 \cdot i_7),$$

kde  $k_0 = \overline{a_2} \cdot \overline{a_1} \cdot \overline{a_0}$ ,  $k_1 = \overline{a_2} \cdot \overline{a_1} \cdot a_0$ ,  $\dots$ ,  $k_7 = a_2 \cdot a_1 \cdot a_0$ .

V kapitole 2.1.2 byl uveden zápis kombinační logické funkce v rov. 2.3 v úplném součtovém tvaru, který pro tři vstupní proměnné  $x_3, x_2, x_1$  můžeme přepsat do tvaru

$$f(x_3, x_2, x_1) = f_0 \cdot k_0 + f_1 \cdot k_1 + \dots + f_7 \cdot k_7,$$

kde  $k_0, k_1, \dots, k_7$  jsou mintermy složené z proměnných  $x_3, x_2, x_1$ . Tento výraz je formálně shodný s výrazem v závorce v popisu funkce multiplexeru, ztotožníme-li adresové proměnné  $a_2, a_1, a_0$  multiplexeru s proměnnými  $x_3, x_2, x_1$  (součiny těchto proměnných představují mintermy  $k_0$  až  $k_7$ ) a hodnoty  $i_0, i_1, \dots, i_7$  s hodnotami  $f_0, f_1, \dots, f_7$ . Pomocí multiplexeru můžeme tedy realizovat jakoukoliv funkci tří proměnných  $f(x_3, x_2, x_1)$ , přivedeme-li na jeho vstupy I0, I1, ..., I7 signály s hodnotami  $f_0, f_1, \dots, f_7$  (vstupy uzemníme nebo připojíme přes vhodný rezistor ke zdroji napájecího napětí podle toho, je-li příslušná hodnota funkce nulová nebo jedničková). Z vyjádření funkce jsme tak proměnné  $x_3, x_2, x_1$  eliminovali.

Podobným způsobem můžeme postupovat i při eliminaci části proměnných u funkcí většího počtu proměnných. Zapišeme-li funkci  $f(x_n, \dots, x_1)$  v úplném součtovém tvaru (máme-li zkrácený tvar jejího zápisu, doplníme jej na úplný podle postupu uvedeného na konci kap. 3.1.2), můžeme všechny mintermy seřadit do skupin tak, aby v každé skupině byly např. proměnné  $x_3, x_2, x_1$  ve stejném vyjádření co do přímého nebo inverzního tvaru, a tyto proměnné pak vytknout. Dostaneme pak zápis této funkce ve tvaru

$$f(x_n, \dots, x_1) = f_0 \cdot k_0 + f_1 \cdot k_1 + \dots + f_7 \cdot k_7,$$

kde nyní  $f_0, f_1, \dots, f_7$  jsou tzv. *zbytkové funkce* proměnných  $x_n, \dots, x_4$  (neobsahují již  $x_3, x_2, x_1$ ). Jsme-li nyní schopni funkce  $f_0, f_1, \dots, f_7$  snadno realizovat, pak z nich funkci  $f(x_n, \dots, x_1)$  získáme pomocí multiplexeru stejně jako jsme pomocí něho realizovali funkci  $f(x_3, x_2, x_1)$ , tj. na jeho vstupy I0, I1, ..., I7 přivedeme signály s hodnotami zbytkových funkcí  $f_0, f_1, \dots, f_7$  a na jeho adresové vstupy přivedeme proměnné  $x_3, x_2, x_1$ . Při použití multiplexeru se třemi adresovými vstupy je tento způsob výhodný zejména pro realizaci funkcí čtyř proměnných (obecně u multiplexeru s  $n$  adresovými vstupy pro realizaci funkcí  $n + 1$  proměnných), protože pak bude na každém ze vstupů I0, I1, ..., I7 multiplexeru některá z těchto hodnot: zbývající proměnná, její inverze, **1**, **0**, které jsou bezprostředně k dispozici.

Jako příklad uveďme realizaci funkce  $e$  pro odpovídající segment převodníku kódu BCD na kód sedmisegmentového displeje (obr. 2.1). Vyjděme např. z minimálního tvaru (2.5) zápisu této funkce odvozeného v kap. 2.2

$$e = r \cdot s + t \cdot \bar{u} + \bar{s} \cdot \bar{u}.$$

Eliminujme odtud pomocí adresových vstupů multiplexoru např. proměnné  $s, t$  a  $u$ . Výraz pro funkci  $e$  doplníme tak, aby každý sčítanec obsahoval všechny eliminované proměnné

$$e = r \cdot s \cdot (t + \bar{t}) \cdot (u + \bar{u}) + r \cdot (s + \bar{s}) \cdot t \cdot (u + \bar{u}) + (s + \bar{s}) \cdot t \cdot \bar{u} + \bar{s} \cdot (t + \bar{t}) \cdot \bar{u}.$$

Po roznásobení dostaneme výraz, v němž sčítance seskupíme tak, aby bylo možno vytknout součiny eliminovaných proměnných. Toto seskupení je možno nejlépe provést formou *tabulky zbytkových funkcí* (tab. 3.1), kde vypíšeme všechny kombinace eliminovaných proměnných (v prvním řádku) a k nim napíšeme, co z jednotlivých sčítanců zbylo po vytknutí (druhý řádek). Roznásobený výraz zde není uveden, ale do tabulky jsou vypsány všechny zbylé proměnné z tohoto výrazu a tam, kde je možné zápis zjednodušit, je připsán i zjednodušený tvar.

Tab. 3.1: Tabulka zbytkových funkcí

$\bar{s} \cdot \bar{t} \cdot \bar{u}$	$\bar{s} \cdot \bar{t} \cdot u$	$\bar{s} \cdot t \cdot \bar{u}$	$\bar{s} \cdot t \cdot u$	$s \cdot \bar{t} \cdot \bar{u}$	$s \cdot \bar{t} \cdot u$	$s \cdot t \cdot \bar{u}$	$s \cdot t \cdot u$
1	0	$r + 1 + 1 = 1$	$r$	$r$	$r$	$r + r + 1 = 1$	$r + r = r$

Výsledný výraz pro realizaci funkce pomocí multiplexeru tedy je

$$e = \bar{s} \cdot \bar{t} \cdot \bar{u} \cdot \mathbf{1} + \bar{s} \cdot \bar{t} \cdot u \cdot \mathbf{0} + \bar{s} \cdot t \cdot \bar{u} \cdot \mathbf{1} + \bar{s} \cdot t \cdot u \cdot r + s \cdot \bar{t} \cdot \bar{u} \cdot r + s \cdot \bar{t} \cdot u \cdot r + s \cdot t \cdot \bar{u} \cdot \mathbf{1} + s \cdot t \cdot u \cdot r.$$

Tento způsob realizace kombinačních logických funkcí s použitím integrovaných multiplexerů byl svého času značně oblíbený. V dnešní době jeho význam poklesl, protože existují způsoby realizace, které jsou často výhodnější, např. realizace s využitím programovatelných logických obvodů. Často se však s multiplexery tímto způsobem použitými setkáme ve strukturách složitějších integrovaných obvodů.

*Demultiplexer* je obvod provádějící opačnou operaci než multiplexer. Stejnou funkci vykonává obvod zvaný *dekodér*, u něhož však výstupy chápeme jako signál kódovaný v kódu 1 z  $n$ . Tento kód se velmi často používá, a proto také dekodér převádějící signál z binárního kódu do kódu 1 z  $n$  je v povědomí elektroniků pevně zachycen pod tímto označením. Pohlížíme-li na tento obvod jako na demultiplexer, pak jednu skupinu jeho vstupů označujeme za adresové vstupy, které vybírají výstup, na nějž se vede signál z dalšího, tzv. datového vstupu. Často pak mluvíme o adresových vstupech i v souvislosti s dekodérem.

Dekodéry vyráběné jako integrované obvody mají obvykle počet výstupů  $N = 10$ . Pak se jedná o převodník kódu BCD na kód 1 z 10 nebo je tento počet dán vztahem

$$N = 2^n,$$

kde  $n$  je počet adresových vstupů. Převodník může být považován za demultiplexer s osmi výstupy, přičemž za adresové vstupy pak považujeme vstupy A, B, C a vstup D za datový vstup. Výstupy O8 a O9 v tomto případě nejsou využity.

Tab. 3.2: Pravdivostní tabulka pro funkce  $z_1$  až  $z_4$

$c$	$b$	$a$	$z_1$	$z_2$	$z_3$	$z_4$
0	0	0	1	0	0	1
0	0	1	1	0	0	0
0	1	0	1	1	0	0
0	1	1	0	1	0	0
1	0	0	0	1	1	0
1	0	1	0	0	1	0
1	1	0	0	0	1	1
1	1	1	0	0	0	1

Signály na výstupu dekodéru představují inverzi těchto proměnných. Je-li počet výstupů roven celistvé mocnině čísla 2, můžeme považovat proměnné  $y_0$  až  $y_7$  za mintermy vytvořené z proměnných na jeho vstupech. To je podstata použití dekodéru pro realizaci kombinačních logických funkcí. Při ní vycházíme z úplného součtového tvaru zápisu realizované funkce, nebo z pravdivostní tabulky. Ty výstupní signály dekodéru, které odpovídají mintermům obsaženým v realizované funkci, sečteme logickými členy připojenými k výstupům dekodéru. Má-li dekodér inverzní výstupy, přejde jejich součet podle de Morganova pravidla v součin. Je přitom výhodné,

můžeme-li využít vytvořené mintermy pro více současně realizovaných funkcí.

Jako příklad realizujeme funkce  $z_1, z_2, z_3, z_4$  vstupních proměnných  $a, b, c$  dané pravdivostní tabulkou (tab. 3.2). Každý z výstupů dekodéru je aktivní pro hodnoty vstupních proměnných odpovídající jednomu řádku pravdivostní tabulky. Součinné členy připojené k jeho výstupům dávají na svých výstupech hodnotu **1**, je-li některý z výstupů dekodéru, které jsou připojeny k jejich vstupům, v aktivním stavu. Podle pravdivostní tabulky můžeme nyní snadno vybrat výstupy dekodéru, které mají být připojeny k jednotlivým součinným členům vytvářejícím funkce  $z_1$  až  $z_4$ .

### 3.3 Další způsoby realizace kombinační logické funkce

Pro mnoho často se vyskytujících funkcí se vyrábějí ve známých řadách (74, 4000) speciální digitální integrované obvody. Tyto obvody se vyrábějí ve velkých sériích, jsou proto

levné a dokonale propracované z hlediska funkčních vlastností. Patří mezi ně ve skutečnosti i multiplexery, demultiplexery a dekodéry. Zvláště zaslouží zmínku logický člen s funkcí exklusivního součtu EX-OR, dále jsou k dispozici různé enkodéry s funkcí opačnou k funkci dekodérů, generátory parity, sčítačky, aritmeticko-logické jednotky atd. Některé z nich jsou vybaveny speciálními vstupními a výstupními obvody, např. výstupy s větším přípustným proudovým nebo napěťovým zatížením, s otevřeným kolektorovým výstupem, s třístavovým výstupním zesilovačem, se vstupní hysterezí (vybavené Schmittovým obvodem na vstupu) atd.

V některých případech je účelné realizovat dodatečnou logickou funkci pomocí *obvodů s otevřeným kolektorovým výstupem*. Tyto obvody jsou výhodné zejména tam, kde potřebujeme vytvořit logický součin (nebo s využitím de Morganova pravidla logický součet) signálů, jejichž počet předem neznáme - může být např. dán počtem použitých zásuvných jednotek v mikropočítači. Vývody na určité pozici konektoru buzené otevřeným kolektorovým výstupem mohou být vzájemně propojeny a odpovídající signály tak budou logicky vynásobeny.

*Paměti ROM, PROM* a jejich různé varianty (EPROM, EEPROM atd.) v naprogramovaném stavu můžeme rovněž pokládat za kombinační logické obvody. Jejich význačnou vlastností je univerzálnost, tj. schopnost vytvořit bez omezení jakoukoliv kombinační logickou funkci svých vstupních proměnných. Jsou proto vhodné tam, kde potřebujeme realizovat složité funkce mnoha proměnných, zejména odpovídá-li počet realizovaných funkcí počtu výstupů vyráběných pamětí. Přístroje pro naprogramování pamětí PROM patří dnes již ke standardní výbavě elektronických laboratoří. Nevýhodou těchto pamětí pro účely realizace kombinační logické funkce je především jejich dostupný sortiment. Vyráběné paměti jsou pro obvyklé kombinační logické funkce většinou příliš velké, takže se zřídka využijí z více než z několika procent svých možností. Běžné paměti PROM jsou také zhruba o řád pomalejší než jiné kombinační integrované obvody. Nejčastěji se používají paměti tohoto typu mazatelné ultrafialovým světlem (EPROM), které jsou charakteristické křemenným okénkem pro možnost ozáření čipu při mazání, nebo paměti OTP (One Time Programmable - jednou programovatelné) se stejným čipem v levnějším pouzdru bez okénka. Stále více se také prosazují paměti mazatelné elektricky (EEPROM), jejichž výhodou je mimo jiné výrazně kratší doba potřebná pro jejich vymazání.

*Programovatelné logické obvody* označované zkratkou PLD - Programmable Logic Devices (zejména obvody typu GAL, ale i složitější typy zvané CPLD - Complex PLD) představují důležitý prostředek pro realizaci kombinačních logických funkcí. Jsou vhodné ve většině případů, kde by realizace vyžadovala větší množství pouzder standardních logických obvodů, kde však není nezbytná univerzálnost jako u pamětí PROM. Tyto obvody se dnes vyrábějí v sortimentu, který umožňuje zvolit nejvýhodnější typ obvodu tak, aby byl efektivně využit. U nás nejsou dosud v dostatečné míře v povědomí konstruktérů elektronických zařízení, protože nebyly naším průmyslem v době snahy o nezávislost na ostatním světě vyráběny, jejich vlastnosti však rychle přesvědčují konstruktérskou veřejnost o výhodách těchto obvodů. Velkou předností obvodů PLD je, že v nich lze realizovat současně bloky kombinačního i sekvenčního charakteru, což přispívá ke zmenšení potřebného počtu pouzder. Jejich rychlost (zpoždění) se blíží parametrům základních kombinačních obvodů. Podrobný popis nejdůležitějších obvodů PLD a řadu příkladů jejich aplikací lze najít například ve skriptech [12].

Přehled způsobů realizace kombinační logické funkce. *Základní kombinační obvody NAND, NOR a jejich neinvertované verze* jsou vhodné pro ty případy, kdy jde o jednoduché funkce, pro jejichž realizaci vystačíme s jedním či dvěma pouzdry. V případě potřeby je

možno při tomto způsobu realizace snadno odstranit hazardy, jak bude uvedeno dále. Výhodou je jednoduchost, nízká cena, malé zpoždění signálu. Nevýhodou je omezený rozsah funkcí a nutnost změny zapojení včetně spoje při změně funkce. Podobné výhody a nevýhody jsou i při použití obvodů AND-OR-INVERT.

*Realizace pomocí multiplexerů* je vhodná pro jednu funkci (nebo malý počet funkcí) s nevelkým počtem vstupních proměnných (čtyři až pět, kde lze vystačit s jedním pouzdrům multiplexeru). Mezi výhody patří jednoduchost návrhu, nízká cena, malé zpoždění, možnost změny realizované funkce přestavitelnými propojkami (pokud na ně myslíme při návrhu plošného spoje. Dnes tato výhoda ustupuje při možnosti použít programovatelné logické obvody). Jak již bylo řečeno, tento způsob realizace se často používá ve vnitřní struktuře integrovaných obvodů.

*Dekodéry* se rovněž používají k realizaci kombinační logické funkce především v integrovaných obvodech - jsou základním stavebním prvkem pamětí PROM a programovatelných logických obvodů. Použití dekodérů může být efektivní při realizaci více funkcí těchto proměnných, pokud jejich tvar je takový, že nevyžaduje příliš mnoho dalších pouzder IO.

*Speciální obvody* pro realizaci často se vyskytujících funkcí představují obvykle nejvýhodnější řešení, pokud jde právě o funkce, pro něž jsou navrženy. Je-li však nutno doplňovat je dalšími kombinačními obvody, bývá často výhodnější použít programovatelné logické obvody.

*Paměti typu PROM* jsou nepostradatelné tam, kde se jedná o realizaci funkcí mnoha vstupních proměnných a je žádána možnost dodatečné změny těchto funkcí zcela libovolným způsobem, pokud není na závalu jejich větší zpoždění. To je zejména případ pamětí programu pro mikropočítače, ale i dalších aplikací, kde se vyskytují velmi složité kombinační logické funkce.

*Programovatelné logické obvody* představují zpravidla ekonomicky i technicky vhodné řešení tam, kde ostatní způsoby realizace vyžadují použití příliš velkého počtu pouzder a kde paměti PROM jsou zbytečně velké, popř. příliš drahé nebo pomalé.

*Postup při volbě způsobu realizace* může být následující: nejprve se přesvědčíme, zda se pro uvažovanou aplikaci nevyrábí speciální integrovaný obvod, popř. zda se nějaký takový obvod jednoduchým přizpůsobením nestane vhodným řešením. Není-li tomu tak, pak při realizaci malého počtu jednoduchých funkcí, kde vystačíme s jedním nebo se dvěma pouzdry, použijeme základní kombinační členy (NAND, NOR a další). Vychází-li však potřebný počet pouzder větší, uvážíme možnost použití multiplexeru nebo dekodéru, nebo častěji přímo zkusíme realizaci pomocí obvodů PLD. Přitom máme na paměti, že v těchto obvodech můžeme realizovat i sekvenční bloky v jednom pouzdru s kombinačními, což může zvýšit ekonomičnost řešení. Jde-li o složité funkce mnoha proměnných, na které programovatelné obvody nestačí (to však bývají jen výjimečné případy), nebo je-li nezbytná úplná univerzálnost (možnost zcela libovolné dodatečné změny realizované funkce), pak může být nejvhodnějším řešením použití paměti PROM.

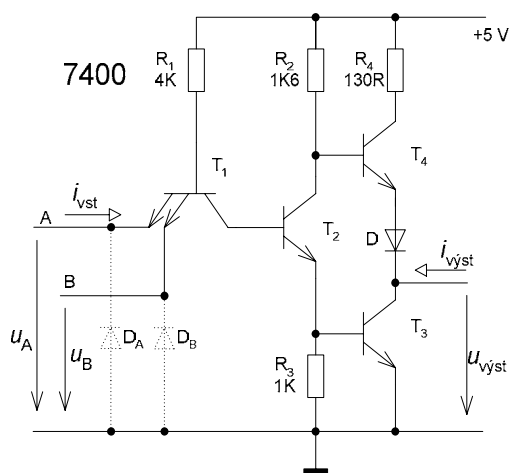
## 4 DRUHY DIGITÁLNÍCH INTEGROVANÝCH OBVODŮ

Základním stavebním blokem digitálních systémů je logický člen (hradlo). U daného typu logického členu je jeho logická funkce jednoznačně dána, ale jeho jednotlivé fyzické realizace se mohou i velmi podstatně lišit vnitřní strukturou a výrobní technologií. Nejstarší, do hloubky propracovaná a v rozsáhlé míře používaná skupina logických obvodů je založena na využití struktur, sestavených z bipolárních tranzistorů, které v zapnutém stavu pracují v saturaci nebo na mezi saturace (diodově-tranzistorová logika DTL, tranzistorově-tranzistorová logika TTL, integrovaná injekční logika IIL, včetně rychlých a Schottkyho variant). Další významná skupina logických obvodů používá struktury s unipolárními spínacími tranzistory s izolovaným hradlem (logické obvody CMOS).

Číslicové integrované obvody jsou určeny pro zpracování číslicových signálů. Pod pojmem číslicový signál rozumíme dvojhodnotový (neboli binární) signál, který nabývá pouze dvou možných typických hodnot, logické nuly a logické jedničky.

Pro naše účely budeme logickou nulou označovat 0 nebo L a logickou jedničku 1 nebo H. Symboly 0 a 1 (představující současně číslice dvojkové číselné soustavy) používáme přednostně při popisu logické funkce obvodu, symboly L a H (zkratky z anglických výrazů low a high) pak zejména jako označení napěťové úrovně signálu. Podobný smysl bude mít i použití těchto symbolů jako indexů, např. veličina  $u_{VYSTL}$  označuje výstupní napětí, je-li hodnota signálu rovna logické nule. Je-li  $u_0 < u_1$ , jedná se o pozitivní logiku, relace  $u_0 > u_1$  platí pro negativní logiku. Kromě symbolů 0, 1 a L, H ještě v některých případech používáme i symbol Z, jímž označujeme dosažení stavu vysoké impedance u obvodů s třístavovým výstupem. V tomto stavu je obvod odpojen svým výstupem od výstupního vodiče.

### 4.1 Digitální integrované obvody TTL



Obr. 4.1: Vnitřní zapojení TTL hradla typu 7400

Základní stavební jednotkou obvodů TTL je logický člen NAND s několika vstupy. Z obr. 1.1 je zřejmá vnitřní stavba dvouvstupového členu NAND. Například čtyři takové logické členy jsou obsaženy v jednom pouzdře integrovaného obvodu 7400. Zapojení můžeme analyzovat buď z hlediska logické funkce obvodu (víme, že jde o funkci NAND, tedy o negovaný logický součin AB vstupních signálů A a B) nebo z hlediska elektrického chování obvodu při změně napěťových úrovní vstupních signálů A a B.

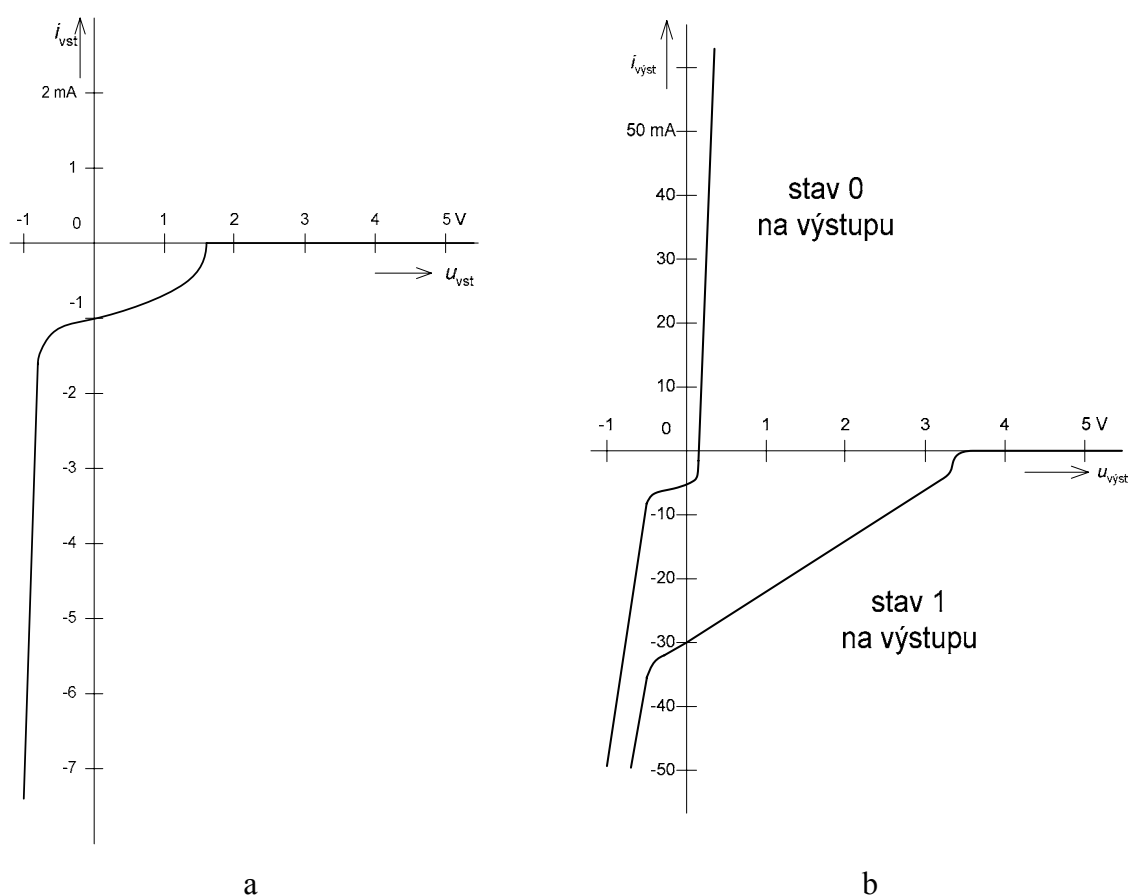
Statické (stejnosměrné) vlastnosti daného logického členu lze dobře posoudit z průběhu jeho vstupních, převodních a výstupních charakteristik. K výkladu o charakteristikách je ještě nutné si uvědomit, že ve skutečném zapojení členu podle obr. 4.1 jsou k oběma

vstupům úmyslně zapojeny ochranné omezovací diody DA, DB, které ochraňují jeho vstupní obvod před nežádoucím účinkem případného záporného napětí přivedeného na vstup. Bez těchto ochranných diod by totiž záporné napětí otevřelo substrátové diody, které by se prorazily a obvod by se zničil. V obvodu však je nutno brát v úvahu ještě další substrátové



diody, které v normálním provozním režimu izolují systém logického členu od podložky a které vznikají při technologickém zpracování integrovaného obvodu. Existují mezi kolektorem každého tranzistoru a substrátem, ke kolektorům jsou připojeny katodou, ke společnému vodiči anodou. Z těchto substrátových diod se z hlediska vnějšího chování obvodu projevuje zejména dioda vytvořená mezi výstupem logického členu a substrátem, která se otevírá při nestandardním zatěžování výstupu ze zdroje záporného napětí přes zatěžovací rezistor.

*VSTUPNÍ STATICÁ CHARAKTERISTIKA*  $i_{VST}(u_{VST})$  běžného jednovstupového logického členu (invertoru) je uvedena na obr. 4.2a. Tutéž charakteristiku můžeme naměřit pro vícevstupová hradla, budíme-li pouze jeden vstup a ostatní připojíme na potenciál logické jedničky, přičemž zanedbáváme vstupní proudy, tekoucí těmito vstupy.



Obr. 4.2: a) Vstupní a b) výstupní charakteristika hradla TTL

Je-li sledovaný vstup členu, tj. emitor tranzistoru  $T_1$  spojen se společným vodičem, bude tranzistor  $T_2$  uzavřen a kolektorem vstupního tranzistoru neprotéká proud, tedy  $i_{i1} = 0$  A. Na tvorbě vstupního proudu se v tomto případě podílí pouze proud tekoucí do báze tranzistoru  $T_1$ . Pro jeho velikost platí

$$i_{VST} = i_{B1} = (U_C - u_{BE1}) / R_1 \quad (4.1)$$

a odpovídající část vstupní charakteristiky má proto přibližně přímkový charakter se směrnici  $i_{VST} / u_{VST} \approx 1/R_1$ . Odklon od lineárního průběhu pak nastává při zvyšování vstupního napětí, při němž se tranzistor  $T_2$  začíná otevírat, protože do jeho báze začíná vtékat proud. Při  $i_{VST} = 0$  mA veškerý proud rezistorem  $R_1$  teče do báze tranzistoru  $T_2$ . V tomto případě jsou

tranzistory  $T_2$  a  $T_3$  v saturaci, napětí  $u_{B2} = (1,3 \text{ až } 1,5) \text{ V}$ . Vstupní tranzistor  $T_1$  přechází do inverzního režimu a při jeho nulovém emitorovém proudu  $i_{VST} = 0 \text{ mA}$ , bude mezi jeho kolektorem a sledovaným emitorem minimální napětí

$$u_{CES1} = -U_T \cdot \ln \frac{1 + h_{21E}}{h}, \quad (4.2)$$

$$u_{CES1} = -U_T \cdot \ln \frac{1 + h_{21E}}{h_{21E}} = -U_T \cdot \ln \frac{1}{\alpha_N},$$

Pro  $U_T \approx 25 \text{ mV}$  a  $\alpha_N = 0,98$  bude  $u_{CES1} \approx -0,5 \text{ mV}$ . Rozhodovací vstupní napětí je tedy rovněž asi  $1,3 \text{ až } 1,5 \text{ V}$ . Další zvyšování vstupního napětí logického členu se projeví v inverzně pracujícím tranzistoru  $T_1$  tokem proudu  $i_{VST} \approx \beta_i \cdot i_{B1} = \beta_i (U_C - 3u_{BE})/R_1 = 18 \mu\text{A}$ . Při dalším zvětšování vstupního napětí se vstupní proud téměř nemění, až při vstupním napětí  $7 \text{ až } 8 \text{ V}$  dochází k průrazu přechodu emitor-báze tranzistoru  $T_1$ , při kterém musí být vstupní proud omezen na hodnoty do  $1 \text{ až } 3 \text{ mA}$ . Proto výrobce nepřipouští vstupní napětí hradla větší než  $5,5 \text{ V}$ .

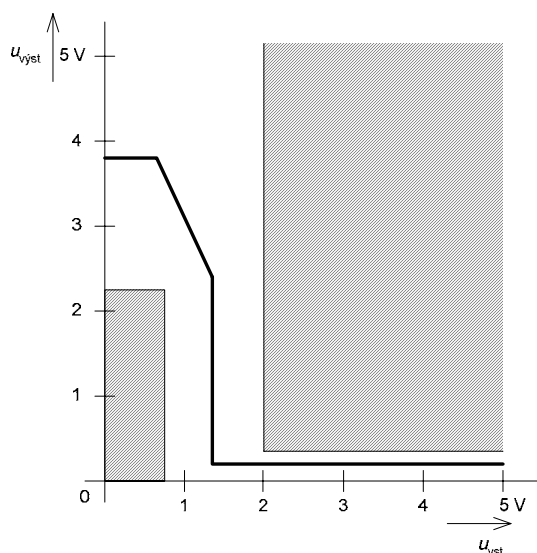
Budeme-li naopak přivádět vstupní napětí záporná, bude až do napětí asi  $-0,7 \text{ V}$  tvar charakteristiky lineární, sklon odpovídá hodnotě  $i_{VST}/u_{VST} \approx 1/R_1$ . Při zápornějších napětích se otevírá vstupní dioda  $D_A$ , resp.  $D_B$  a určuje spolu s otevřeným tranzistorem  $T_1$  tvar charakteristiky. Z hlediska přípustného ztrátového výkonu musí být velikost vstupního proudu omezena na  $10 \text{ až } 15 \text{ mA}$ .

**VÝSTUPNÍ CHARAKTERISTIKA**  $i_{VYST}(u_{VYST})$  logického členu TTL je rozdílná pro dva možné stavy 0 a 1 na výstupu. Na obr. 4.2b jsou uvedeny obě křivky tvořící výstupní charakteristiku. Má-li být na výstupu napětí odpovídající logické nule, je tranzistor  $T_3$  nasycen a v oblasti kladných výstupních napětí určuje jeho charakteristika  $i_{C3}(u_{CE3})$  průběh výstupní charakteristiky členu. Při malých výstupních proudech je  $u_{VYST} = u_{CES3} \approx 0,1 \text{ V}$ . Se zvětšováním výstupního proudu roste i výstupní napětí. Výstupní dynamický odpor hradla je tedy určen odporem nasyceného tranzistoru  $T_3$ . Jeho hodnota je asi  $10 \text{ až } 15 \Omega$ . V oblasti výstupního proudu  $i_{VYST} \approx 140 \text{ mA}$  výstupní napětí prudce vzrůstá, neboť tranzistor  $T_3$  přechází z nasyceného stavu do aktivního režimu. V oblasti záporných napětí závisí průběh charakteristiky na vlastnostech substrátové diody, která je katodou připojena ke kolektoru  $T_3$  a anodou na společný vodič. Tato dioda je významná také z hlediska odrazů na nepřipůsobených vedeních a z hlediska rušení.

Má-li být na výstupu logická jednička, je tvar výstupní charakteristiky logického členu určen charakteristikou tranzistoru  $T_4$ . Při velkých napětích na výstupu teče výstupem nepatrný proud, tranzistor  $T_4$  je uzavřen. S klesajícím napětím  $u_{VYST}$  se velikost výstupního proudu zmenšuje a při výstupním napětí  $3,3 \text{ až } 3,5 \text{ V}$  je proud nulový, protože zbytkový proud tranzistoru  $T_4$  se kompenzuje proudem tekoucím z tranzistoru  $T_3$ . Při dalším snižování výstupního napětí se tranzistor  $T_4$  dostává do aktivního režimu a výstupní dynamický odpor hradla klesá z několika megaohmů asi na  $70 \text{ až } 80 \Omega$ . V oblasti menších výstupních napětí je tranzistor  $T_4$  v nasyceném stavu a dynamický výstupní odpor je asi  $160 \Omega$ . Při nulovém výstupním napětí teče obvodem zkratový proud a při záporných napětích se opět uplatňuje substrátová dioda na výstupu.

**PŘEVODNÍ CHARAKTERISTIKA**  $u_{VYST}(u_{VST})$  vystihuje závislost mezi vstupním a výstupním napětím logického členu a její typický průběh pro hradlo NAND TTL je uveden na obr. 4.3. Tvar charakteristiky závisí zejména na velikosti napájecího napětí obvodu, na

charakteru připojené zátěže a na pracovní teplotě obvodu. Na obrázku jsou šrafovaním vyznačeny oblasti, do kterých pro daná vstupní napětí ( $u_{VSTL} < 0,8 \text{ V}$  a  $u_{VSTH} > 2 \text{ V}$ ) nesmí výstupní napětí  $u_{VYST}$  zasáhnout. Na převodní charakteristice jsou zřetelné čtyři typické oblasti. Pro malá vstupní napětí do 0,6 až 0,8 V jsou tranzistory  $T_2$  a  $T_3$  uzavřeny a výstupní napětí je konstantní v úrovních logické jedničky,  $u_{VYSTH} = 3,3$  až  $3,7 \text{ V}$ . Při zvětšování vstupního napětí se otevírá tranzistor  $T_2$  a jeho napěťovým zesílením  $-R_2/R_3 \approx -1,4$  je přibližně určen sklon převodní charakteristiky v oblasti klesajícího výstupního napětí. Při vstupním napětí přibližně 1,3 V se začíná otevírat i výstupní tranzistor  $T_3$ . Poněvadž je připojen paralelně k rezistoru  $R_3$  a jeho vstupní odpor  $R_{VST}$  klesá, zvětšuje se zesílení tranzistoru  $T_2$  úměrně poměru  $-R_2/(R_3 \parallel R_{VST3})$ . Charakteristika je proto od napětí  $u_{VST} = 1,3 \text{ V}$  strmá, absolutní hodnota napěťového zesílení členu je velká. Další zvětšování vstupního napětí způsobí rychlý pokles výstupního napětí na hodnotu saturačního napětí výstupního tranzistoru  $T_3$ , takže na výstupu členu je zaručena přibližně konstantní úroveň napětí logické nuly s typickým napětím  $u_{VYSTL} \approx 0,2 \text{ V}$ .



Obr. 4.3: Typický průběh převodní charakteristiky hradla TTL (šrafovaním jsou vyznačeny zakázané oblasti)

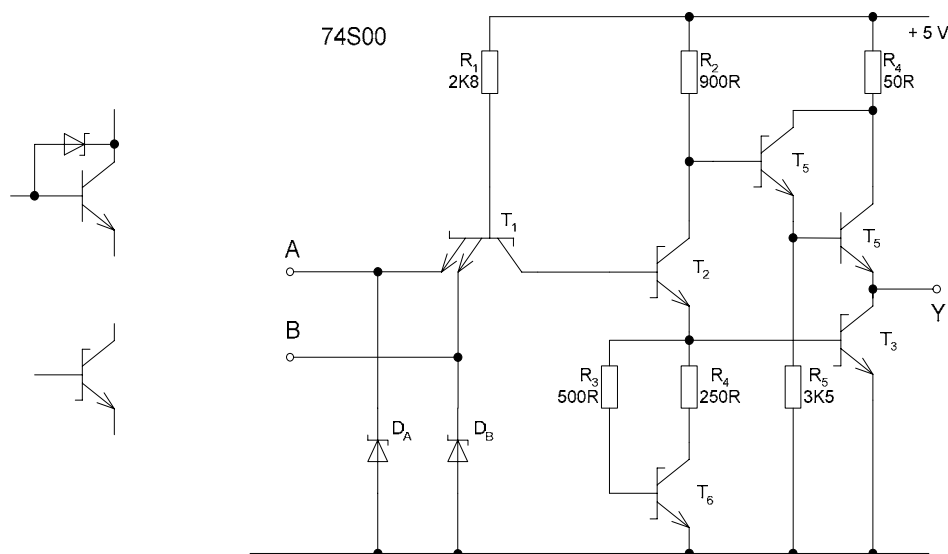
Rychlá změna výstupního napětí členu při zpětném snižování vstupního napětí v okolí hodnoty  $u_{VST} = 1,3 \text{ V}$  je dynamickým jevem, kdy se tranzistor  $T_4$  otevírá dříve, než stačí přejít tranzistor  $T_3$  ze stavu nasycení do stavu zahrazení. Po určitou dobu tedy vedou tranzistory  $T_3$  a  $T_4$  současně a výstupním obvodem protéká zkratový proud, jehož špičková hodnota dosahuje u standardní řady 54/74 TTL až 25 mA. Doba trvání tohoto proudového impulsu, který má tu výhodu, že se jím se intenzivně odvádí prostorový náboj z předtím saturevaného tranzistoru  $T_3$ , závisí na velikosti kapacitní zátěže výstupu a strmosti hrany budícího vstupního napětí. Tyto proudové impulsy mohou vyvolat v připojených obvodech přídavné rušení. Proto je nutno opatřit rozvod napájecího napětí dostatečným počtem filtračních kapacitorů, které pokryjí impulsní nároky na dodávanou

energií a zabrání dalšímu šíření těchto proudových špiček.

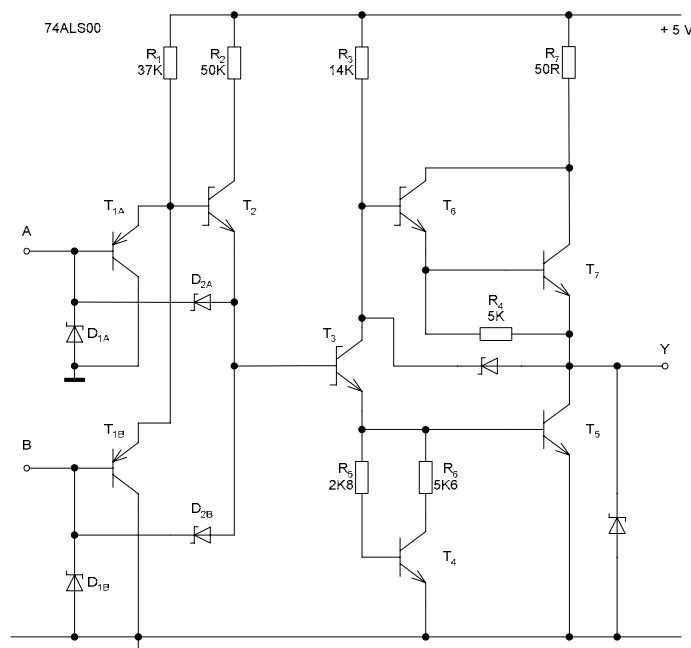
Dynamické parametry obvodů TTL udává výrobce nepřímo, a to pomocí typických časových zpoždění reakce výstupu logického členu při skokové změně logické hodnoty vstupního signálu. Např. pro řadu 74 obvodů TTL udává výrobce dobu zpoždění reakce logického členu při přechodu z úrovně L na úroveň H hodnotou  $t_{PLH} < 22 \text{ ns}$  a při přechodu z úrovně H na úroveň L hodnotou  $t_{PHL} < 15 \text{ ns}$ .

*DALŠÍ VARIANTY OBVODŮ TTL* byly vyvinuty s cílem buď zmenšit příkon nebo zmenšit zpoždění signálu, nebo v optimálním případě zmenšit i příkon i zpoždění. Tak vznikly v řadě 54/74 varianty L, LS, ALS, H, S, AS, z nichž dnes mají největší uplatnění moderní zdokonalené varianty ALS a AS.

Podstatné omezení rychlosti obvodů TTL vyplývá z časového zpoždění, které je nutné pro přechod tranzistoru z nasyceného stavu do stavu zahrazení. Rychlé logické obvody TTL



Obr. 4.4: Vnitřní zapojení hradla 74S00 se Schottkyho tranzistory



Obr. 4.5: Vnitřní zapojení hradla 74ALS00

proto používají ke zvýšení rychlosti Schottkyho tranzistory, což jsou tranzistory, mající mezi kolektor a bázi připojenu Schottkyho desaturační diodu, která zabráňuje přechodu tranzistoru do nasycení. Zapojení a schématickou značku Schottkyho tranzistoru ukazuje obr. 4.4. Pro srovnání uvedeno vnitřní zapojení jednoho členu NAND v obvodu 74S00. Všechny tranzistory s výjimkou tranzistoru  $T_4$ , jsou vybaveny Schottkyho desaturačními diodami. Rychlost členu je také zvýšena zmenšením odporu jeho pracovních rezistorů. Další změnou ve srovnání se schématem členu TTL uvedeným na obr. 4.1 je jiná konfigurace výstupního obvodu pro generování výstupního signálu logické jedničky. Vlivem tranzistorů  $T_4$ ,  $T_5$  v Darlingtonově dvojici se snižuje výstupní dynamická impedance obvodu na hodnotu asi 10  $\Omega$  při výstupním signálu logické jedničky. Poslední změnou ve srovnání s původním zapojením členu TTL je náhrada rezistoru  $R_3$  (viz obr. 4.1) aktivním obvodem s tranzistorem

$T_6$  a rezistory  $R_3$ ,  $R_4$ . Tento obvod urychluje otevírání tranzistoru  $T_3$ , omezuje přesycování báze  $T_3$  nadměrným proudem, je-li  $T_3$  otevřen, zlepšuje teplotní chování obvodu, neboť snižuje závislost dynamických parametrů na teplotě a v neposlední řadě zlepšuje tvar převodní charakteristiky  $u_{VYST}(u_{VST})$ . Pro srovnání je na obr. 4.5 nakresleno vnitřní zapojení jednoho ze čtyř hradel NAND obvodu 74ALS00.

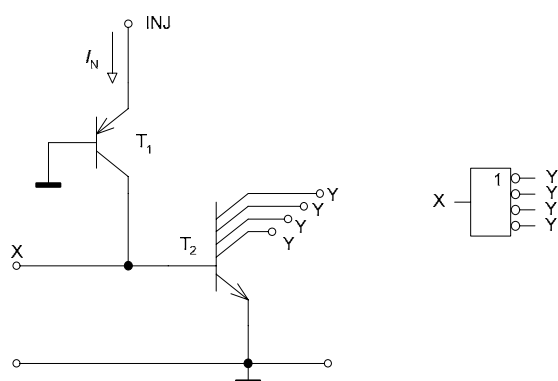
Tab. 4.1: Výkonnost logických hradel TTL

typ	$t_d$ [ns]	$P_d$ [mW]	$t_d \cdot P_d$ [pJ]	$f_m$ [MHz]
74	10	10	100	35
74L	33	1	33	3
74LS	9	2	18	45
74ALS	4	1,2	4,8	70
74H	6	22	132	50
74S	3	19	57	125
74AS	1,7	8	13,6	200

Tabulka 4.1 udává výkonost logických hradel TTL na jeden logický člen a průměrného časového zpoždění  $t_d$ . Maximální kmitočet  $f_m$  se zpravidla uvádí pro hodinový signál klopného obvodu realizovaného danou technologií. Při změně pracovního kmitočtu se částečně mění i odebíraný příkon  $P_d$ .

## 4.2 Digitální integrované obvody IIL

Integrovaná injekční logika IIL (z angl. integrated injection logic) využívá k proudovému buzení bipolárních spínacích tranzistorů injekci minoritních nosičů proudu do báze pomocí injektoru tvořeného tranzistorem PNP a nikoliv klasického buzení ze zdroje napájecího napětí přes sériový rezistor. Tím značně klesá ztrátový výkon a tedy i potřebný příkon obvodu a současně se podstatně zvyšuje počet součástek, které lze na čipu téže plochy integrovat.



Obr. 4.6: Shéma invertoru IIL a schématická značka

Z obrázku 4.6 je zřejmé, že kolektor injekčního tranzistoru  $T_1$  je spojen s bází vícekolektorového tranzistoru  $T_2$  a že báze tranzistoru  $T_1$  je současně emitorem tranzistoru  $T_2$ . Z hlediska morfologie existuje určitá současně i čtyřmi elektrodami. Emitor tranzistoru  $T_1$  (laterální tranzistor PNP) slouží jako injektor nosičů náboje. Difuzí se minoritní nosiče dostávají do kolektorového obvodu tohoto tranzistoru a tím i do báze tranzistoru  $T_2$  (vícekolektorový tranzistor NPN).

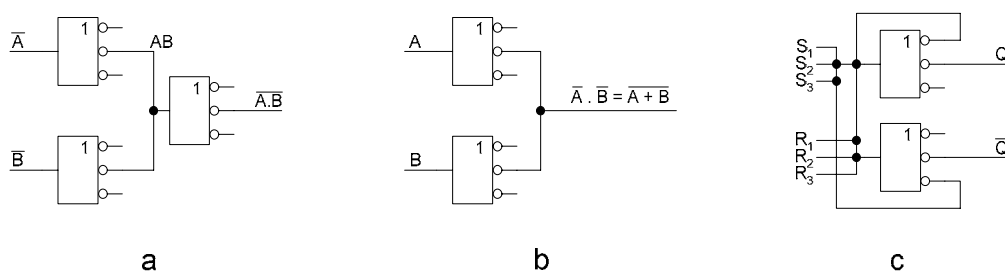
Další zvýšení hustoty obvodů IIL je možné i tím, že vhodným morfolo-gickým a topologickým uspořádáním prvků na čipu lze jeden laterálně pracující injektor použít jako zdroj konstantního proudu společně pro více okolních vícekolektorových tranzistorů NPN.

Základní logickou funkcí obvodu z obr. 4.6 je inverze logického signálu z jednoho společného vstupu (báze  $T_2$ ) na několik výstupů (kolektory  $T_2$ ). Požadované další logické funkce se u obvodů IIL vytvářejí vhodným spojováním jejich výstupů podle pravidel Booleovy algebry. Na obr. 4.7a a b jsou uvedeny příklady spojování elementárních spínacích

obvodů IIL pro získání logických funkcí NAND a NOR, na obr. 4.7c je schematicky naznačeno spojení dvou elementárních členů pro vytvoření klopného obvodu typu RS.

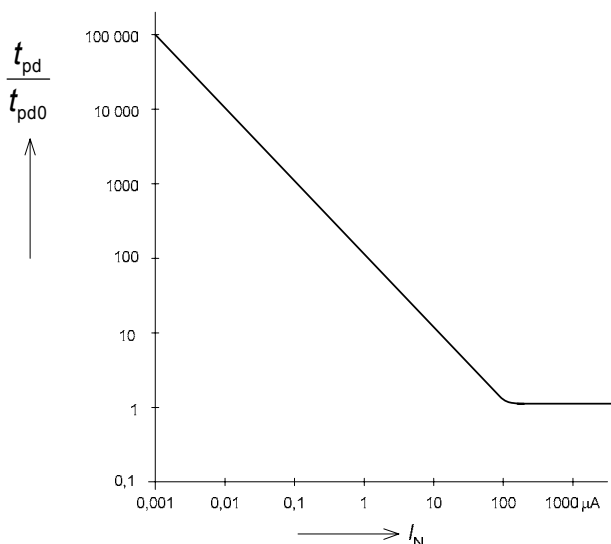
Ztrátový výkon (a tedy i nutný příkon) je u obvodů IIL velmi malý. Velikost napájecího proudu určuje dobu zpoždění signálu při průchodu hradlem. Závislost mezi proudem  $I_N$  a výsledným zpožděním je pro normalizovanou hodnotu zpoždění  $t_{pd}/t_{pd0}$  uvedena na obr. 4.8. Vztahná hodnota zpoždění je přibližně  $t_{pd0} = 10$  až  $20$  ns.

Protože vstupní napětí injektoru je přibližně konstantní,  $u_{INJ} \approx 0,85$  V (je to úbytek napětí  $u_{EB1}$  na propustně pólovaném přechodu EB tranzistoru  $T_1$ ), bude příkon jednoznačně dán průměrnou hodnotou napájecího proudu  $I_N$  injektoru. U čipů připadá na jeden z  $n$  logických členů průměrný proud  $I_N/n$ .



Obr. 4.7: Zapojení obvodu NAND, NOR a RS klopného obvodu

Při malých hodnotách proudu  $I_N$ , resp.  $I_N/n$  bude doba zpoždění dána zejména časem nabíjení přechodů a parazitních kapacitorů. Doba potřebná k nabití těchto kapacitorů je nepřímo úměrná velikosti nabíjecího proudu  $I_N/n$ . Srovnávací ukazatel  $t_{pd} \cdot P$  (součin zpoždění a příkonu) bude v tomto případě konstantní a jeho hodnota nebude záviset na velikosti  $I_N$ . Na obr. 4.8 je pro tuto oblast proudů typický lineární pokles charakteristiky.

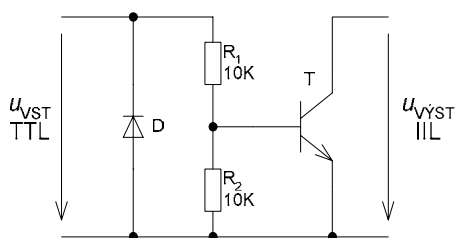


Obr. 4.8: Normalizované zpoždění pro různé hodnoty napájecího proudu

Při středních hodnotách proudu je hlavní příčinou zpoždění doba potřebná k manipulaci s nadbytečnými minoritními nosiči v oblasti báze tranzistoru. Jejich náboj je úměrný proudu, který s nimi manipuluje, a proto je zpoždění nezávislé na hodnotě proudu  $I_N$ . Na obr. 4.8 tato oblast začíná lomem na charakteristice při  $I_N \approx 100 \mu A$  a je z ní zřejmé, že s růstem proudu  $I_N$  se zvětšuje ztrátový výkon, aniž by se přitom zmenšovalo zpoždění.

Při velkých hodnotách proudu se tranzistory dostávají do saturace a nadměrně se zvětšuje i náboj v oblastech báze, s nímž se má manipulovat. V této oblasti proudů (která na obr. 4.8 není nakreslena) nezměňuje růst proudu  $I_N$  jen ztrátový výkon, ale zvětšuje i zpoždění  $t_{pd}$ . Je zřejmé, že tato oblast by byla charakterizována rostoucí křivkou závislosti  $t_{pd}/t_{pd0}$  na  $I_N$ .

U některých obvodů IIL požadujeme schopnost spolupracovat s obvodem TTL. K tomu slouží převodníky TTL/IIL a IIL/TTL. Vstupní převodník TTL/IIL sestává z rezistorového děliče a vícekolektorového tranzistoru NPN bez injektoru (viz obr. 4.9). Z obrázku je zřejmé, že na rozdíl od obvodů TTL je nezapojený vstup ve stavu L. Výstupní převodník IIL/TTL obsahuje dva až tři elementární logické členy IIL, přičemž poslední z nich je topologicky navržen na proudové zatížení výstupu v logické nule proudem 5 nebo 10, resp. až 15 mA, výstup je tvořen otevřeným kolektorem. Větší proudová zatížitelnost však znamená větší časové zpoždění převodníku, proto je nutno požadavky na přípustnou zatížitelnost stanovit bez zbytečných rezerv.



Obr. 4.9: Zapojení převodníku TTL/IIL

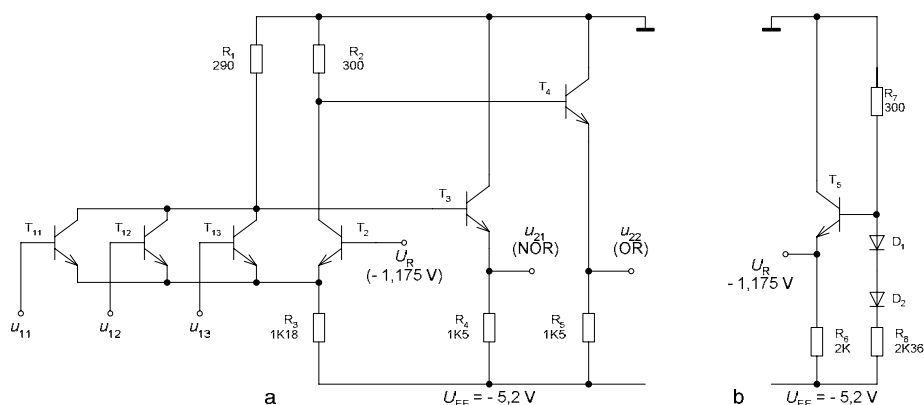
Jako typické parametry si můžeme uvést zpoždění  $t_{pd} \approx 20$  až 100 ns a napájecí proud hradla  $I_N \approx 100 \mu A$ . Dynamické vlastnosti jsou srovnatelné s parametry obvodů CMOS stejného stupně integrace, typický hodinový kmitočet je 4 MHz. Uvedenou průměrnou hodnotu napájecího proudu lze zmenšovat (při zachování funkce obvodu). Zmenšení proudu o jeden řád však znamená snížení rychlosti obvodu IIL na 25 % původní hodnoty.

### 4.3 Digitální integrované obvody ECL

Většina číslicových obvodů má omezenou rychlost průchodu signálu, která je způsobena zpožděním, které vzniká při přechodu vnitřních tranzistorů ze saturace do aktivního režimu. V důsledku teplotní nestability, výrobní variability parametrů apod. nemohou ani být většinou tyto tranzistory provozovány v aktivní oblasti.

Z hlediska rychlosti přepínání je mnohem vhodnější použít bipolární tranzistory jako řízené přepínače proudu, přičemž tranzistory pracující v aktivní oblasti jsou zapojeny stejně jako v tranzistorovém rozdílovém zesilovači. Protože jsou emitory obou tranzistorů v takovém přepínači spojeny, nazývají se číslicové obvody s touto strukturou obvody ECL (emitter-coupled logic). Patří do skupiny velmi rychlých číslicových obvodů.

Základní zapojení logického členu ECL je uvedeno na obr. 4.10a. Vstupní tranzistor  $T_1$  sestává ze tří paralelně zapojených tranzistorů  $T_{11}$ ,  $T_{12}$  a  $T_{13}$ , které zvětšují počet vstupů (spojují přitom vstupní signály logickou operací OR). Výstupní napětí rozdílového stupně  $T_1$ ,  $T_2$  se převádějí na výstup pomocí emitorových sledovačů s tranzistory  $T_3$ ,  $T_4$ . Ty zajišťují malou výstupní dynamickou impedanci členu, přibližně 2 až 8  $\Omega$ . Oba výstupní signály jsou zřejmě navzájem inverzní. Na srovnávací vstup rozdílového stupně (báze  $T_2$ ) musí být přivedeno stabilní referenční stejnosměrné napětí  $U_R = -1,175$  V. Teplotně stabilizované napětí  $U_R$  může být dodáváno ze zdroje, jehož schéma je uvedeno na obr. 4.10b a který je umístěn spolu s logickým členem na jednom čipu. Napájecí napětí logických obvodů ECL je  $U_{EE} = -5,2$  V. Kladný pól napájecího zdroje je připojen ke společnému vodiči. Toto připojení podstatně redukuje vliv vnějších šumů v signálu, zlepšuje účinky uzemnění a stínění a navíc dovoluje náhodné zkratování výstupu proti společnému vodiči (zkratový proud teče rezistorem  $R_4$  resp.  $R_5$  a nikoliv tranzistorem  $T_3$  resp.  $T_4$ , jak by tomu bylo při uzemnění záporného pólu zdroje).



Obr. 4.10: a) Vnitřní zapojení hradla, b) zdroj referenčního napětí pro hradla ECL

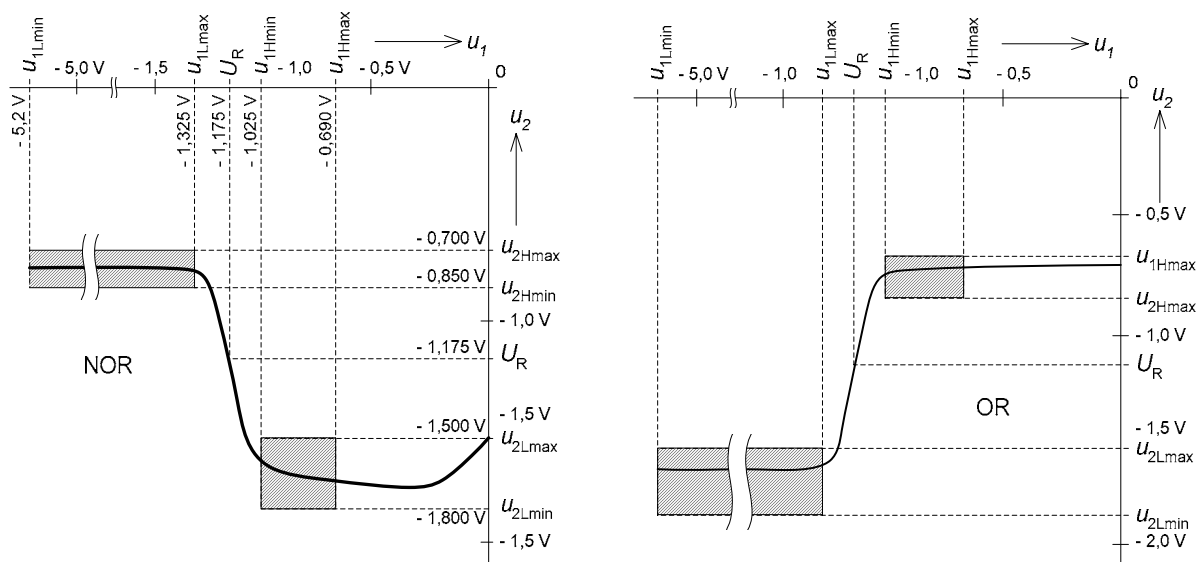
Logické obvody ECL se vyrábějí v několika typových řadách, které se značně liší odpory rezistorů ve struktuře. Členy s většími odpory mají menší potřebný příkon, ale pracují menšími rychlostmi a naopak. Logický člen, jehož schéma je uvedeno na obr. 4.10, patří do typové skupiny MECLII logických obvodů firmy Motorola a vyznačují se středním příkonem a střední rychlostí.

Logické členy ECL uskutečňují logické operace NOR nebo OR. Pro uvedené hradlo můžeme odvodit vztahy

$$U_{21} = \overline{U_{11} + U_{12} + U_{13}} \quad , \quad (4.3)$$

$$U_{22} = U_{11} + U_{12} + U_{13} \quad , \quad (4.4)$$

kde  $U_{mn}$  označují logické proměnné. V mnoha aplikacích se využívá pouze jeden z obou výstupů, v některých případech je však nesporně výhodné mít možnost použít oba komplementární výstupy současně.



Obr. 4.11: Převodní charakteristiky a) pro člen NOR, b) pro člen OR

Výrobce zaručuje logickou zatížitelnost výstupu členu ECL  $N = 25$ . Někdy se tato hodnota označuje jako "stejnoseměrná" logická zatížitelnost  $N_{ss}$ , pro případy nízké úrovně šumu v signálu (max. nestabilita  $u_H \approx 0,1$  V) dosahuje tato zatížitelnost hodnoty až  $N_{ss} = 250$ .



Chceme-li však zachovat dostatečnou rychlost budicího členu ECL (tj. musíme-li respektovat nežádoucí vzrůst kapacity zátěže, způsobený připojením řady vstupů dalších logických členů), řídíme se výrobcem udávanou tzv. "střídavou" logickou zatížitelností, která bývá  $N_{st} = 15$ . S výstupem naprázdno jsou typické hodnoty zpoždění u obvodů typové řady MECLII  $t_{pd} \approx 4$  ns, u rychlejšího typu MECLIII pak  $t_{pd} \approx 1$  až 2 ns. Podle údajů firmy Siemens dosahují obvody ECL řady SH100B zpoždění typicky 0,5 ns a obvody řady SH100C při typickém hodinovém kmitočtu 350 MHz dokonce jen 0,35 ns. Připojení kapacitní zátěže se projeví zejména při změně výstupního signálu  $H \rightarrow L$ , kdy se výstupní tranzistor uzavírá a veškeré nabíjecí pochody se uskutečňují přes rezistor s odporem  $R = 1,5$  k $\Omega$  (R4 resp. R5), který je připojen na napájecí napětí  $U_{EE} = -5,2$  V. Naštěstí je rozdíl mezi napětími  $u_H = -0,76$  V a  $u_L = -1,58$  V logické 1 a 0 malý ve srovnání s jejich odstupem od napájecího napětí  $U_{EE}$ . Čas  $\tau_{HL}$  potřebný ke změně  $H \rightarrow L$  výstupního signálu potom je

$$\tau_{HL} = RC \cdot \ln \frac{u_H - U_{EE}}{u_L - U_{EE}} \quad . \quad (4.5)$$

Pro výše uvedené hodnoty napětí dostaneme

$$\tau_{HL} = 0,2 \cdot RC \quad . \quad (4.6)$$

Např. pro  $C = 5$  pF bude  $\tau \approx 0,2 \cdot 1500 \cdot 10^{-12} = 1,5$  ns. Hodnota  $C = 5$  pF odpovídá právě kapacitě, se kterou musíme počítat na každý připojený vstup obvodu ECL. Přesněji vzato: vstupní kapacita má u obvodů řady MECLII velikost 3,3 pF, ale dalších asi 1,7 pF musíme uvažovat na kapacitu spojů mezi výstupem budicího a vstupem připojeného logického členu.

Prevední charakteristika logického členu typové řady MECLII podle obr. 4.10 je nakreslena na obr. 4.11 a jsou na ní šrafováním vyznačeny toleranční oblasti, v nichž se může vyskytnout hodnota výstupního napětí  $u_2$  pro dané povolené hodnoty vstupního napětí  $u_1$ ; jmenovité hodnoty přitom jsou  $u_{2L} = -1,58$  V a  $u_{2H} = -0,76$  V. Pro každý z obou komplementárních výstupů  $u_{21}$ ,  $u_{22}$  je nakreslena samostatná charakteristika. Z obrázků je zřejmé, že vstupní i výstupní napětí se mohou pohybovat pouze v úzkých vymezených pásmech napětí. Důvodem je nutnost dodržet podmínku, aby žádný z tranzistorů v obvodu se nemohl dostat do saturace a nezpůsoboval zbytečné zpoždění vznikající manipulací s prostorovým nábojem ve struktuře tranzistoru. Současně však musí být rozdíl napětí mezi vstupy rozdílového stupně dostatečně velký, aby bylo zajištěno vyhovující přepínání proudu tekoucího společným emitorovým rezistorem mezi oba kolektorové rezistory.

V typizované řadě obvodů se pochopitelně vyrábějí i logické členy, které umožňují vzájemnou spolupráci obvodů ECL s obvody TTL.

Tab. 4.2: Srovnání některých provozních statických parametrů obvodů CMOS

parametr	ozn.	jedm.	řada 4000		
			$U_{DD} = 15V$	$U_{DD} = 10V$	$U_{DD} = 5V$
napájecí napětí	$U_{DD}$	V	3 až 18	3 až 18	3 až 18
vstupní napětí pro H	$u_{IH}$	V	10,5 až 15	7 až 10	3,5 až 5,5
vstupní napětí pro L	$u_{IL}$	V	0 až 4,5	0 až 3	0 až 1,5
výstupní napětí pro H	$u_{OH}$	V	14,99	9,99	4,99
výstupní napětí pro L	$u_{OL}$	V	0,05	0,05	0,05
výstupní proud při H	$i_{OH}$	mA	-2,2	-1,4	-0,7
výstupní proud při L	$i_{OL}$	mA	3,6	2	0,8
vstupní zbytkový proud	$i_{Lz}$	nA	1000	100	100

parametr	ozn.	jedm.	řada 4000		
			$U_{DD} = 15V$	$U_{DD} = 10V$	$U_{DD} = 5V$
napájecí napětí	$U_{DD}$	V	3 až 18	3 až 18	3 až 18
vstupní napětí pro H	$u_{IH}$	V	10,5 až 15	7 až 10	3,5 až 5,5
vstupní napětí pro L	$u_{IL}$	V	0 až 4,5	0 až 3	0 až 1,5
výstupní napětí pro H	$u_{OH}$	V	14,99	9,99	4,99
výstupní napětí pro L	$u_{OL}$	V	0,05	0,05	0,05
výstupní proud při H	$i_{OH}$	mA	-2,2	-1,4	-0,7
výstupní proud při L	$i_{OL}$	mA	3,6	2	0,8
vstupní zbytkový proud	$i_{Lz}$	nA	1000	100	100

#### 4.4 Digitální integrované obvody CMOS

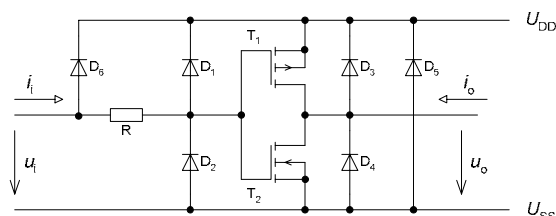
Obvody CMOS vynikají velmi nízkou spotřebou, velmi nízkým napájecím napětím a moderní technologie také dostatečnou rychlostí. Určitou nevýhodu představuje zpravidla menší proudová vydatnost výstupů a samozřejmě také proudové špičky vznikající při přepínání. Tyto špičky se mohou šířit po napájecím rozvodu a ovlivňovat ostatní obvody. Většina nových obvodů založených na technologii CMOS má tuto hlavní nevýhodu potlačenu. Některé z obvodů CMOS, lze přímo použít jako přímou náhradu starších TTL obvodů.

*STANDARDNÍ OBVODY CMOS* jsou reprezentovány řadou obvodů 4000/4500 a 14000 (např. National Semiconductor CD 4000, Motorola MC 14000B [4], [9]).

Základním logickým členem obvodů CMOS je invertor, jehož základní schéma je uvedeno na obr. 4.12. V hradle jsou použity dva doplňkové tranzistory MOS pracující v obohacovacím módu činnosti. Tranzistor  $T_1$  má vodivostní kanál typu P, tranzistor  $T_2$  kanál typu N. Při velikosti vstupního signálu odpovídající logické 0 popř. logické 1 je vždy jen jeden tranzistor vodivý a druhý je zahrazen, takže při výstupu naprázdno je klidový napájecí proud velmi malý, řádově nanoampéry pro jedno hradlo. Diody a rezistor uvedené ve schématu nemají na funkci obvodu vliv, jejich úkolem je ochránit oba tranzistory MOS před možností průrazu vlivem statické elektřiny.

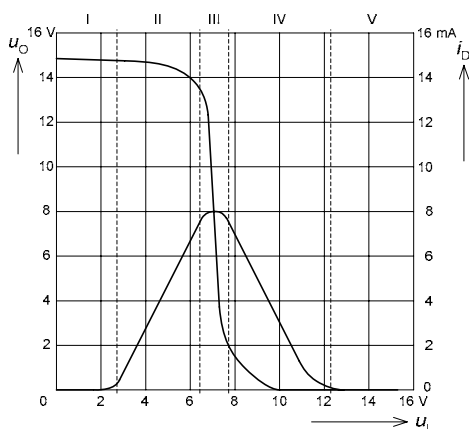
Sběrnice pro napájecí napětí jsou ve shodě s obvyklým způsobem značení v katalozích výrobců označeny  $U_{DD}$  a  $U_{SS}$  ( $U_{DD} > U_{SS}$ ), napájecí napětí logického členu tedy je  $U_{DD} - U_{SS}$ . V rozhodující většině případů však je sběrnice  $U_{SS}$  spojena se společným vodičem systému, tj.

$U_{SS} = 0$  V. Tuto skutečnost budeme v dalším textu respektovat a budeme značit napájecí napětí logických členů CMOS jednoduše jako  $U_{DD}$  (někteří výrobci používají pro toto napětí symbol  $U_{CC}$ ). Výrobce povoluje (např. u obvodů řady 4000) napájecí napětí v rozmezí 3 až 18 V. Typické hodnoty napájecího napětí jsou 5, 10 a 15 V. Na stabilitu napájecích napětí nejsou u těchto obvodů kladeny tak přísné nároky jako u ostatních číslicových obvodů.



Obr. 4.12: Základní struktura invertoru CMOS

je podmíněn postupným přechodem tranzistoru  $T_1$  z aktivní oblasti jeho výstupních charakteristik (vějířovitě se rozbíhající soustava charakteristik v okolí počátku souřadnic, vyznačujících se velkou strmostí) přes oblast proudové saturace (téměř přímkové charakteristiky, prakticky rovnoběžné s osou napětí) do stavu zahrazení (charakteristika splývající s osou napětí - tranzistorem teče jen zbytkový proud) a souběžně probíhajícím přechodem tranzistoru  $T_2$  ze stavu zahrazení přes oblast saturace do aktivní oblasti. Oba tranzistory pracují s obohacením, při nulovém napětí hradla  $G$  tranzistoru vzhledem k jeho emitoru  $S$  je tranzistor uzavřen. K otevření tranzistoru s kanálem typu N je třeba přivést na jeho hradlo kladné napětí  $U_{GSN}$  převyšující jeho prahové napětí  $U_{PN}$ . Tranzistor s kanálem typu P se otevírá záporným napětím hradla vzhledem k jeho emitoru  $U_{GSP}$ . Toto napětí musí být zápornější, než prahové napětí tranzistoru  $U_{PP}$ . V běžných integrovaných obvodech CMOS, které pracují v rozmezí napájecího napětí  $U_{DD}$  od 3 V do 15 V až 18 V se absolutní hodnoty prahových napětí obou typů tranzistorů pohybují v rozmezí 1 až 2 V.



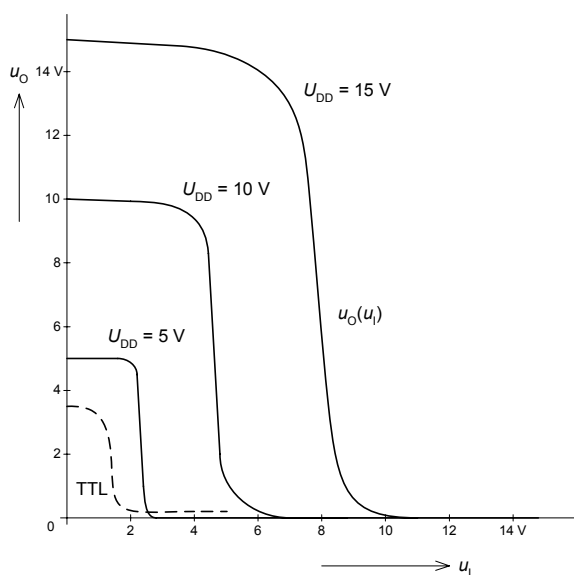
Obr. 4.13: Převodní  $u_2(u_1)$  a proudová  $i_D(u_1)$  charakteristika invertoru

otevřen, protože má na řídicí elektrodě velké záporné napětí. Protože tranzistorem  $T_2$  teče jen mizivě malý proud, nevznikne na  $T_1$  pozorovatelný úbytek napětí, a proto bude na výstupu invertoru v oblasti I napětí přibližně rovné  $U_{DD}$ . V oblasti I se inverter chová jako poměrně tvrdý zdroj napětí s diferenciálním výstupním odporem asi 550 až 1000  $\Omega$  (výstupní odpor zapnutého spínacího tranzistoru  $T_1$ ).

Převodní charakteristika  $u_O(u_I)$  invertoru CMOS, pracujícího s napájecím napětím  $U_{DD} = 15$  V, je nakreslena na obr. 4.13. Spolu s ní je v obrázku zakreslena i odpovídající ampérovoltová charakteristika  $i_D(u_I)$ . Tvar těchto charakteristik

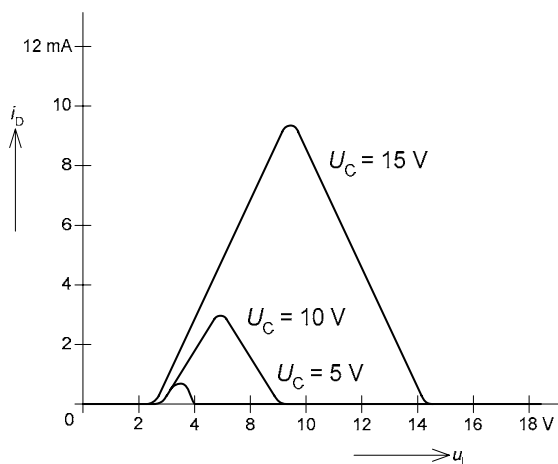
Při postupném přepínání výstupu invertoru v závislosti na velikosti vstupního napětí  $u_I$  je možno charakterizovat pět oblastí, v nichž tranzistory  $T_1$  a  $T_2$  nabývají postupně různých provozních stavů. V obr. 4.13 jsou tyto oblasti odděleny čárkovaně vyznačenými mezemi a označeny římskými číslicemi I až V.

V oblasti I je tranzistor  $T_2$  s kanálem N zahrazen, protože jeho vstupní napětí  $u_I \approx u_{GSN}$  je menší než prahové napětí  $u_{PN}$ . Naproti tomu je tranzistor  $T_1$  s kanálem P plně



Obr. 4.14: Porovnání převodních charakteristik CMOS a TTL

velké strmosti přenosové charakteristiky. V oblasti III představuje invertor velmi měkký zdroj s velkým výstupním odporem (oba tranzistory v saturaci se chovají jako zdroje proudu). Pozor na to, že pokud by při vyšším napájecím napětí  $U_{DD}$  setrvalo napětí vstupu po delší dobu na úrovni odpovídající oblasti III, v níž teče tranzistory  $T_1$  a  $T_2$  velký proud (tedy  $u_I$  okolo poloviny  $U_{DD}$ ), hrozí nebezpečí poškození obvodu překročením výkonové ztráty invertoru.



Obr. 4.15: Proudový odběr hradla CMOS v závislosti na vstupním napětí

nabývá opět hodnoty asi 550 až 1000  $\Omega$  ( $T_2$  zapnut).

Představu o tom, jak se mění u daného invertoru převodní charakteristika  $u_O(u_I)$  a ampérvoltová charakteristika  $i_D(u_I)$  v závislosti na napájecím napětí  $U_{DD}$  dávají obrázky 4.14 a 4.15. Pro možnost srovnání je do obr. 4.14 zakreslena také typová charakteristika logického členu TTL.

Bude-li se napětí  $u_I$  zvětšovat, dostaneme se do oblasti II, kde  $T_2$  se otevře a přejde do saturace a  $T_1$  přitom zůstává v aktivní oblasti. Převodní charakteristika  $u_O(u_I)$  přitom mírně klesá. To je způsobeno úbytkem napětí na tranzistoru  $T_1$ , vyvolaným průtokem proudu dvojicí  $T_1$  a  $T_2$ . Protože pracovní bod tranzistoru  $T_1$  se s rostoucí velikostí  $u_I$  přesunuje do míst s menší strmostí výstupní charakteristiky, výstupní odpor invertoru se v oblasti II zvětšuje.

V oblasti III, kde je  $u_I$  blízké  $U_{DD}/2$ , pracují oba tranzistory v saturaci. Je to oblast

V oblasti IV se tranzistor  $T_2$  plně otevře a přejde do aktivní oblasti, protože tranzistor  $T_1$ , který je v saturaci, mu dodává jen malý proud. S rostoucí velikostí  $u_I$  se proud dodávaný tranzistorem  $T_1$  postupně zmenšuje, a proto se charakteristika  $u_O(u_I)$ , odpovídající úbytku na tranzistoru  $T_2$  v této oblasti zakřivuje. Přitom se výstupní odpor invertoru, daný v podstatě výstupním odporem  $T_2$ , v této oblasti postupně zmenšuje.

V oblasti V se tranzistor  $T_1$  zcela zahradí, kdežto  $T_2$  je plně otevřen. Je to úplná obdoba situace v oblasti I, jen si oba tranzistory prohodily svůj provozní stav. Invertorem neteče proud, výstupní odpor

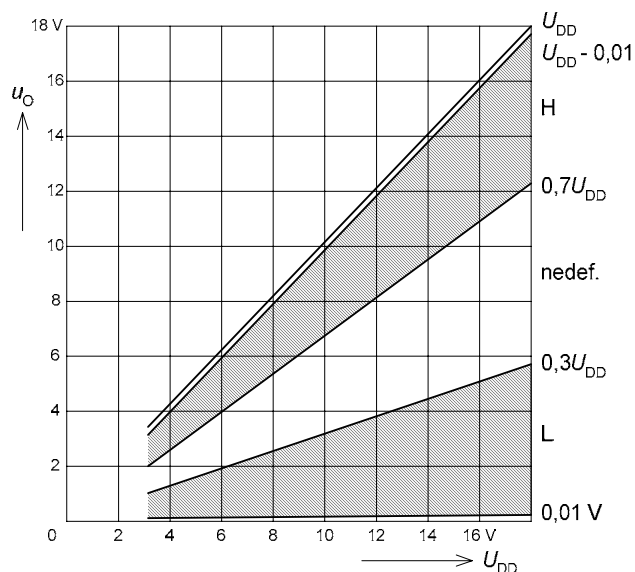
Na základě převodních charakteristik  $u_O(u_I)$  byla stanovena rozmezí, ve kterých se mohou při různých hodnotách napájecího napětí  $U_{DD}$  nacházet hodnoty vstupního napětí  $u_I$ , odpovídající úrovním logické 0 a 1. Tyto oblasti jsou vyznačeny v obr. 4.16 šrafováním. Volný sektor mezi šrafovanými oblastmi odpovídá šumové imunitě těchto logických členů. Je vidět, že čím větší je  $U_{DD}$ , tím větší je také šumová imunita logických členů CMOS, která obvykle dosahuje hodnot asi 40 až 50 % z  $U_{DD}$  a je tedy výrazně lepší než u logických členů TTL.

Z odběrové charakteristiky  $i_D(u_I)$ , vyjadřující závislost napájecího proudu invertoru na jeho vstupním napětí můžeme učinit důležité provozní závěry. Je vidět, že daný obvod má tu výhodnou vlastnost, že v ustáleném stavu, tj. při trvalém buzení signálem úrovně L ( $u_I \approx 0$  V) nebo H ( $u_I \approx U_{DD}$ ) odebírání při provozu naprázdno jen nepatrný zbytkový proud vypnutého (zahrazeného) tranzistoru, při provozu se zátěží pak jen proud dodávaný přes zapnutý tranzistor  $T_1$  zátěži. Potřebný klidový napájecí proud obvodů CMOS pochopitelně značně závisí na složitosti daného integrovaného obvodu. V tabulce 4.3 je uveden přehled největších napájecích proudů pro vybrané skupiny obvodů CMOS.

Tab. 4.3: Charakteristické hodnoty napájecích proudů ve statickém provozu pro obvody CMOS řady 4000/4500 a 14000

typ obvodu	$I_{DDmax}$ [ $\mu$ A]		
	$U_{DD} = 5V$	$U_{DD} = 10V$	$U_{DD} = 15V$
hradlo	1	2	4
klopný obvod	4	8	16
MSI	20	40	80
LSI	50	100	200

Každý přechod výstupu logického členu z jednoho stavu do druhého však probíhá vždy přes aktivní popř. saturační oblast činnosti tranzistorů a je doprovázen proudovým impulsem, který má tím větší mohutnost, čím pomaleji probíhá přechod z úrovně L do úrovně H nebo naopak (tj. čím větší je doba čela popř. doba týlu budicího impulsu). Pracuje-li invertor periodicky v čase a je-li četnost přitom vznikajících proudových impulsů velká (např.  $10^6$  impulsů za sekundu), bude i střední proud  $I_D$  tekoucí touto dvojicí tranzistorů velký. Proud  $I_D$  je přímo úměrný kmitočtu pravoúhlých popř. lichoběžníkových kmitů  $u_I(t)$ , jimiž je tento spínací proces řízen. Proudové špičky napájecího proudu při změně vstupního napětí, které zatěžují zdroj napájecího napětí  $U_{DD}$  při přechodu od jedné logické úrovně k druhé, jsou pro logické členy CMOS typické. Vhodnou volbou parametrů tranzistorů je lze omezit na přijatelnou míru, avšak úplně je odstranit nelze. Špičky spolu s nabíjecími proudy kapacitních zátěží na výstupu takového logického členu (vstupní kapacity připojených hradel spolu s kapacitou spojů) jsou příčinou zvýšeného odběru obvodu CMOS v dynamickém režimu. U standardních obvodů CMOS dosahuje dynamický příkon při kmitočtu okolo 10 MHz úrovně příkonu logiky TTL. Pro možnost porovnání je připojen obr. 4.17. Je z něj zřejmé, že u obvodů TTL, STTL a LSTTL je příkon konstantní, v podstatě nezávislý na pracovním kmitočtu výstupního signálu. U obvodů CMOS však každé zvýšení pracovního kmitočtu o dekádu znamená současně desetinásobné zvětšení potřebného napájecího příkonu. Srovnání



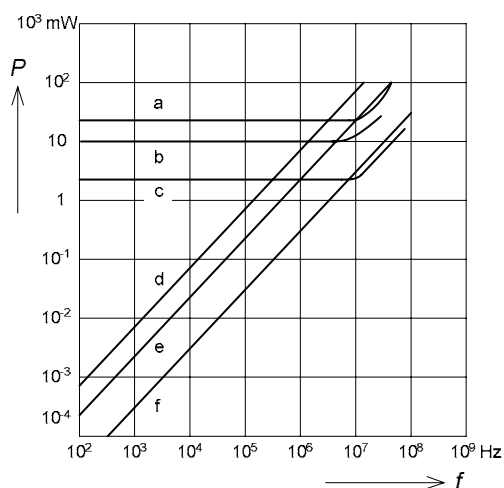
Obr. 4.16: Překrytí úrovní vstupních a výstupních napětí pro přípustné hodnoty napájecích napětí

zátěže  $C_L$ , je příkon potřebný k opakovanému nabíjení periodicky vybíjeného kapacitoru dán vztahem

$$P_C = f_p \cdot C_L \cdot U_{DD}^2 \quad (4.7)$$

Abychom získali celkový přehled o příkonu periodicky pracujícího logického členu CMOS, můžeme i výše uvedené proudové impulsy tekoucí při přepínání dvojicí spínacích tranzistorů pojmout modelově jako nabíjecí impulsy fiktivního vnitřního kapacitoru s kapacitou  $C_{PD}$ , nabíjeného a vybíjeného přes dva idealizované spínače, jimiž při provozu neteče žádný společný proud. Celkový příkon logického členu je v tomto případě roven

$$P = f_p \cdot (C_{PD} + C_L) \cdot U_{DD}^2 \quad (4.8)$$



Obr. 4.17: Kmitočtová závislost příkonu obvodů a) STTL, b) TTL, c) LSTTL, d) CMOS s  $U_{DD} = 15 \text{ V}$ , e) CMOS s  $U_{DD} = 10 \text{ V}$ , f) CMOS s  $U_{DD} = 5 \text{ V}$

napájecího příkonu složitějších obvodů MSI a LSI může však u různých technologií vykazovat rozdílné výsledky. V těchto složitějších obvodech totiž jen malá část hradel pracuje

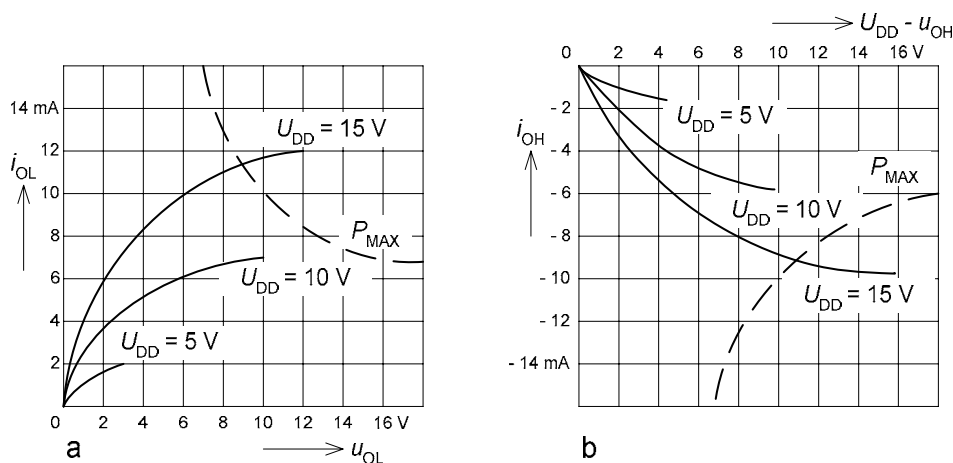
dynamicky s nejvyšším hodinovým kmitočtem, většina hradel zpracovává logické signály s mnohem menším průměrným kmitočtem, a proto potřebují i menší příkon.

Při úvahách o příkonu nemůžeme pominout ztrát, vznikajících periodickým nabíjením a vybíjením kapacitní složky zátěže, připojené na výstup logického členu CMOS. Je-li kmitočet přepínání  $f_p$ , napájecí napětí  $U_{DD}$  a kapacita

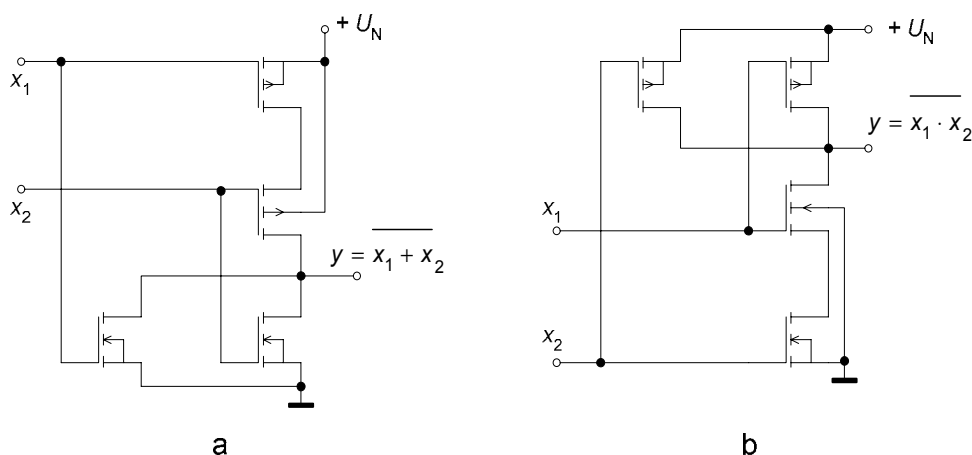
Kapacita  $C_{PD}$  přitom zahrnuje i vnitřní kapacity logického členu a katalogy výrobců pro ni uvádějí hodnotu 30 až 80 pF.

Proudovou vydatnost výstupu invertoru je možno posoudit z jeho ampérovoltových charakteristik  $i_{OL}(u_{OL})$  a  $i_{OL}(U_{DD} - u_{OL})$ , uvedených na obr. 4.18, které odpovídají ve smyslu předchozího výkladu aktivním oblastem kolektorových charakteristik tranzistorů MOSFET s kanálem N a P. Na základě znalosti těchto charakteristik je možno činit závěry o rychlosti nabití popř. vybití kapacitní zátěže a o použitelnosti takového obvodu CMOS pro buzení vstupu logických členů TTL, DTL,

ECL, nebo jako budiče pro tranzistory NPN a PNP. Poznamenejme k tomu, že proudová vydatnost hradel a invertorů CMOS může být zvětšena paralelním spojením vstupů a výstupů identických logických členů umístěných na stejném čipu. Proudová zatížitelnost roste přímo



Obr. 4.18: Výstupní charakteristiky koncových tranzistorů CMOS



Obr. 4.19: Logické členy CMOS a) NOR, b) NAND

úměrně s počtem paralelně pracujících logických členů. Se zvětšováním proudové zatížitelnosti se může někdy zvětšit i spínací rychlost.

Zatím jsme hovořili jen o nejjednodušším logickém členu CMOS - invertoru. Představu o tom, jak se u těchto unipolárních obvodů využívá paralelního popř. sériového řazení spínacích tranzistorů k vytvoření struktur, uskutečňujících logické operace NOR a NAND, dává obr. 4.19a a b. Protože dva tranzistory spojené paralelně mají obecně vzato větší vodivost, kdežto dva tranzistory spojené v sérii menší vodivost než jediný tranzistor, bude se průběh převodní charakteristiky  $u_O(u_I)$  posouvat doleva či doprava podle toho, zda se zapíná jen jeden tranzistor, anebo oba tranzistory společně. Vliv tohoto mechanismu je zřejmý z obr. 4.20.

Obvody CMOS rozdělujeme na tři skupiny podle rozsahu napájecích napětí a teplot. Jednak jsou to obvody v hermetických keramických pouzdrech pro rozsah teplot  $-55$  až  $+125$   $^{\circ}\text{C}$  a pro napájecí napětí 3 až 18 V. Do druhé skupiny patří obvody v keramických pouzdrech pro napájecí napětí 3 až 18 V a rozsah teplot  $-40$  až  $+85$   $^{\circ}\text{C}$ . Do třetí skupiny patří pak obvody v plastických pouzdrech pro napájecí napětí 3 až 18 V a rozsah teplot  $-40$  až  $+85$   $^{\circ}\text{C}$ .

*Logické obvody AC/ACT – Advanced CMOS Logic* jsou vyrobeny v technologii CMOS 1  $\mu\text{m}$ . Obvody typu ACL vynikají nízkou spotřebou, ale zároveň jsou schopné pracovat s výstupním proudem až 24 mA. Vstupy technologie AC jsou kompatibilní s CMOS logikou a ACT umožňuje navázání obvodů v klasické logice TTL.

Typické vlastnosti:

- Velmi nízká spotřeba,
- typické zpoždění 5 ns,
- napájecí napětí 1,5 V až 5,5 V (AC) a 4,5 V až 5,5 V (ACT),
- výstupní proud (max.) 24 mA,
- HC/HCT – High-Speed CMOS Logic.

Obvody rychlé CMOS řady HC a HCT jsou bezesporu nejrozšířenějšími používanými obvody posledních let. Spojují výhody klasické řady obvodů TTL a CMOS. Vyznačuje se tedy vysokou rychlostí (pro většinu běžných aplikací je dostačující), nízkým příkonem, vysokou šumovou imunitu a v neposlední řadě také nízkou cenu. Proto je velmi hojně využívána jako dokonalejší náhrada obvodů TTL logiky (HCT – vstupy kompatibilní s TTL) a obvodů CMOS (HC – vstupy kompatibilní s logikou CMOS).

Další zlepšení poskytuje *Advanced High-speed CMOS (AHC)*. Nabízí rovněž výbornou šumovou imunitu, ale navíc má pouze poloviční statický příkon oproti obvodům HC.

Typické vlastnosti:

- Velmi nízká spotřeba,
- typické zpoždění 10 ns,
- vhodná náhrada za LS-TTL s menší spotřebou,
- napájecí napětí 2.0 V to 6.0 V.

Obvody *AHC/AHCT – Advanced High-Speed CMOS* představují vylepšení obvodů HC a HCT.

Typické vlastnosti technologie AHC/AHCT:

- Přibližně poloviční spotřeba, než pro HCMOS, maximální statický proud je asi 40  $\mu\text{A}$ ,
- vyniká nízkým šumem (malými proudovými špičkami), při přepínání,
- zpoždění je asi 5 ns,
- výstupní proud asi 8 mA (pro napájecí napětí 5V),
- může pracovat pro napájecí napětí 3,3 V i 5 V,
- při použitém napájecím napětí 3,3 V je vstup (díky ochranným diodám) odolný vůči napětí přesahující 3,3 V.

Obvody řady *ALVC – Advanced Low-Voltage CMOS Technology Logic* mohou pracovat při nízkém napájecím napětí 3,3 V. Vynikají vysokou rychlostí a nízkou spotřebou. Využívány jsou zejména pro obvody v technice PC a periférií.



Typické vlastnosti technologie ALVC:

- Velmi nízká spotřeba, statický proud v režimu Standby je 40  $\mu\text{A}$ ,
- typické zpoždění 2 ns,
- výstupní proud až 24 mA,
- rozsah napájecích napětí 1,2 V až 3,6 V,
- vstupy jsou odolné vůči napětí až 5 V.

Obvody *AVC – Advanced Very-Low-Voltage CMOS Logic* umožňují dosáhnout velmi malého zpoždění (2 ns) při nízkém napájecím napětí 2,5 V.

Typické vlastnosti:

- Napájecí napětí 1,2 V až 3,6 V,
- zpoždění 1,7 ns pro napájecí napětí 3,3 V a 3,2 ns pro 1,8 V,
- nízký statický a dynamický příkon,
- vstup je odolný vůči napětí do 3,6 V,
- standardní maximální výstupní proud (24 mA)
- funkce snížené spotřeby.

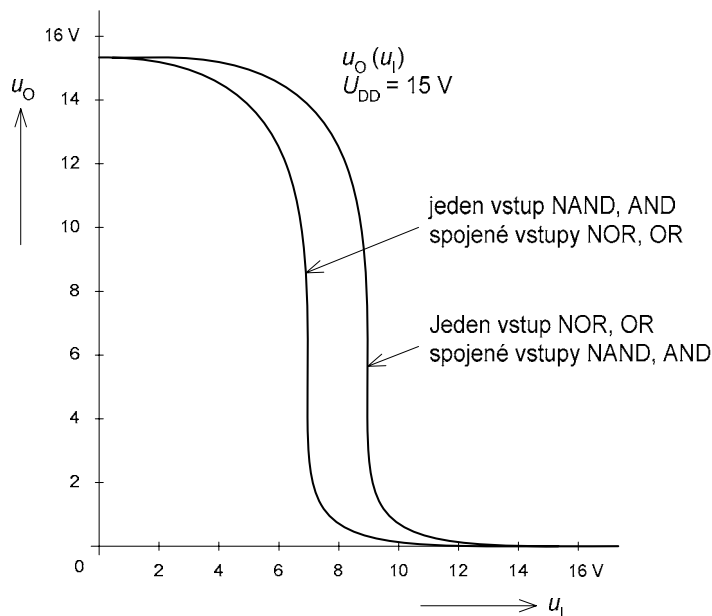
Dalším vylepšením technologie AVC jsou logické obvody *AUC - Advanced Ultra-Low-Voltage CMOS Logic*, která dále umožňují zmenšit napájecí napětí až na 0,8 V.

CMOS technologie s nízkým napájecím napětím *LV – Low-Voltage CMOS Technology Logic* umožňuje pracovat při napájecím napětí 3,3 V i 5 V.

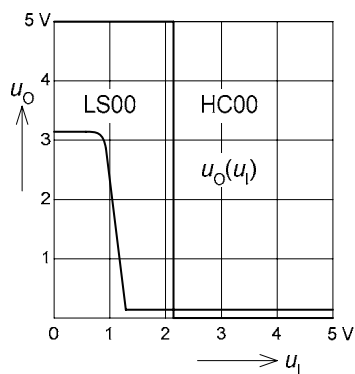
Typické vlastnosti:

- Široký rozsah napájecího napětí (1,0 V až 5,5V),
- typické zpoždění 9 ns (pro  $U_{CC} = 3\text{ V}$ ),
- pro napájecí napětí 4,5 V umožňuje dosáhnout dvojnásobné rychlosti, než řada HCMOS,
- výstupní proud je asi 8 mA (pro  $U_{CC} = 3\text{ V}$ ) a 12 mA pro  $U_{CC} = 4,5\text{ V}$ ,
- snadná náhrada obvodů HCMOS, umožňující snížení napájecího napětí z 5 V na 3,3 V při zachování rychlosti.

**ČÍSLICOVÉ OBVODY ŘADY 54HC/74HC a 54HCT/74HCT.** Obvody řady 54HC/74HC jsou konstruovány tak, aby mohly přímo nahradit obvody TTL a bez problémů s nimi spolupracovat. Jsou vyrobeny zdokonalenou třímikronovou technologií CMOS s křemíkovými hradly tranzistorů, mají shodné rozložení vývodů na patiči jako odpovídající typy TTL, mají malé napájecí napětí  $U_{CC} = 2$  až 6 V, jejich výstupní úrovně odpovídají požadavkům na buzení obvodů jak CMOS tak i TTL, avšak z hodnot pro vstupní napětí  $u_{IL} < 0,2 U_{CC}$  a  $u_{IH} > 0,7 U_{CC}$  je zřejmé, že se dají bez potíží budit z obvodů CMOS, ale že zaručované výstupní napětí obvodů TTL,  $u_{OH} > 2,4\text{ V}$ , nebude stačit ke správnému vybudění obvodu CMOS, u něhož se při stejném napájecím napětí  $U_{CC} = 5\text{ V}$  požaduje vstupní napětí  $u_{IH}$  3,5 V. Tato potíž se však dá u řady 54HC/74HC odstranit jednoduše tím, že připojíte výstup předřazeného členu TTL přes pomocný rezistor s odporem kolem 10 k $\Omega$  na +5 V a zvýšíte tak jeho  $u_{OH}$ . Jiná možnost je použít obvod z řady 54HCT/74HCT, u níž jsou vstupy



Obr. 4.20: Posouvání převodní charakteristiky  $u_O(u_I)$  v závislosti na tom, zda se zapíná jeden tranzistor nebo současně oba tranzistory paralelní dvojice v logických členech CMOS



Obr. 4.21: Srovnání převodních charakteristik LSTTL a HCMOS

vybaveny převodníkem napětíových úrovní, který umožňuje přímé buzení těchto obvodů z výstupů TTL. Jinak mají obvody těchto řad obdobné provozní parametry jako řada 4000/4500 CMOS, včetně nízkého vstupního proudu, velké šumové imunity a zanedbatelného statického příkonu.

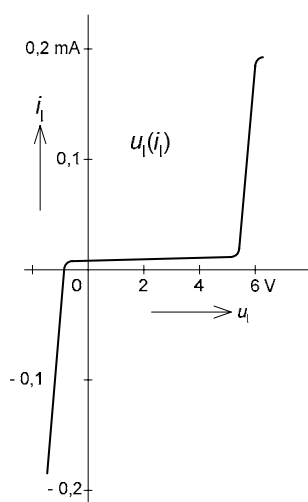
Zajímavé je srovnání převodních charakteristik obvodů 74HC a 74LS (obr. 4.21). Příkon obvodů 74HC je významný především v dynamickém provozu. Ve statickém režimu je příkon v průměru  $10 \mu\text{W}$  pro elementární hradlo. Změna teploty má

pronikavý vliv na potřebný příkon obvodu. Například při zvýšení teploty z  $25^\circ\text{C}$  na  $85^\circ\text{C}$  se napájecí proud při  $U_{CC} = 6 \text{ V}$  zvětší z  $2 \mu\text{A}$  na  $20 \mu\text{A}$  (příkon se zvětší z  $12 \mu\text{W}$  na  $120 \mu\text{W}$ ). Další zvýšení na maximální přípustnou teplotu  $125^\circ\text{C}$  se projeví napájecím proudem  $40 \mu\text{A}$  a odpovídajícím ztrátovým výkonem  $240 \mu\text{W}$ .

Obvody řady 74HCT jsou určeny k přímé návaznosti na obvody TTL. Jejich vstupní díl je navržen tak, aby respektovaly vstupní napětí  $u_{IL} < 0,8 \text{ V}$  a  $u_{IH} > 2 \text{ V}$  pro obě napětíové vstupní úrovně. V obou případech vstupní proudy nepřesáhnou hodnotu  $1 \mu\text{A}$ . Proto mohou obvody 74HCT snadno nahradit obvody 74LS pouhou záměnou v objímce, přitom se ztrátový výkon redukuje až na pětinu. Je nutno upozornit, že se mění poněkud dynamické parametry a v

kritických aplikacích je nutná kontrola.

**ČÍSLICOVÉ OBVODY FACT ŘADY 74AC a 74ACT.** Kategorie FACT obvodů CMOS je založena na dvoumikronové křemíkové technologii firmy Motorola [11] a byla vyvinuta jako náhrada obvodů ALS TTL při zachování dobrých dynamických parametrů a snížení příkonu na úroveň obvodů CMOS. Obvody FACT mohou pracovat s napájecím napětím  $U_{CC} = 2$  až  $6 \text{ V}$ . Řada 74AC představuje skupinu rychlých obvodů CMOS se vstupními úrovněmi CMOS a posílenými výstupy CMOS, které mohou budit zátěž proudy až  $\pm 24 \text{ mA}$ . Řada 74ACT jsou rovněž rychlé obvody CMOS, jejichž vstupy jsou však upraveny tak, aby mohly při  $U_{CC} = 5 \pm 0,5 \text{ V}$  zpracovávat napětí  $u_{IH} > 2,4 \text{ V}$  a  $u_{IL} < 0,4 \text{ V}$ , která jsou k dispozici při přímém buzení obvodu z výstupu členu TTL. Výstupní obvod je stejný jako u obvodu 74AC.



Obr. 4.22: Vstupní AV charakteristika 74ACT

Vstupní proud je v pracovním rozmezí vstupních napětí 0 V až  $U_{CC}$  typicky  $1 \mu A$ , mimo toto rozmezí vzrůstá vlivem ochranných diod (viz obr. 4.22).

Obvody FACT jsou velmi vhodné k buzení zátěží, které odebírají proud až  $\pm 24 \text{ mA}$ .

Připomeňme, že obvody FACT mají doby zpoždění signálu  $t_p$  stejné nebo kratší než obvody ALS TTL, avšak mají až trojnásobně vyšší hodinový kmitočet. Obvody FACT se vyznačují velkou odolností vůči parazitní kapacitě zátěže.

**ZVLÁŠTNÍ ZACHÁZENÍ S OBVODY CMOS.** Tranzistory MOS v logických obvodech CMOS mají tenkou vrstvičku izolantu mezi řídicí elektrodou a kanálem. Průrazné napětí této izolační vrstvy se pohybuje kolem 100 V. Jeho překročení vede vždy k nevratnému průrazu tranzistoru a tím ke zničení integrovaného obvodu. Výskyt nebezpečného napětí na vstupu integrovaného obvodu je zpravidla vázán na přivedení náboje

statické elektřiny z objektu, s nímž přijde integrovaný obvod do styku, ať již během manipulace nebo při funkci. Proto se všechny unipolární obvody jistí na všech vstupech proti zničení speciálními ochrannými elementy. Avšak ani složitá opatření proti výskytu statické elektřiny nemohou v praxi zajistit spolehlivou ochranu unipolárních integrovaných obvodů. Navíc je známo, že výboj statické elektřiny nemusí integrovaný obvod viditelně poškodit, přitom však může podstatně ohrozit jeho spolehlivost v dalším provozu.

Při montáži, ožiování i zahořování elektronických zařízení, obsahujících integrované obvody CMOS, je třeba pracovat v prostředí s vyšší relativní vlhkostí vzduchu, popř. použít na pracovišti ionizátor vzduchu, opatřit podlahy a pracovní stoly vodivým povlakem a ten uzemnit, používat vodivou obuv a nesyntetické oblečení, připojit na zem i pracovní zásobníky, které musí být vyrobeny z vodivých materiálů a uzemnit dokonce i obsluhu, a to kovovým náramkem spojeným přes rezistor s odporem 50 až 100 k $\Omega$  se zemí (všechny zemnicí spoje mají jít krátkou cestou do společného zemnicího bodu). Současně je nutno zajistit, aby k manipulaci s deskami osazenými obvody CMOS docházelo pouze při odpojení napětí. Musí-li být realizována výměna desek pod napětím, je nutno zajistit, aby zemní vodič byl odpojen jako poslední a připojen jako první.

Při montáži integrovaných obvodů CMOS pájením přímo do desek je nutno dodržovat zásady výrobce a nepřekračovat dobu ani teplotu pájení, používat neagresivní doporučená tavidla, zavést řádné mytí po pájení a používat ochranné lakování (i v těchto případech však pozor na možnost vzniku statické elektřiny). Pájení je dovoleno jen na dolní zúžené části vývodu. Při ručním pájení je třeba používat uzeměnou páječku na malé napětí. Při teplotě hrotu páječky 300°C je doba pájení maximálně 10 s, při teplotě hrotu páječky 300 až 400°C se zkracuje na 5 s. Při vypájení obvodů má být teplota hrotu páječky 260°C a doba pájení maximálně 5 s. Při vkládání a vyjímání obvodů CMOS z desek s plošnými spoji musí být odpojeny všechny napájecí zdroje. Měřicí přístroje používané při ožiování či při opravách musí být také uzeměny.

Při uvádění desek osazených obvody CMOS do chodu je nutno zajistit, aby nebylo pájeno na vývodech při připojení napětí, neboť vlivem tepla i jiných vlivů dojde většinou ke zničení obvodu nebo ke zhoršení jeho vlastností. Kromě možnosti bezprostředního zničení obvodu přetížením diod vstupních ochran (snesou proud do 100 mA) je zde nebezpečí vyvolání tzv. tyristorového jevu, při němž obvod přestane fungovat a jeho odběr prudce

stoupne. Pokud se obvod zvýšeným odběrem nezničí např. přepálením některých vývodů na čipu, je po vypnutí a opětovném zapnutí napájecího napětí jeho činnost obnovena, ovšem nelze již zaručit jeho spolehlivost.

Zde je též třeba připomenout zásadu, že všechny vstupy obvodu, tedy i jeho nepoužitých částí musí být ošetřeny připojením na definovanou úroveň vstupního signálu L nebo H (tj. na napětí 0 V nebo  $U_{DD}$ ). Na rozdíl od obvodů TTL, které berou nepřipojený vstup jako by byl připojen na úroveň H, se u obvodů CMOS nastaví na nepřipojeném vstupu nedefinované napětí z intervalu mezi  $U_{SS}$  a  $U_{DD}$ , takže za nepříznivých okolností může dokonce dojít k přetížení obvodu nadměrným příčným proudem dvojice spínacích tranzistorů.

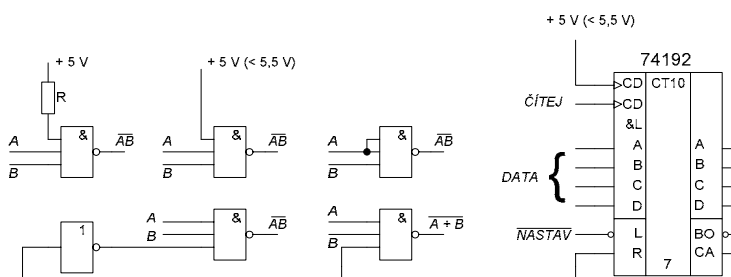
## 5 ZÁSADY NAVRHOVÁNÍ DIGITÁLNÍCH OBVODŮ A SYSTÉMŮ

Při návrhu digitálních systémů i standardních obvodů, z nichž jsou tyto systémy vytvořeny, je nutné logický návrh zapojení podřizovat vlastnostem použitých integrovaných obvodů. Pro úspěšný návrh není v mnoha případech postačující znát pouze logickou funkci, kterou logický obvod vykonává. Často je totiž žádoucí zvládnout a znát obvodovou činnost použitého integrovaného obvodu. Znalost obvodové funkce elementárních stavebních členů po logické i po elektrické stránce nám umožní snáze proniknout do činnosti složitějších digitálních integrovaných obvodů a systémů. V praxi se může často stát, že integrovaný obvod chceme použít v neobvyklé aplikaci a ani katalogové údaje neposkytnou postačující informace. Pak nezbývá než důkladně analyzovat činnost celého obvodu. Znalost elektrické funkce je užitečná i při diagnostice poruch v digitálních systémech. Je proto velkou chybou, že někteří návrháři digitálních systémů považují logický integrovaný obvod pouze za jakýsi blok, u kterého stačí znát jeho vstupní a výstupní chování. Celkový logický návrh a uspořádání navrhovaného celku však okamžitě jejich nevědomost prozradí. Úspěšně používat integrované obvody znamená osvojit si velmi obsáhlé spektrum vědomostí a rozsáhlé poznatky z praxe. Praktické zkušenosti spolu s pochopením fyzikální podstaty jevů v jednotlivých stavebních prvcích a jejich vzájemných interakcí pak ukáží, které obvykle doporučované aplikační zásady je nutné v dané situaci dodržet a které lze obejít, popř. které vlastnosti obvykle uváděné jako nevýhodné je možné s výhodou využít k dosažení potřebného efektu. Tento přístup se zpravidla odrazí v hospodárnosti návrhu, protože bezmyšlenkovité aplikování zásad vede sice téměř vždy k úspěchu, málokdy však k optimálnímu řešení.

### 5.1 Připojování vstupů digitálních obvodů

Při návrhu elektronických přístrojů s logickými obvody je nutno dodržet požadované napětíové úrovně vstupních signálů a při větších vstupních proudech některých logických obvodů (až  $i_{IL} = 2 \text{ mA}$  u STTL) respektovat také omezení velikosti vnitřního odporu zdroje signálu. Kromě statických parametrů je rovněž potřeba respektovat minimální přípustnou strmost hran vstupního logického signálu (např. v katalogu se uvádí limit  $1 \text{ V}/\mu\text{s}$  pro běžné obvody TTL a až  $1 \text{ V/s}$  pro obvody s hysterezní převodní charakteristikou).

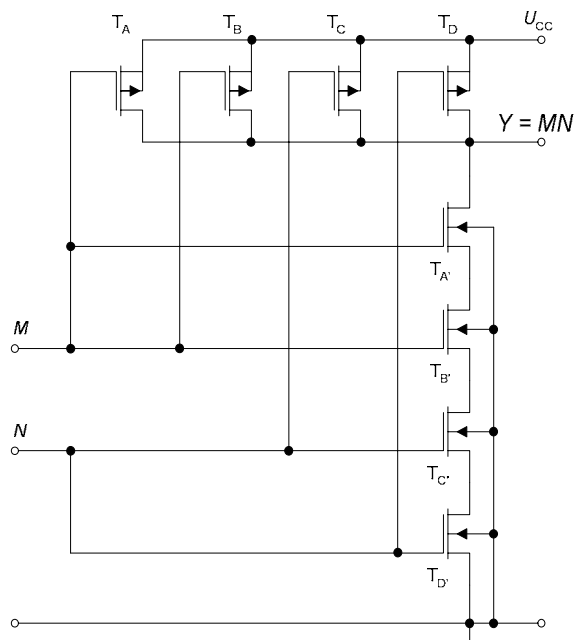
**OŠETŘENÍ NEVYUŽITÝCH VSTUPŮ.** U vícevstupových logických obvodů se musí věnovat péče vstupům, které nejsou funkčně využity. Nepoužité vstupy zásadně nelze ponechávat nepřipojené, neboť za těchto podmínek není přesně definována jejich vstupní logická úroveň.



Obr. 5.1: K ošetřování nevyužitých vstupů obvodů TTL

U standardních obvodů TTL se sice nepřipojený vstup nejčastěji chová jako by byl nastaven na úroveň H, ale má v tomto případě velmi nízkou odolnost proti rušení.

U požadavků na rychlost odezvy těchto obvodů se navíc může projevit nežádoucím způsobem i zpoždění způsobené nabíjecím procesem, vázaným na parazitní kapacitu nepřipojeného vstupu (emitoru víceemitorového vstupního tranzistoru  $T_1$  obvodu TTL). Časové zpoždění reakce výstupu činí u obvodů TTL přibližně 1 ns na každý nepřipojený vstup. Proto platí zásada neponechávat nevyužité vstupy logických obvodů TTL nepřipojeny.



Obr. 5.2: K ošetřování nevyužitých vstupů vícevstupých obvodů CMOS

Na obr. 5.1 a 5.2 jsou nakresleny základní způsoby ošetření nevyužitých vstupů. V podstatě připojíme nevyužitý vstup na zdroj napětí definované úrovně L nebo H tak, aby nebyla narušena logická funkce ošetřovaného obvodu. U vícevstupového obvodu NAND nebo AND musíme tedy nevyužité vstupy budit úrovní H. Můžeme to udělat např. tak, že připojíme nevyužitý vstup přes rezistor s odporem  $R < 15 \text{ k}\Omega$  (v rušeném prostředí raději  $R < 5 \text{ k}\Omega$ ). Nevyužitý vstup lze připojit přímo na rozvod napájecího napětí  $U_{CC} = 5 \text{ V}$ , pokud je zaručeno, že toto napětí v žádném případě nepřekročí mezní hodnotu 5,5 V (tedy ani při zapínání a vypínání). Můžeme je však připojit i k výstupu nepoužitého invertoru, jehož vstup jsme připojili na společný vodič. V nejjednodušším případě můžeme spojit

nevyužité vstupy se vstupy použitými. U obvodů NOR nebo OR je to jinak: aby nebyla narušena jejich logická funkce, je nutno jejich nepoužité vstupy připojit na úroveň L, obvykle tak, že je připojíme na společný vodič. Můžeme ovšem stejně jako v předchozím případě připojit jednoduše nevyužité vstupy paralelně k použitým.

Nevyužité vstupy však musíme ošetřovat nejen u vícevstupových hradel, ale i u ostatních logických obvodů. Např. u přednastavitelného čítače SN74192, který používáme pro čítání vpřed s předvolbou počátečního stavu musíme ošetřit vstup nulování tak, aby nebyl aktivován (uvedeme jej do úrovně L tím, že jej připojíme na společný vodič) i vstup čítání vzad, pro který je předepsáno, že při čítání vpřed musí být v úrovni H (připojíme jej přes rezistor na napájecí napětí) - viz obr. 5.1.

Pro ošetření nevyužitých vstupů u obvodů ECL platí v podstatě totožné zásady. U obvodů ECL je navíc klíčovým požadavkem udržení vysoké přenosové rychlosti a minimálního časového zdržení. Ošetření je nutné zejména při provozu v prostředí s rušením.

Správné ošetření nevyužitých vstupů je důležité i u obvodů CMOS, pro které je typická velká vstupní impedance (např.  $10^{12} \Omega$ ) a do jejichž nepřipojených vstupů se proto snadno může indukovat rušivý signál. Nevyužité vstupy se připojují na napájecí napětí  $U_{CC}$ , na společný vodič nebo na použitý vstup, jinak by výstup mohl mít nedefinovanou úroveň nebo by se dokonce mohl několikanásobně zvýšit proudový odběr z napájecího zdroje (viz závislost napájecího proudu obvodu CMOS pro napětí blízké rozhodovací úrovni). Určení kam připojit nevyužitý vstup není zcela libovolné, protože se jím dá ovlivnit zatížitelnost výstupu obvodu.

Můžeme si uvést příklad, kdy je čtyřvstupový logický člen NAND použit jako dvouvstupový (viz obr. 5.2). Necht' vstupy A a B jsou nevyužity. U členu NAND můžeme

nevyužité vstupy připojit buď na rozvod napájecího napětí  $U_{CC}$  (u hradel NOR na společný vodič) nebo je připojit paralelně k použitým vstupům. Připojíme-li vstupy A, B na  $U_{CC}$ , budou tranzistory  $T_A$  a  $T_B$  trvale otevřeny, kdežto tranzistory  $T_A$  a  $T_B$  budou naopak trvale uzavřeny. Přivedeme-li na zbylé vstupy logické proměnné v kombinaci  $C = L$ ,  $D = H$ , bude z horní čtveřice tranzistorů otevřen pouze jediný, a to  $T_C$ . Je zřejmé, že z výstupu obvodu můžeme v tomto případě odebírat proud odpovídající proudové vydatnosti jednoho spínacího tranzistoru, tedy jmenovitý výstupní proud členu v úrovni H. Spojíme-li však vstupy A a C paralelně a podobně B a D, zdvojnásobí se sice vstupní kapacita takto vytvořených dvojic, ale při stejné vstupní kombinaci  $C = L$ ,  $D = H$ , budou v tomto případě z horní čtveřice tranzistorů otevřeny dva,  $T_C$  a  $T_A$ . Proudová zatížitelnost výstupu takto zapojeného obvodu se tím zvětší na dvojnásobek.

Připojení nevyužitých vstupů na  $U_{CC}$  u hradel NAND nebo na společný vodič u hradel NOR tedy pouze umožní správnou logickou funkci zbývajících vstupů, proudová zatížitelnost výstupu se však přitom nezmění. Připojením nevyužitých vstupů k použitým se patřičně zvětšuje proudová zatížitelnost výstupu (přesněji se zvětšuje  $i_{OH}$  u členů NAND a  $i_{OL}$  u členů NOR) a z výstupu vícevstupných hradel lze budít i větší zátěže. Proudová zatížitelnost výstupu, jemuž je dodáván proud přes sériově zapojené tranzistory  $T_A$  až  $T_D$ , (tj.  $i_{OL}$  u členů NAND a  $i_{OH}$  u členů NOR) se však tímto způsobem nezvyšuje.

**PŘIPOJOVÁNÍ VSTUPŮ NEVYUŽITÝCH LOGICKÝCH OBDVŮ.** Při návrhu elektronického přístroje se může stát, že na desce s plošnými spoji zůstane nevyužit jeden nebo dokonce více logických členů. V tomto případě je vhodné připojit vstupy těchto nevyužitých obvodů na takovou úroveň, aby spotřeba těchto obvodů byla minimální. Například obvod NAND standardní TTL má proudovou spotřebu asi 1 mA při výstupní úrovni H a spotřebu asi 3 mA při výstupní úrovni L. Proto je vhodné vstupy nevyužitých obvodů NAND připojit na zem, čímž šetříme 2 mA na každý logický člen.

U nevyužitých logických obvodů CMOS jsou takové úvahy zbytečné, protože ať připojíme vstupy na společný vodič (zem), nebo na rozvod napájecího napětí  $U_{DD}$ , vždy je aspoň jeden z řetězce spínacích tranzistorů zahrazen, takže obvodem teče jen nepatrný klidový proud a logické členy pracující takto ve statickém režimu mají proto zanedbatelně malý příkon.

**PŘIZPŮSOBOVÁNÍ NAPĚŤOVÝCH ÚROVNÍ.** V některých aplikacích potřebujeme logickými obvody zpracovat signály, jejichž napěťové úrovně pro 0 a 1 nesplňují požadavky na napětí L a H definovaná v katalogovém listu daného logického obvodu. Signály s větším rozkmitem, než jaký je požadován, stačí obvykle jen patřičným způsobem okrojit. Signály, které nemají dostatečnou velikost, je potřeba nejprve zesílit. Signály ležící v jiné napěťové oblasti je nutno nejprve přesunout do požadované oblasti a případně některým z uvedených způsobů ještě dále upravit.

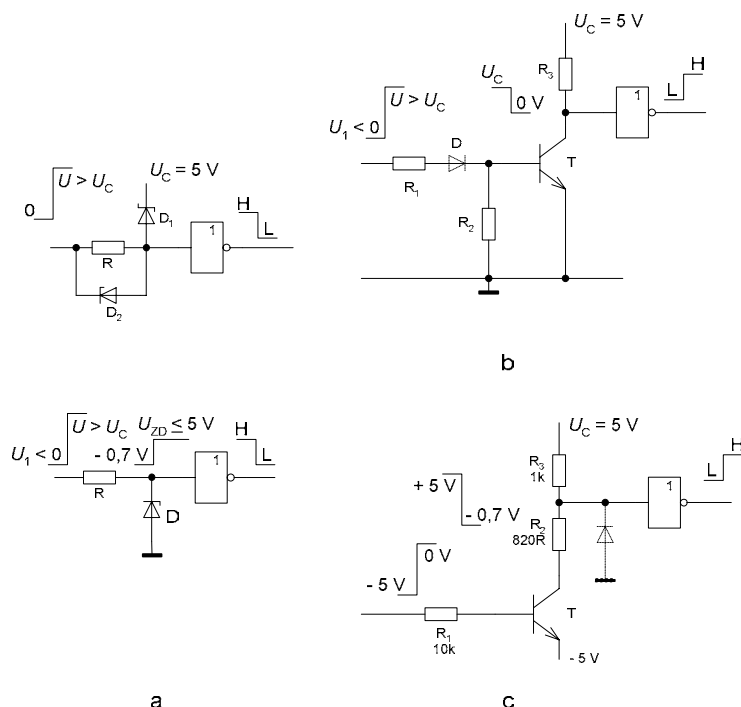
Uvedme nejprve zapojení jednoduchých okrajovacích obvodů pro úpravu signálů určených k buzení obvodů TTL. Na obr. 5.3a jsou nakresleny dva takové okrajovače. U prvního z nich se k omezení vstupního napětí  $U > 5$  V na přípustnou hodnotu  $u_{IH} < 5,5$  V se používá okrajovací obvod s rezistorem R a Schottkyho diodou  $D_1$ , připojenou na napájecí napětí. Schottkyho dioda  $D_2$  zabezpečí svým malým úbytkem napětí v propustném směru správnou funkci při vstupním signálu v úrovni L. U druhého okrajovače je použita referenční dioda ZD, která umožňuje zpracovat i budicí signál se záporným napětím  $U_1 < 0$  V. Rezistor R v zapojení s referenční diodou smí mít odpor nejvýše

$$R < \frac{(U_{IL} - U_1)}{i_{IL}}, \quad (5.1)$$

konkrétně u obvodů TTL tedy odpor  $R \approx (0,8 - U_1)/0,0016$ . Tato velikost odporu však nemusí být vždy v souladu s požadavky na velikost proudu, dodávaného ze zdroje budicího signálu v úrovni H.

Zapojení podle obr. 5.3b používá k převodu úrovně  $U_1 < 0$  V a  $U_2 > 5$  V tranzistor v zapojení SE. Čárkovaně naznačená dioda D se musí použít při  $U_1 \cdot R_2 / (R_1 + R_2) < -5$  V, neboť by mohlo dojít k proražení emitorového přechodu tranzistoru při malých hodnotách odporu  $R_1$ . Tranzistorový spínač invertuje vstupní napětí a transformuje je do úrovně 0 až 5 V.

Musíme-li navázat obvody TTL na část digitálního systému se zápornými logickými úrovněmi (např. s úrovněmi -5 V a 0 V), můžeme použít zapojení podle obr. 5.3c. Spínací tranzistor T má emitor připojen na vztažné napětí -5 V. Rezistorový dělič  $R_2, R_3$  v jeho kolektoru je navržen tak, aby napětí na výstupu děliče odpovídalo při zapnutém tranzistoru T

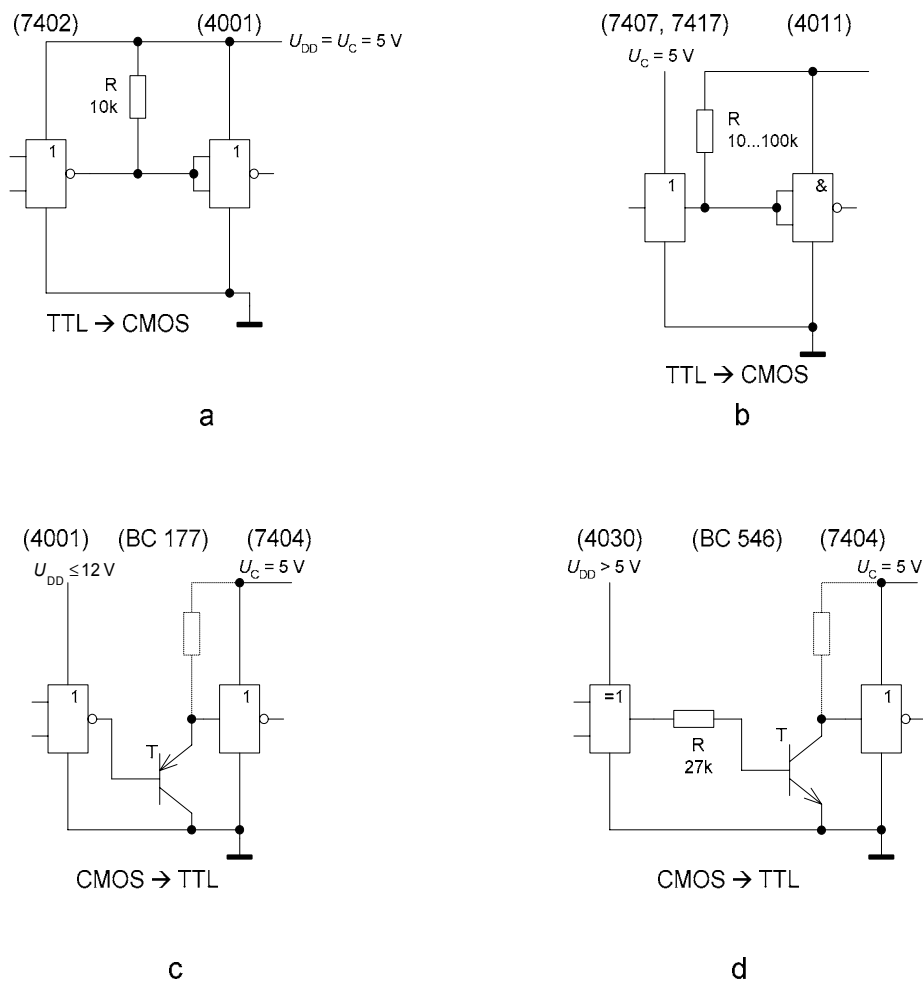


Obr. 5.3: Příklady řešení přizpůsobovacích obvodů

úrovni L, a to při respektování skutečnosti, že dělič je zatížen reálným proudem  $i_{IL}$  obvodu IO<sub>4</sub>. V některých případech zapojujeme i ochrannou diodu D pro omezení záporných napětí na vstupu IO<sub>4</sub>. Tranzistor T invertuje procházející signál.

Unipolární integrované obvody CMOS jsou schopny pracovat v širokém rozmezí napájecích napětí  $U_{DD} = 3$  až 18 V, popř. u moderních řad  $U_{DD} = 2$  až 6 V. Lze je tedy provozovat i při napájecím napětí  $U_{DD} = 5$  V a dalo by se očekávat, že budou schopny v tomto případě přímé spolupráce s obvody TTL. Avšak odlišné elektrické vlastnosti a provozní vlastnosti tuto spolupráci ztěžují.

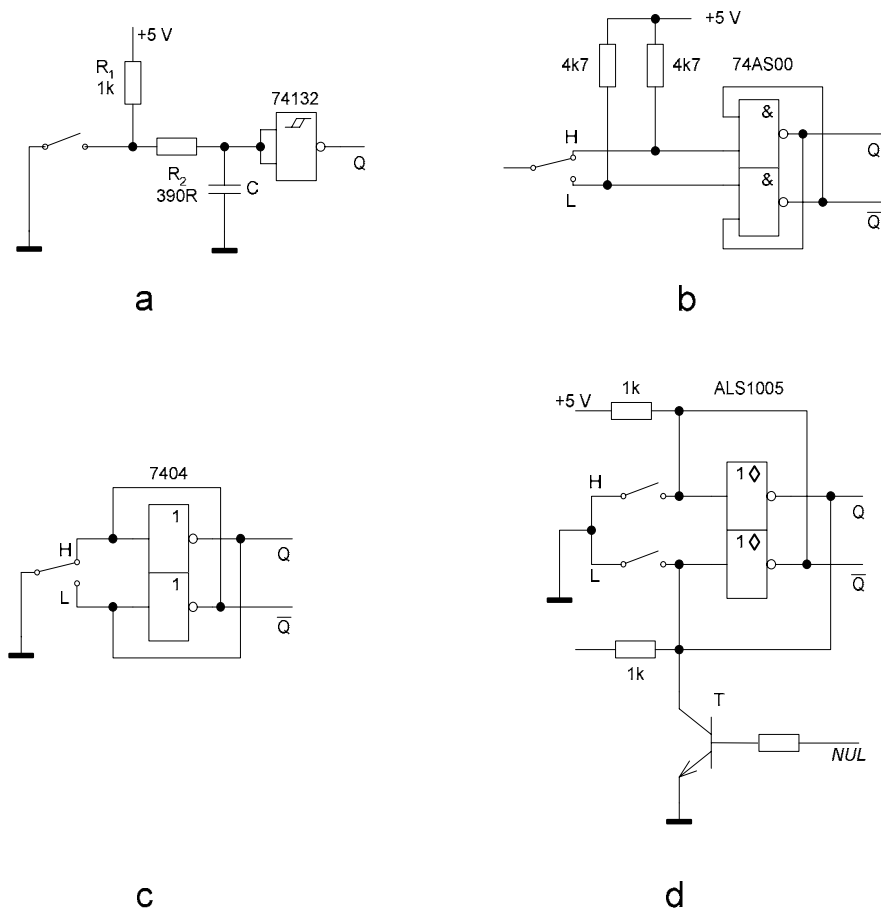




Obr. 5.4: Vzájemné propojení obvodu TTL a CMOS

U přenosů z obvodů TTL na obvody CMOS je příčinou potíží rozpor mezi napěťovými úrovněmi na výstupu členů TTL a napěťovými úrovněmi vyžadovanými pro vstupy členů CMOS. Ty totiž mají k zajištění správné funkce logického členu předepsány požadavky  $u_{IL} < 0,3 U_{DD}$  (tj. pro  $U_{DD} = 5V$  je požadováno  $u_{IL} < 1,5V$ ) a  $u_{IH} > 0,7 U_{DD}$  až  $0,8 U_{DD}$  (pro  $U_{DD} = 5V$  tedy  $u_{IH} > 3,5$  až  $4V$ ). Přitom logické členy TTL mají zaručeno výstupní napětí  $u_{OL} < 0,4$  až  $0,5V$  a  $u_{OH} > 2,4$  až  $2,7V$ . Z toho je zřejmé, že  $u_{OL}$  obvodů TTL vyhovuje, protože je v tolerančním poli hodnot  $u_{IL}$  obvodů CMOS, avšak že  $u_{OH}$  obvodů TTL nepostačí ke správnému vybuzení vstupu obvodů CMOS. Zde je odpomoc snadná: připojit výstup standardního obvodu TTL s dvojčinným koncovým stupněm podle obr. 1.1 přes pomocný rezistor na sběrnici +5V (obr. 5.4a) a dosáhnout tak zvýšení jeho výstupního napětí na hodnotu blízkou  $U_{DD}$  nebo použít pro buzení logický člen TTL s otevřeným kolektorem, doplněný samozřejmě příslušným pracovním rezistorem (v podstatě stejné zapojení jako na obr. 5.4, jen ve schématické značce logického členu by byl navíc symbol používaný k označení výstupu s otevřeným kolektorem). Avšak z hlediska návrhu nejčistší řešení tohoto problému poskytují obvody CMOS ve verzích HCT a ACT. Ty jsou totiž konstruovány tak, aby jejich vstupní napětí  $u_{IL}$ ,  $u_{IH}$  byla v tolerancích platných pro obvody TTL. Jejich vstupy se proto dají připojovat k výstupům logických členů TTL přímo a bez jakýchkoli doplňujících úprav.

Pro buzení obvodů CMOS, které mají pracovat s napájecím napětím  $U_{DD} > 5 \text{ V}$  (např. 10 nebo 15 V) je možno použít logický člen TTL, jehož koncový stupeň je tvořen jediným spínacím tranzistorem s volným (otevřeným) kolektorem, dimenzovaným na větší napájecí napětí (obvykle 15 V nebo 30 V). Potřebného posunutí napěťových úrovní se dosáhne tím, že zatěžovací rezistor tohoto tranzistoru je připojen na sběrnici  $U_{DD}$ , jak je to naznačeno na obr. 5.4b.



Vážeme-li vstupy členů TTL na výstupy členů CMOS při společném napájecím napětí  $U_C = U_{DD} = 5 \text{ V}$ , je z hlediska napěťové slučitelnosti vše v pořádku. Obvody CMOS řady 4000 však mají malou proudovou vydatnost, a proto je u nich potřeba ověřit, zda jsou schopny dodat vstupům následně připojených obvodů TTL požadovaný proud a v případě potřeby zařadit mezi výstupy obvodů CMOS a vstupy obvodů TTL výkonové stupně

Obr. 5.5: Ošetření signálu mechanických kontaktů pomocí obvodů TTL

CMOS, např. 4049 nebo 4050. Situace v tomto směru je beze zbytku vyřešena na jedné straně použitím moderních obvodových prvků CMOS řad HC, HCT, AC a ACT. Ty se vyznačují velkou proudovou vydatností výstupů. Na druhé straně lze aplikovat obvody TTL v řadách ALS a AS, jejichž vstupní proudy jsou značně redukovány ve srovnání se staršími technologickými řadami.

Nejsou-li napájecí napětí obvodů TTL a CMOS stejná, můžeme použít buď neinvertující vazební obvod podle obr. 5.4c, což je v podstatě emitorový sledovač s tranzistorem PNP přebuzeným tak, že pracuje ve spínacím režimu, anebo invertující vazební obvod se spínacím tranzistorem NPN v zapojení podle obr. 5.4d.

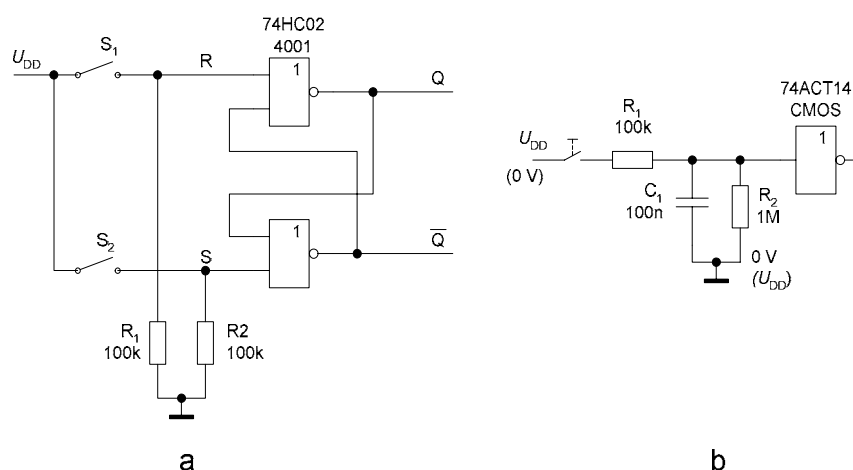
#### ZPRACOVÁNÍ SIGNÁLŮ MECHANICKÝCH KONTAKTŮ LOGICKÝMI OBVODY.

Celá řada digitálních systémů musí zpracovávat signály, které dodávají zařízení s mechanickými kontakty (spínače, přepínače, tlačítka, relé, klávesnice apod.). Výstupní signál logického členu s mechanickým kontaktem může být v okamžiku zapnutí nebo vypnutí kontaktu doprovázen po dobu až několika milisekund zákmity mechanického původu, které se pochopitelně dostávají na vstup připojených logických obvodů. Vzhledem k vysoké rychlosti

digitálních obvodů je zřejmé, že tato série krátkých impulsů pronikne do logických obvodů a může mít nežádoucí důsledky. Proto je nutno v kritických případech signál z mechanických kontaktů ošetřit speciálními obvody.

Zapojení podle obr. 5.5a používá za spínačem integrační článek RC k časovému překlenutí přechodného děje při zapnutí nebo vypnutí kontaktu. Časová konstanta se volí několik milisekund. Výstupní napětí členu RC se zpracovává invertorem s hysterezí.

Na obr. 5.5b je nakresleno zapojení klasického korekčního obvodu pro ošetření signálu z mechanických kontaktů. Vstupní přepínač pak střídavě připojuje na společný vodič vstupy klopného obvodu RS sestaveného ze dvou logických obvodů NAND (lze pochopitelně použít i jiný klopný obvod, např. typu 7474, s vyvedenými vstupy pro nulování a nastavování). Oba vstupy obvodu RS reagují na sestupnou hranu přiváděného signálu za předpokladu, že druhý vstup má konstantní klidovou úroveň H. Odskoky kontaktů při přepínání nejsou naprosto na závadu, neboť signál na výstupu Q se jednoznačně změní na požadovanou úroveň při prvním dotyku kontaktů přepínače při jeho přeložení do druhé polohy a případné další dotyky téhož kontaktu nemají na stav klopného obvodu žádný vliv. Stav klopného obvodu se změní teprve tím, že vrátíme přepínač do jeho původní polohy a také v tomto případě reaguje klopný obvod pouze na první dotyk kontaktů, kdežto na impulsy vzniklé odsakováním kontaktů už nereaguje.



Obr. 5.6: Zpracování signálu z mechanických kontaktů obvody CMOS

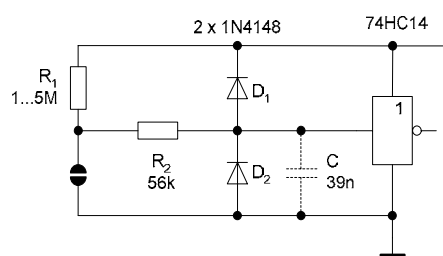
Na obr. 5.5c a 5.5d jsou uvedeny dvě varianty korekčního obvodu s klopným obvodem z invertorů. U prvního obvodu se při přepnutí přepínače uzemní výstup odpovídajícího invertoru, který byl doposud v úrovni H. Zpětnou vazbou se však okamžitě na tomto výstupu nastaví úroveň L. Zkratový proud tedy teče pouze

mžikově. U druhého zapojení se používají k přepínání výstupů Q a  $\bar{Q}$  dvě tlačítka H a L, jejichž střídavým stlačováním můžeme klopný obvod na výstupu Q nastavovat ( $Q = H$ ), resp. nulovat ( $Q = L$ ). Obvod nejen že nereaguje na zákmity, vznikající odsakováním tlačítek, ale nezmění svůj stav ani při opakovaném stisknutí téhož tlačítka. Kromě ručního ovládání tlačítka může být klopný obvod vynulován i elektricky. Aktivujeme-li tranzistor T přivedením logické úrovně H na vstupu NUL, simulujeme tak stlačení tlačítka L, takže klopný obvod se překlápí do stavu  $Q = L$ . Tento způsob ovládání klopného obvodu může být například použit při inicializaci celého zařízení po zapnutí, kdy je třeba nastavit definovaný počáteční stav celého systému vynulováním všech jeho funkčních bloků. Místo diskretního tranzistoru T může být použit i logický obvod s otevřeným kolektorovým výstupem.

Logické členy CMOS mají elektrické vlastnosti v mnoha směrech odlišné od obvodů TTL. Přesto jsou u nich zásady ošetřování signálů dodávaných z kontaktních logických členů zcela obdobné.

Na obr. 5.6a je nakresleno schéma obvodu pro ošetření signálu se zákmity z mechanických tlačítek  $S_1$  a  $S_2$ . Při stlačení tlačítka  $S_1$  se hned při prvním dotyku obou jeho kontaktů klopný obvod RS s členy NOR vynuluje,  $Q = L$ . Přechodný děj se zákmity ani případné opakované stisknutí tohoto tlačítka se na výstupu neuplatní. Ke změně stavu klopného obvodu dojde teprve při stlačení tlačítka  $S_2$ , kdy se obvod nastaví do stavu  $Q = H$ . Ani v tomto případě se přechodné děje na tlačítku  $S_2$  nebo jeho opakované stisknutí nijak neuplatní. Rezistory  $R_1$  a  $R_2$  mohou mít velký odpor díky nepatrnému vstupnímu proudu členů CMOS.

Přechodné děje na mechanických přepínačích a tlačítkách mohou být eliminovány pomocí integračního článku, jehož časová konstanta  $\tau$  je delší, než doba trvání přechodného děje se zákmity. Možné řešení ukazuje obr. 5.6b. V klidu je na vstupu invertoru napětí odpovídající úrovni L. Po stlačení tlačítka se vstupní napětí invertoru přibližně exponenciálně zvětšuje až na hodnotu potřebnou k překlopení logického členu s hysterezní převodní charakteristikou z původní úrovně H do úrovně L. Při uvolnění tlačítka dochází k vybíjení kapacitoru  $C_1$  přes rezistor  $R_2$  a při dosažení dolní rozhodovací úrovně invertoru dojde k jeho překlopení z výstupní úrovně L zpět do klidové úrovně H. Díky nepatrnému vstupnímu proudu použitého obvodu CMOS je dimenzování článku  $R_1$ ,  $C_1$ ,  $R_2$  s časovými konstantami řádu desítek milisekund snadné. Použité rezistory mohou mít odpor desítky až stovky  $k\Omega$ , u kapacitoru vystačíme s kapacitou kolem 100 nF. Pokud je potřeba obvod s inverzními vlastnostmi (tj. v klidu má být na vstupu invertoru úroveň H), stačí prohodit příklady  $U_{DD}$  a země u časovacího článku  $R_1$ ,  $C_1$ ,  $R_2$  podle údajů v závorce. Dimenzování tohoto článku se nemění.



Obr. 5.7: Zapojení sensorového tlačítka

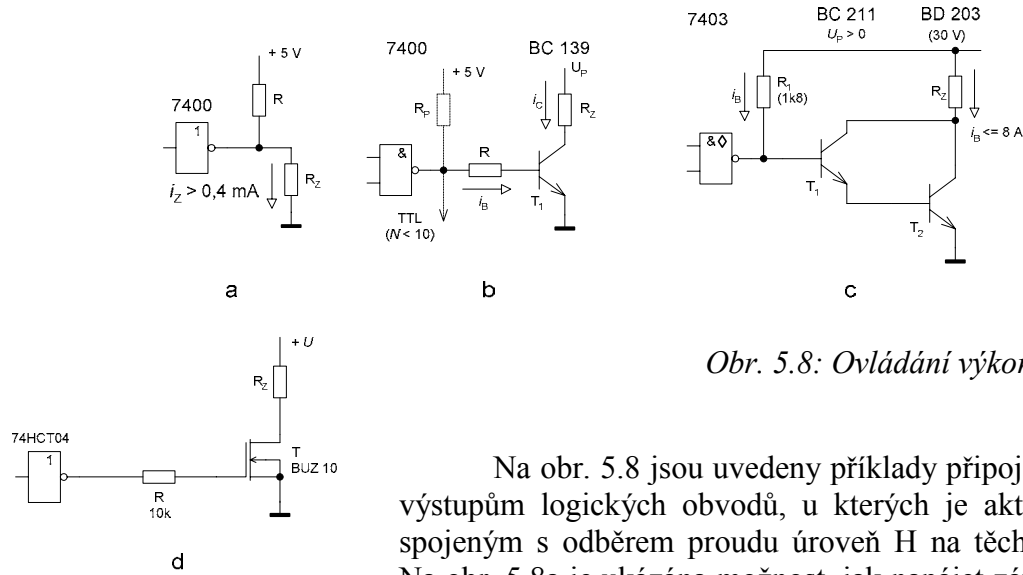
Vynikající vstupní parametry obvodů CMOS dovolují konstruovat bezkontaktní sensorové spínače a přepínače. Na obr. 5.7 je uveden příklad sensorového tlačítka. V klidu je na vstupu invertoru s hysterezní převodní charakteristikou (např. 40106, 74HC14, 74AC14) úroveň H, protože řetězec rezistorů  $R_1$  a  $R_2$  je připojen na  $U_{DD}$ . Člen  $R_2$ ,  $D_1$  a  $D_2$  chrání vstup invertoru před případným překročením přípustných napětí použitého členu CMOS při dotyku aktivní plošky sensorového tlačítka. Kapacitor  $C$  s kapacitou 33 až 47 nF tvoří spolu s rezistorem  $R_2$  dolní propust, jejímž

úkolem je potlačit nadměrná šumová a brumová napětí, která by mohla způsobit nežádoucí chybnou změnu výstupní úrovně logického členu. Při přiložení prstu na sensorové tlačítko se jeho dotykové plošky propojí přes kožní odpor prstu, tím se sníží vstupní napětí invertoru na úroveň L a na jeho výstupu se nastaví logická úroveň H. Hystereze invertoru spolu se setrvačnými vlastnostmi článku  $C$ ,  $R_1$ ,  $R_2$  omezí zákmity, které přitom mohou vzniknout např. v důsledku neurčitosti přitisknutí prstu. Pro náročnější účely se doporučuje doplnit toto sensorové tlačítko ještě klopným obvodem podle některého z výše uvedených principů. Zabrání se tak totiž možnosti chybné interpretace při náhodné opakované aktivaci téhož tlačítka.

## 5.2 Výstupy digitálních obvodů

Při připojování výstupů logických obvodů jsme vázáni mezními hodnotami výstupních napětí a proudů, jak je uvedeno v kap. 4. Při buzení dalších logických obvodů ze sledovaného výstupu nesmíme překročit povolené zatížení výstupu, které se udává logickou zatížitelností  $N$ . Logická zatížitelnost určuje největší počet logických vstupů, které můžeme z daného

výstupu budít. Např. z hradla SN7400 ( $N = 10$ ) můžeme dodávat výstupní logický signál do deseti vstupů logických obvodů TTL. Přepočtem  $N \cdot i_{VST}$  potom můžeme snadno zjistit povolené hodnoty výstupních proudů.



Obr. 5.8: Ovládání výkonových zátěží

Na obr. 5.8 jsou uvedeny příklady připojování zátěží k výstupům logických obvodů, u kterých je aktivním stavem spojeným s odběrem proudu úroveň H na těchto výstupech. Na obr. 5.8a je ukázána možnost, jak napájet zátěž s odporem  $R_z$  z výstupu logického obvodu při úrovni H, potřebujeme-li proud  $i_z > 400 \mu A$ . Rezistorem  $R$  teče při výstupní úrovni H ze zdroje napájecího napětí do zátěže posilovací proud

$$i_{RH} = (U_C - u_{VYSTH})/R \quad (5.2)$$

a přičítá se k výstupnímu proudu  $i_{VYSTH}$  logického obvodu IO<sub>1</sub>. Při změně výstupní úrovně na L však poteče výstupem IO<sub>1</sub> záporný proud

$$i_{VYSTL} = -i_{RL} = -(U_C - u_{VYSTL})/R. \quad (5.3)$$

Tento proud bude zvětšovat výkonovou ztrátu IO<sub>1</sub> a snižovat jeho logickou zatížitelnost. Pochopitelně tento proud nesmí být v absolutní hodnotě větší než povolený, a odtud snadno odvodíme podmínku  $i_{RL} \approx -i_{VYSTLmax}$ . Z ní pak dostaneme pro odpor  $R$  omezující podmínku

$$R \cong (U_C - u_{VYSTL})/|i_{VYSTLmax}|. \quad (5.4)$$

Pro standardní obvody TTL s logickou zatížitelností  $N = 10$  je přibližně  $R \approx 300 \Omega$  a pro výkonové obvody s  $N = 30$  asi  $R \approx 100 \Omega$ . Tomu odpovídá při dodržení obvyklých podmínek ( $U_C = 5 V$ ,  $u_{VYSTH} = 2,4 V$ ) podle rov. (5.2) přídavný proud  $i_{RH}$  až 8,6 mA popř. až 26 mA, tedy posílení velmi vydatné. U moderních řad obvodů TTL, jejichž logické členy pracují s malými příkony, musíme ovšem počítat s menší proudovou vydatností jejich výstupů a všechny předchozí úvahy či výpočty tomu přizpůsobit.

Zapojení podle obr. 5.8b používá k zabezpečení většího proudového odběru pomocný vnější tranzistor  $T_1$ . Tranzistor se otevírá při výstupní úrovni H. Budicí proud  $i_B \approx i_C/h_{21e}$  je dodáván do báze  $T_1$  z výstupu obvodu 2. Při  $i_B < 0,4 mA$  můžeme k výstupu IO<sub>2</sub> ještě připojovat další logické obvody TTL tak, aby napětí  $u_{VYSTH} \approx 2,4 V$ . Pokud nepotřebujeme z výstupu obvodu 2 odebírat logický signál, můžeme zvětšit zatěžovací proud  $|i_{VYST}| = i_B$  nestandardně i nad 0,4 mA. Podle výstupní charakteristiky obvodu TTL se patřičně zmenší výstupní napětí obvodu případně až pod 2 V. Jestliže je proud zátěží  $i_C$  tak velký, případně proudový zesilovací činitel  $h_{21e}$  tak malý (u tranzistorů pracujících jako spínače v saturaci

bývá  $h_{21e}$  malé, jen asi 10 až 20, u výkonových tranzistorů mnohdy i méně), že bude  $i_B > 0,4$  mA, musíme zavést do obvodu báze opět posilovací proud, tekoucí rezistorem  $R_p$ . Přitom ovšem zhruba dvojnásobek tohoto posilovacího proudu snižuje logickou zatížitelnost  $N_L$  obvodu při výstupní úrovni L. Při návrhu obvodu postupujeme tak, že pro předepsaný proud  $i_C$  zátěží a napětí  $U_p > 0$  V vybereme vhodný typ tranzistoru. Pro jeho zesilovací činitel  $h_{21e}$  určíme proud  $i_B$ . Odpor  $R$  rezistoru v bázi T1 vypočítáme ze vztahu

$$R \approx (u_{VYSTH} - u_{BE})/i_B \approx (1,7 \text{ V})/i_B, \quad (5.5)$$

přičemž jsme uvažovali  $u_{VYSTH} \approx 2,4$  V a  $u_{BE} \approx 0,7$  V. Při přesnějším návrhu můžeme odečíst hodnotu  $u_{VYSTH}$  ( $i_B$ ) z výstupní charakteristiky obvodu TTL a podle toho upravit výpočet. Pokud bude  $i_B < 0,4$  mA, postačí neposílený výstup logického členu. Pro případ, že při  $i_B > 0,4$  mA požadujeme možnost buzení vstupů TTL ze sledovaného výstupu, určíme odpor  $R_p$  z přibližného vztahu

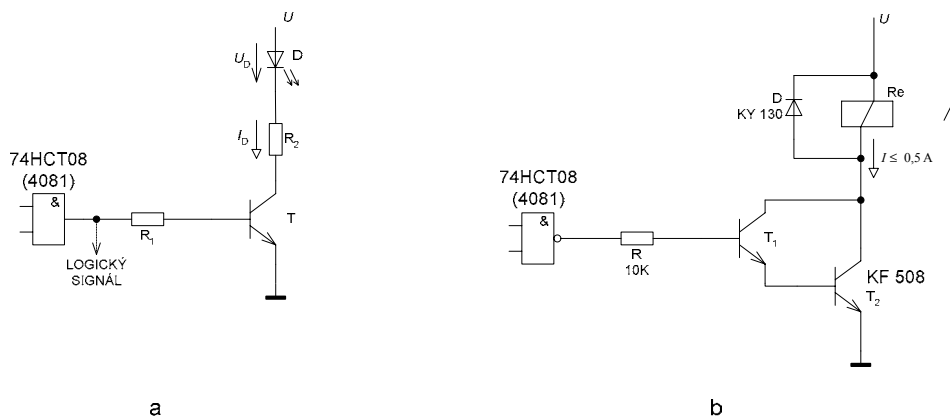
$$R_p \approx (U_C - u_{VYSTH})/i_B \approx (2,6 \text{ V})/i_B. \quad (5.6)$$

Přitom kompenzujeme proud  $i_B$  tak, že výstup obvodu 2 k tvorbě proudu  $i_B$  prakticky nepřispívá.

Na obr. 5.8c je nakresleno zapojení pro spínání velkých proudů i o velikosti až 8 A, dodávaných odporové zátěží  $R_z$ . Jako budicí obvod je použit logický obvod NAND (např. typu 7403 s výstupem s otevřeným kolektorem), který ve spolupráci s pracovním rezistorem  $R_1$  zahradí Darlingtonovu dvojici tranzistorů  $T_2$ ,  $T_3$ , má-li na výstupu úroveň L, kdežto při výstupu v úrovni H dodává do báze tranzistoru  $T_2$  přes rezistor  $R_1$  proud  $i_B \approx 15$  mA, který stačí uvést tranzistory  $T_2$  a  $T_3$  do saturace. Protože  $u_{VYSTH} \approx u_{BE2s} + u_{BE3s} \approx 0,7 \text{ V} + 2,4 \text{ V} = 3,1$  V, není při provozu nikdy překročeno dovolené výstupní napětí logického členu, i když je rezistor  $R_1$  napájen ze sběrnice +30 V. Tranzistory  $T_3$  a  $T_2$  musí být vybrány s ohledem na dostatečnou proudovou vydatnost a na předpokládané provozní napětí. Protože budou pracovat ve spínacím režimu, budou mít při provozu v saturaci jen malý zesilovací činitel, menší než minimální hodnota udávaná v katalogu. Odpor  $R_1$  vypočítáme na základě znalosti parametrů tranzistorů a zadaných provozních podmínek

$$R_1 \approx (U_p - u_{BE2s} - u_{BE3s}) \cdot h_{21e2s} \cdot h_{21e3s} / i. \quad (5.7)$$

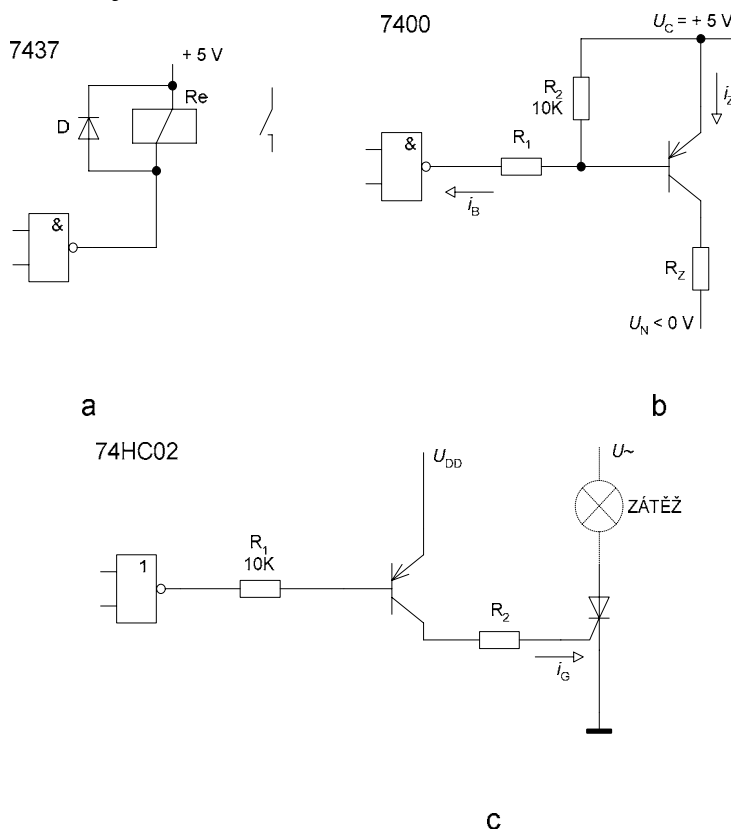
Velmi elegantní řešení pro ovládání výkonových zátěží i z výstupů obvodů CMOS představuje zapojení podle obr. 5.8d s výkonovým tranzistorem MOS s N-kanálem pro napětí až 400V (BUZ41a) a pro proudy až 20 A (BUZ10). U tranzistorů MOS je potřeba uvažovat



Obr. 5.9: Ovládání výkonových zátěží obvody CMOS

relativně velkou vstupní kapacitu hradla, u typu BUZ je typicky 1,5 nF, proto je na obr. 5.8b zapojen rezistor  $R$  omezující nárazový proud při přepínání.

Naprosto obdobným způsobem jako v předchozích případech lze budit výkonové zátěže z výstupu obvodů CMOS. Příkladem může být řízení spínače s bipolárním tranzistorem podle obr. 5.9a. Vždy je nutno dbát na to, aby použitý člen CMOS byl schopen dodat ze svého výstupu tak velký proud, aby postačil k řízení dalších připojených obvodů. Proto je např. na obr. 5.9b k dosažení proudové slučitelnosti použita pro zapínání budicí cívky relé Re Darlingtonova dvojice tranzistorů  $T_1$  a  $T_2$ .



Obr. 5.10: Buzení výkonové zátěže při aktivní úrovni L

Při buzení výkonové zátěže z výstupu logického obvodu při aktivní úrovni L použijeme poněkud odlišná zapojení. V nejjednodušších případech můžeme připojit zátěž mezi sběrnici napájecího napětí a výstup logického obvodu. Jako příklad je uvedeno na obr. 5.10a připojení budicí cívky relé k výstupu výkonového logického členu NAND. Největší proud tekoucí zátěží nesmí být větší než mezní hodnota  $i_{VYSTL}$ . Paralelně k indukční zátěži zapojujeme ještě ochrannou diodu D, která ochrání výstup logického obvodu proti nebezpečným napěťovým špičkám, vznikajícím při odpojení zátěže.

Na obr. 5.10b je uvedeno schéma s tranzistorem PNP a zátěží napájenou ze zdroje záporného napětí. Tranzistor  $T_2$  je v klidovém stavu  $u_{VYST} = H$  zahrazen a zátěží neprotéká proud. Po přepnutí výstupu obvodu 3 na úroveň L teče rezistorem  $R_1$  proud  $i_B$ , který otevírá tranzistor a zátěží teče proud

$$i_Z = (U_C - U_N - u_{CEs})/R_Z \quad . \quad (5.8)$$

Odpor  $R_1$  vypočítáme podle vztahu

$$R_1 \approx (U_C - u_{EBs} - u_{VYSTL}) \cdot h_{21es} / i_Z \approx 3,9 \cdot h_{21es} / i_Z . \quad (5.9)$$

Aby nebyl překročen povolený proud  $i_{VYSTL}$  hradla, musí být u standardních logických obvodů TTL  $R_1 > 240 \, \Omega$  a u výkonových obvodů  $R_1 > 80 \, \Omega$ .

Na obr. 5.10d je uveden jiný příklad: řízení výkonového tyristoru z výstupu logického členu CMOS. Proud  $I_G$  do řídicí elektrody tyristoru je dodáván přes proudový posilovač se spínacím tranzistorem PNP. Tranzistor je uveden do saturace, je-li na výstupu členu CMOS logická úroveň L. Použijeme-li např. tranzistor BC 179, může mít řídicí proud  $I_G$  velikost až 100 mA. Požadovanou velikost řídicího proudu nastavíme odporem rezistoru  $R_2$ , který můžeme vypočítat ze vztahu

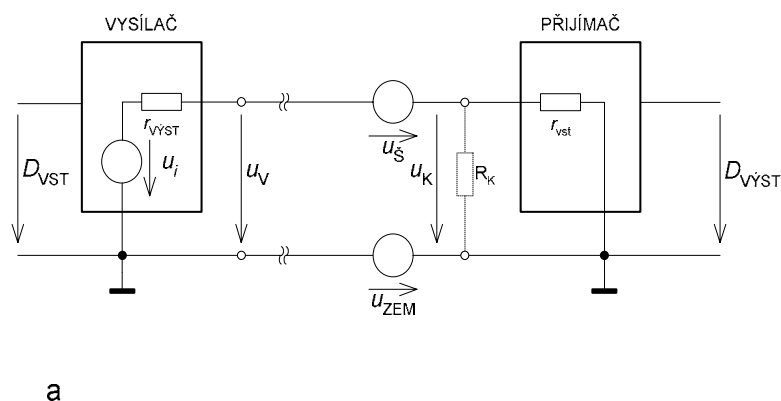
$$R_2 = (U_{DD} - u_{ECs} - u_G) / i_G \approx (U_{DD} - u_G) / i_G , \quad (5.10)$$

kde saturační napětí  $u_{ECs} \approx 0 \, \text{V}$ ,  $u_G$  je řídicí napětí tyristoru při proudu  $i_G$ .

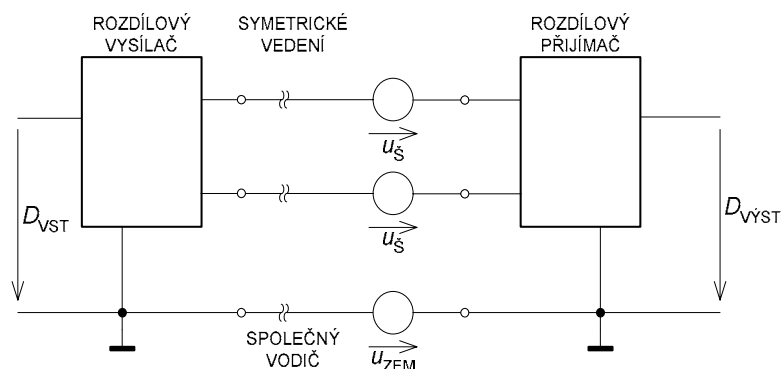
Poznamenejme na závěr, že pro buzení vnějších nestandardních zátěží jsou prakticky ve všech technologiích digitálních obvodů k dispozici součástky pro buzení sběrnic, jejichž proudová zatížitelnost výstupu je několikanásobně větší než u běžných typů.

### 5.3 Spoje a přenos signálů

Digitální signály jsou mezi logickými obvody v celém digitálním systému přenášeny reálnými vodiči, spoji. Pokud tvoří určitá skupina vodičů v systému propojení mezi více logickými obvody, které mohou pracovat jako vysílače nebo přijímače digitálních signálů, označujeme ji jako sběrnici.



a



b

Při přenosu signálu používáme v zásadě dva typy přenosových vedení: nesymetrická (jeden vodič je uzemněn) a symetrická (rozdílová). Volba vhodné konstrukce vedení závisí i na požadovaném druhu přenosu: jednosměrný přenos, podmíněně obousměrný přenos a přenos multiplexní sběrnicí.

Nesymetrické vedení je konstrukčně jednoduché, neboť každá signálová cesta je tvořena jedním vodičem, přičemž signál je vztažen ke společnému vodiči (zemi). Model obvodu pro přenos signálu nesymetrickým vedením je nakreslen na obr. 5.11a.

Do vedení se může dostat vnější rušivý signál. Indukcí vzniká z vnějších

Obr. 5.11: Model přenosové soustavy



zdrojů šum  $u_{\Sigma}$  a ve společném vodiči existuje mezi oběma konci vedení potenciální rozdíl  $u_{ZEM}$ . Indukovaný šum vzniká kapacitní nebo elektromagnetickou vazbou mezi signálovým vodičem a sousedními vodiči, rozvodem napájení apod. Tento indukovaný šum se označuje jako přeslech. Rušivý potenciální rozdíl  $u_{ZEM}$  vzniká tím, že společným vodičem, který má nenulový odpor a nenulovou indukčnost protékají různé napájecí, signálové i indukované proudy. Dominantní složkou napětí  $u_{ZEM}$  je rušivá složka se síťovým kmitočtem 50 Hz. Vstupní napětí přijímače je tedy dáno superpozicí

$$u_K = u_V + u_{ZEM} - u_{\Sigma} \quad (5.11)$$

a je zřejmé, že přijímač nemůže rozlišit aktivní signál  $u_V$  od rušivých složek  $u_{\Sigma}$  a  $u_{ZEM}$ . Podmínkou správnosti přenosu tedy je, aby odstup signálu od šumu byl co největší. K tomu existuje několik způsobů:

1. použít stíněné vodiče k potlačení přeslechů,
2. zvětšit úroveň výstupního signálu vysílače,
3. zmenšit odpor společného vodiče a tím minimalizovat napětí  $u_{ZEM}$ ,
4. dostatečně oddálit signálové vodiče od napájecího rozvodu a od sousedních signálových vodičů,
5. upravit sklon hran výstupních impulsů vysílače tak, aby se zmenšily přeslechy vzniklé kapacitní vazbou,
6. použít přijímač s hysterezní charakteristikou,
7. zkrátit spoje tak, aby se zmenšila možnost působení rušivých zdrojů na vedení,
8. použít vhodnou kombinaci předchozích způsobů.

Každý z uvedených způsobů má však i své nedostatky. Např. první tři způsoby jsou ekonomicky náročné, pátý a šestý způsob znamenají zpomalení zpracování signálu a zkracování spojů nebývá vždy možné.

Symetrické vedení využívá k přenosu signálu rozdílový signál dvou vodičů, které jsou buzeny symetricky vůči společnému vodiči, jenž se na přenosu signálu nepodílí. Princip přenosu signálů symetrickým vedením je naznačen na obr. 5.11b. Vedení je buzeno z vysílače se dvěma komplementárními výstupy, přijímač pracuje jako rozdílový zesilovač (komparátor). Rušivé napětí  $u_{\Sigma}$  se tentokrát indukuje do obou signálových vodičů a působí proto jako souhlasné napětí, jímž je podložen přenášený signál. Rušivé napětí  $u_{ZEM}$  rozdílu zemních potenciálů společného vodiče působí rovněž jako souhlasné napětí na vstupech přijímače. Přijímač s dobrým potlačením souhlasného signálu snadno vybere ze směsi vstupních signálů pouze přenášený signál, který jediný je přiváděn jako rozdílový. Jako symetrická vedení se nejčastěji používají zkroucené vodiče nebo ploché a páskové kabely se souběžně vedenými vodiči.

**SPOJE.** V konstrukci elektronických přístrojů nejčastěji pro přenos signálů používáme plošné spoje, jednoduché drátové vodiče, dvojité a vícenásobné vodiče, zkroucené vodiče nebo koaxiální kabely. Všechny tyto spoje musí být schopny bezchybně přenést digitální signály mezi spolupracujícími obvody. Vzhledem k velké rychlosti zpracování a strmým hranám procházejících signálů (řádově nanosekundy) může již několikadecimetrový prostý spoj znamenat celou řadu těžkostí při zabezpečování bezporuchového přenosu signálu. Průměrná rychlost šíření elektrického signálu podél prostého drátového vodiče s izolací je přibližně 22 cm/ns (1 metr proběhne za 4,5 ns). Protože doba trvání hran digitálních signálů je řádově srovnatelná s dobou šíření signálu běžnými vodiči, musíme vzít v úvahu možnost vzniku odrazů a respektovat je. Podle možnosti vzniku odrazů pak rozlišujeme vedení elektricky krátká a elektricky dlouhá.

*Elektricky krátké vedení* je takové vedení, jímž signál projde za kratší dobu než je trvání nejstrmější hrany signálu. Odražený signál doznívá se skončením hrany přenášeného signálu. Elektricky krátké vedení může být tedy impedančně nepřizpůsobeno a přesto nedojde k rušení signálu odraženým impulsem.

*Elektricky dlouhé vedení* je takové vedení, podél něhož signál prochází déle než je doba trvání hrany jeho impulsu. Rušivý signál vzniklý odrazem na nepřizpůsobeném konci vedení doznívá až po skončení hrany signálu a způsobuje rušení.

V tab. 5.1 jsou uvedeny mezní hodnoty délek elektricky krátkých vedení pro používané digitální obvody, je-li spojem prostý izolovaný drát. Rychlost šíření signálu drátem předpokládáme 0,22 m/ns. Délky  $l_m$  určují největší přípustnou délku spoje pro přenos signálu bez rušivého vlivu odrazů.

Problém impedančního přizpůsobení vedení je komplikován tím, že dynamické odpory vstupů a výstupů nejsou stejné a navíc se liší i podle druhu hrany impulsu, tedy při změně  $H \rightarrow L$  a  $L \rightarrow H$ . V tab. 5.2 jsou uvedeny hodnoty dynamického výstupního odporu  $r_{VYST}$  a dynamického vstupního odporu  $r_{VST}$  pro obě hrany procházejícího impulsu.

**Jednoduchý vodič** spojující dva logické obvody se z hlediska přenosu signálu jeví jako nesymetrické vedení. Jednoduchý vodič nemůže mít jednoznačně definovanou charakteristickou impedanci  $Z = \sqrt{L/C}$ , neboť záleží na jeho geometrickém tvaru a poloze vzhledem ke společné zemnicí ploše. Hodnota jeho charakteristické impedance bývá od stovek do tisíců ohmů. K potlačení odrazů je proto nutné vést spoj co nejbližně společnému vodiči nebo použít elektricky krátké vedení (popř. zmenšit strmost hran impulsů). Při připojování několika přijímačů k jednomu vysílacímu místu se přednostně používá hvězdicové propojení.

Tab. 5.1: Maximální délky  $l_m$  elektricky krátkých vedení pro různé typy digitálních obvodů ( $t_{hr}$  udává dobu trvání nejkratší hrany přenášeného impulsu)

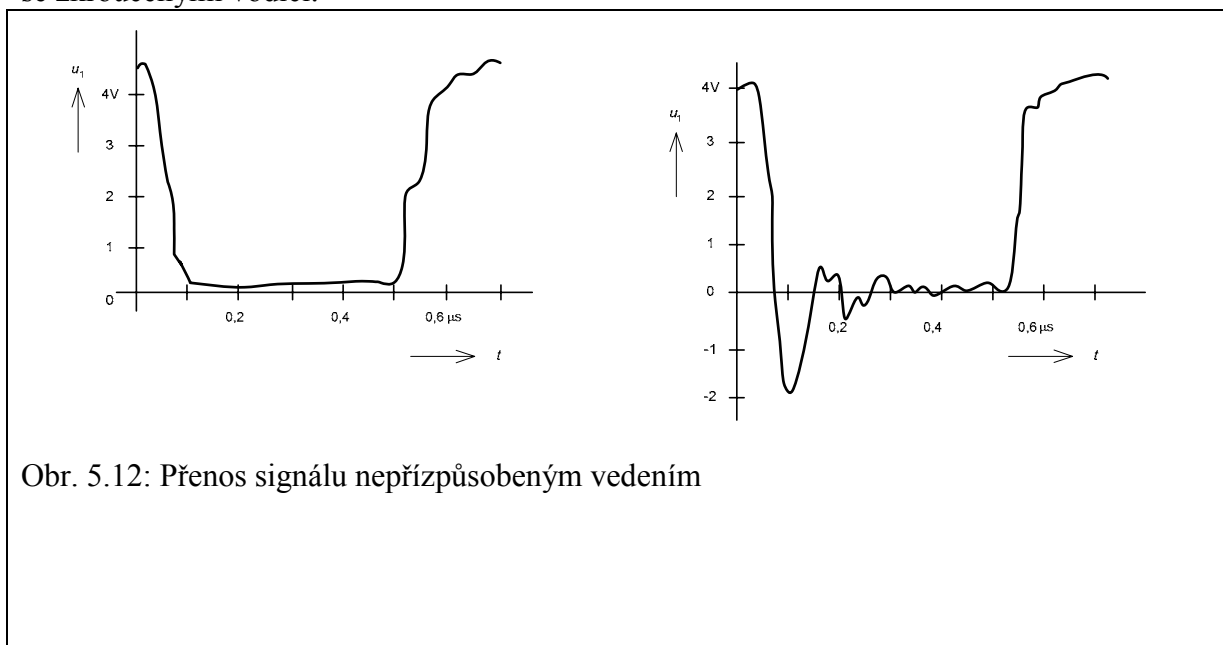
typ	$t_{hr}$	$l_m$
74	5 ns	0,5 m
74AS	1,5 ns	0,3 m
74S	2,5 ns	0,3 m
74L	15 ns	1,5 m
74LS	6 ns	0,55 m
74ALS	3 ns	0,35 m
74H	7 ns	0,65 m

Tab. 5.2: Hodnoty dynamických odporů některých logických obvodů NAND pro obě hrany přenášeného impulsu

obvod	hrana $H \rightarrow L$		hrana $L \rightarrow H$	
	$r_{VYST}$	$r_{VST}$	$r_{VYST}$	$r_{VST}$
7400	12 $\Omega$	1200 $\Omega$	120 $\Omega$	1200 $\Omega$
74S00	10 $\Omega$	800 $\Omega$	50 $\Omega$	800 $\Omega$
74H00	10 $\Omega$	1200 $\Omega$	60 $\Omega$	1200 $\Omega$

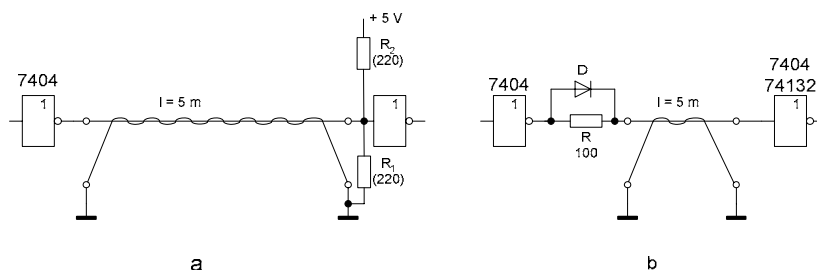
**Dvojitý vodič a paralelní vícenásobné vodiče.** Charakteristická impedance těchto vodičů jako symetrických vedení silně závisí na jejich geometrickém uspořádání a na

blízkosti ostatních vodičů v přístroji. Přenosové vlastnosti se zlepšují při prokládání signálového vedení paralelními vodiči s potenciálem společného vodiče. Pokud jsou tyto paralelní vodiče použity jako symetrická vedení, blíží se jejich vlastnosti parametrům vedení se zkroucenými vodiči.



Obr. 5.12: Přenos signálu nepřízpůsobeným vedením

**Vedení se zkroucenými vodiči** je tvořeno dvěma souběžnými izolovanými vodiči s průměrem drátu 0,5 mm nebo 0,3 mm, navzájem kolem sebe zkroucenými tak, že na 1 m délky připadá 25 až 40 zkrutů. Předepsaným mechanickým uspořádáním je zaručena konstantní hodnota charakteristické impedance, ta by měla být co nejmenší, jinak vzrůstají přeslechy. Impedanční přizpůsobení je proto snadné a tento typ symetrického vedení může být použit i pro přenos na elektricky dlouhé vzdálenosti. Symetrické vedení se zkroucenými vodiči je odolné proti rušení. Rušivé signály se projevují jako souhlasná napětí a jsou rozdílovým přijímačem potlačeny. Vnější příčné rušivé magnetické pole indukuje do vodičů proud, který se však zruší díky střídající se polaritě elementárních magnetických obvodů tvořenými jednotlivými zkruty (závity). Pokud se používají paralelní nezskroucené vodiče, indukovaný proud se nezruší, protože jako elementární magnetický obvod působí celé vedení. Indukovaný proud však ovlivňuje přenos užitečného rozdílového signálu jen nepatrně, neboť z hlediska vstupů rozdílového přijímače představuje souhlasný signál, který je při zpracování signálu potlačen.



Obr. 5.13: Přizpůsobení konce nesymetrického vedení

Charakteristický odpor vedení se zkroucenými vodiči bývá 100 až 130  $\Omega$  (někdy 50 až 200  $\Omega$ ) při průměru drátu 0,5 mm, tloušťce izolace 0,05 až 0,1 mm a při 20 až 40 zkrutech na 1 metr délky. Průměrná kapacita je 30 až 80 pF na 1 metr délky vedení. Díky konstantní hodnotě charakteristické impedance jsou zkroucené vodiče vhodné pro přenosy na velké

vzdálenosti (až 1000 m) s poměrně vysokými kmitočty (až nad 15 MHz). Maximální útlum na kmitočtu 15 MHz je přibližně 2,8 dB pro vedení dlouhé 30 m.

**Koaxiální kabely** jsou většinou používány jen v nejnáročnějších případech. Charakteristický odpor bývá 50 až 180  $\Omega$  a kapacita 30 až 100 pF/m. Dobrým přenosovým vlastnostem odpovídá i malý útlum, asi 2 až 5 dB/100 m na kmitočtu 10 MHz. Výborné parametry vykazuje kabel Microdat 293-3913 s charakteristickým odporem 93  $\Omega$ . Koaxiální kabely jsou používány jako nesymetrická vedení. Ve zvláštních případech lze použít koaxiální kabel se dvěma stíněnými vodiči, které jsou pak zapojeny jako symetrické vedení. Koaxiální kabely mají však i nevýhody. Zabírají více místa, obtížně se napojují, mají větší hmotnost, jsou dražší a většinou mají poměrně velkou kapacitu, která vyžaduje použít větší budící proudy.

*PŘENOS SIGNÁLŮ VEDENÍM* je tedy možný několika různými způsoby. Na obr. 5.12a je nakresleno schéma jednoduchého přenosového spoje pomocí zkrouceného dvojvodiče, který není správně impedančně zakončen. Signál na výstupu vedení (obr. 5.12b) je typický několika zákmity při skokové změně budicího signálu. Při delším vedení mohou zákmity zasahovat až do rozhodovací úrovně napětí vstupu obvodu 2, přenést se i na jeho výstup a způsobit tak chybný přenos informace.

Výrobci integrovaných obvodů doporučují při aplikaci delších elektrických vedení zakončit tato vedení pomocným rezistorem, který se zapojí mezi konec signálového vodiče a kladné napájecí napětí (např. Texas Instruments doporučuje odpor 300  $\Omega$  pro obvody 74AS). Na obr. 5.13a je uvedeno alternativní ošetření konce vedení odporovým děličem  $R_1, R_2$ , který je zakončuje zátěží s odporem  $R_1 \parallel R_2$ , aniž by kladl nadměrné požadavky na proudovou vydatnost předřazeného logického členu. Vedení je tedy impedančně přizpůsobeno, děličem však teče přídavný proud asi 12 mA při přenášené úrovni H. Je-li přenášen signál s úrovní L, teče vedením proud přibližně 20 mA. Zvyšuje se tím úroveň logické nuly na konci vedení a zmenšuje se proto šumová imunita přijímače.

Na rozdíl od předchozího způsobu je v zapojení podle obr. 5.13b přizpůsobovací rezistor zapojen na vstup vedení. U nepřizpůsobeného vedení se nejhůře přenáší hrana  $H \rightarrow L$  impulsů. Na přizpůsobovacím rezistoru  $R$  na začátku vedení se zmenší skok  $H \rightarrow L$  tak, že na konci vedení bude součet předchozí úrovně H, přímého a odraženého impulsu nulový. Podle toho se navrhne odpor

$$R = \rho_2 Z - r_{VST} \quad , \quad (5.12)$$

přičemž

$$\rho_2 = (r_{VST} - Z)/(r_{VST} + Z) \quad (5.13)$$

označuje činitel odrazu na konci vedení,  $Z$  je charakteristický odpor vedení,  $r_{VST}$  je výstupní odpor vysílače a  $r_{VST}$  vstupní odpor přijímače při přenášené hraně  $H \rightarrow L$ . Pro běžné hradlo NAND s  $r_{VST} \approx 12 \Omega$  a  $r_{VST} \approx 1,2 \text{ k}\Omega$  a zkroucený dvojvodič s  $Z \approx 130 \Omega$  dostaneme podle rovnice (5.12) činitel odrazu  $\rho_2 \approx 0,8$  a dále přizpůsobovací odpor  $R \approx 92 \Omega$  podle rovnice (5.12). Volíme  $R = 100 \Omega$ , nebo, což je lepší, při sledování průběhu  $u_2(t)$  na osciloskopu optimalizujeme hodnotu  $R$  experimentálně nastavením trimru. Dioda  $D$  má za úkol překlenout rezistor  $R$  při hraně impulsu  $L \rightarrow H$ . Vzhledem k úbytku 0,7 V na jejím přechodu v propustném směru je však její vliv jen malý a ve většině případů nemusí být použita.

Paralelní sběrnice pro přenos více signálů současně se zcela běžně vyskytují v systémech počítačů a mikropočítačů. Pro návrh mikroprocesorových a obecně vícebitových

systémů, pracujících se signály v paralelním kódu, je k dispozici řada integrovaných obvodů, které umožňují snadno realizovat paralelní sběrnice. Kromě těchto podpůrných obvodů však i mnoho pamětí má vstupy a výstupy dat vyvedeny stejnými vývody pouzdra a směr přenosu dat, případně úplné impedanční odpojení paměti od vývodu je řízeno zvláštními logickými signály. Podobně spolupracují se sběrnicemi i další obvody (např. obvody pro připojení standardních a nestandardních periférií). V těchto případech se však přenos dat děje na relativně elektricky krátké vzdálenosti v poměrně málo rušeném prostředí a přenosové vedení není nutno impedančně přizpůsobovat. Ve většině případů vyhoví i paralelní leptané spoje na desce plošných spojů, nebo paralelně vedené prosté drátové spoje s izolací.

## 5.4 Aplikační zásady

*ROZVOD SPOLEČNÉHO VODIČE* (zemního vodiče) je v mnoha případech podceňován, ale špatně navržený rozvod může být zdrojem mnoha nečekaných závad při uvádění zařízení do chodu. V zásadě by měl být společný vodič realizován tak (ať už drátem nebo měděnou fólií na desce s plošnými spoji), aby měl co nejmenší odpor a zanedbatelnou indukčnost. Těmto požadavkům vyhoví vodiče s velkým průřezem. Při návrhu plošných spojů se proto vždy snažíme navrhovat rozvody zemí co nejširší. Pokud se v zařízení kromě logických obvodů vyskytují také další typy obvodů, např. lineární integrované obvody, výkonové členy s relé apod., je nutné každý typ těchto obvodů propojovat samostatným společným (zemním) vodičem. Tyto skupinové vodiče zemí pak propojíme v jediném místě zařízení, nejčastěji u zemnicí svorky nejkritičtější provozovaného operačního zesilovače (který zpracovává nejmenší úroveň signálu) nebo u napájecích zdrojů. Při dimenzování společného vodiče musíme uvažovat i maximální proudy, které jím mohou protékat. Nejsou vzácností desky plošných spojů s odběry až několik ampérů. Ze stejných důvodů jsou kladeny přísné nároky také na minimální přechodové odpory použitých konektorů a na spoje zemí mezi jednotlivými konektory v přístrojové skříni.

*ROZVOD NAPÁJECÍHO NAPĚTÍ* vyžaduje stejnou péči při návrhu jako rozvod společného zemnicího vodiče. Přívod napájecího napětí na desku s číslicovými obvody je nutno hned za konektorem filtrovat nejlépe tantalovým elektrolytickým kapacitorem s kapacitou alespoň 10  $\mu\text{F}$ . Navíc u každý 5 až 10 pouzder integrovaných obvodů musí být napájecí napětí blokováno bezindukčními keramickými kapacitami s kapacitou 10 až 100 nF, jejichž úkolem je pokrýt špičkově zvýšené proudové odběry logických obvodů při přepínání. Pokud je použita deska s oboustrannými plošnými spoji, je vhodné jednu stranu využít pro signálové spoje a druhou stranu pro rozvod země a napájecího napětí. Je-li deska hustěji osazena obvody, rozvádí se někdy napájecí napětí a zem dalšími vrstvami vícevrstvé plošné spoje.

Při návrhu plošných spojů je vhodné respektovat následující základní zásady. Signálové spoje je vhodné navrhovat co nejkratší. Délka spoje do 40 cm je ještě považována za přípustnou, zejména na velkých deskách používajících celou zemnicí a celou napájecí vrstvu. Rovněž tato délka vyhoví u malých desek, kde je zemnicí vrstva tvořena mřížkou nebo sítíčkou. Je-li přenášen signál s vyššími pracovními kmitočty (vf), je potřeba zkrátit spoje a vyloučit ostré ohyby. Běžné spoje a použité zátěže na desce nevyžadují přizpůsobené vedení. Přechodný děj odezvy na buzení více zátěží zejména kapacitního charakteru může být zlepšen zakončením vedení děličem  $R_1 = 600 \Omega$  a  $R_2 = 300 \Omega$ . Šířka vodiče plošného spoje musí být alespoň 0,35 mm a alespoň stejná musí být šířka mezery. Je vhodné volit větší mezeru, zejména u rovnoběžně vedených dlouhých spojů. Zejména je nutno věnovat pozornost dostatečné mezeře od vodičů řídících hodinových signálů a jiných citlivých signálů. Tloušťka izolačního materiálu u vícevrstvných spojů není kritická, obzvláště jsou-li některé vrstvy vymezeny rozvodu napájení a společné země. Snižuje se tak i počet potřebných kapacitorů

pro filtraci napájecího napětí. Zvlnění napájecího napětí většiny digitálních obvodů může být nejvýše 10 % jmenovité hodnoty.

Následující výčet zásad můžeme použít k návrhu, kontrole a zhodnocení zkonstruovaného zařízení:

- zabezpečení dostatečného chlazení součástek vhodným umístěním výkonově namáhaných součástek a chladičů,
- vyloučení přeslechů vhodným prostorovým umístěním vodičů nebo jejich stíněním,
- kvalitní rozvod zemí a napájecích napětí, spojování zemí různých zdrojů a částí obvodu, spojení zemí s kostrou a propojení zemí se spolupracujícím zařízením,
- ochrana zdrojů proti zkratu a ochrana integrovaných obvodů proti přepětí,
- dostatečná filtrace napájecích napětí tantalovými elektrolytickými kapacitami a ve skupinách integrovaných obvodů bezindukčními rychlými keramickými kapacitami,
- ochrana konektorů proti chybnému připojení označením nebo mechanickými klíči,
- snadná výměna součástek s kratší dobou života (pojistky),
- ošetření signálů z mechanických kontaktů proti vlivu odsakování kontaktů,
- zpracování pomalu se měnících signálů logickými obvody s hysterezní charakteristikou Schmittova klopného obvodu,
- ošetření nepoužitých vstupů logických obvodů a vstupů nepoužitých obvodů,
- k výstupům digitálních obvodů nepřipojovat přímo kapacity s kapacitou větší než 0,5 nF,
- ochrana logických obvodů a tranzistorů s indukční zátěží (relé) paralelně zapojenou ochrannou diodou,
- ochrana vstupů a výstupů obvodů proti přepětí,
- zaručit, aby nemohlo být na vstupy obvodů CMOS přivedeno napětí, pokud obvody nemají připojeno svoje napájecí napětí,
- správný návrh delších přenosových vedení a jejich správné impedanční zakončení (zkroucený dvojvodič a koaxiální kabely),
- zajistit snadnou diagnostiku zařízení,
- zabránění výskytu hazardních impulsů a stavů,
- nastavení definovaného stavu po zapnutí přístroje,
- dodržení bezpečnostních předpisů, obsluha zařízení musí být za všech okolností bezpečná,
- kvalitní, úplná a jednoznačná dokumentace pro případné opravy nebo zhotovení dalšího kusu,
- ochrana proti vnějšímu rušení,
- zabránit generování rušivých signálů,
- nepřekročit povolené mezní parametry použitých součástek.

*POZNÁMKY K OŽIVOVÁNÍ PŘÍSTROJE.* Při oživování digitálních zařízení je vhodné používat logickou sondu s indikací úrovně logické nuly a jedničky a možností zjišťovat i nanosekundové impulsy, případně s možností zachytit a načítat několik impulsů. Vynikající pomůckou je osciloskop, pro nejnáročnější případy paměťový. Budicí impulsy dodáváme z generátoru impulsů většinou s měnitelným kmitočtem a případně z generátoru slov. Jinak pochopitelně využijeme i běžné přístroje (voltmetr, miliampérmetr, ohmetr atd.). Můžeme použít i speciální výkonové sondy, kterými můžeme v daných místech zapojení vnucovat impulsy L nebo H, aniž bychom museli obvod rozpojit.

Nejčastěji začínáme oživovat tak, že krok za krokem identifikujeme a kontrolujeme signály logickou sondou a osciloskopem podle schématu. Výsledky zaznamenáváme a na základě logické úvahy pak buď měříme v dalších bodech nebo zapojení upravujeme tak, aby

správně pracovalo. Je samozřejmé, že postupujeme od nejjednodušších funkcí ke složitějším. V některých případech musíme rozpojit některé složitější vazby (např. přerušením plošného spoje), abychom obvod pro diagnostiku dostatečně zjednodušili. Oživování si můžeme již při návrhu usnadnit tím, že umožníme některé sekvence krokovat, zhotovíme si vhodné přípravky (pole s přepínači a výstupy v potřebných napěťových úrovních apod.) nebo simulátory. Pokud v zájmu oživení upravujeme zapojení, neděláme dvě úpravy najednou, neboť bychom nemohli posoudit individuální vliv každé z nich. Podaří-li se závadu odstranit, analyzujeme všechny uskutečněné zásahy a úpravy tak, abychom zjistili, kde byla chyba. Všechny úpravy a změny průběžně zaznamenáváme do schématu.

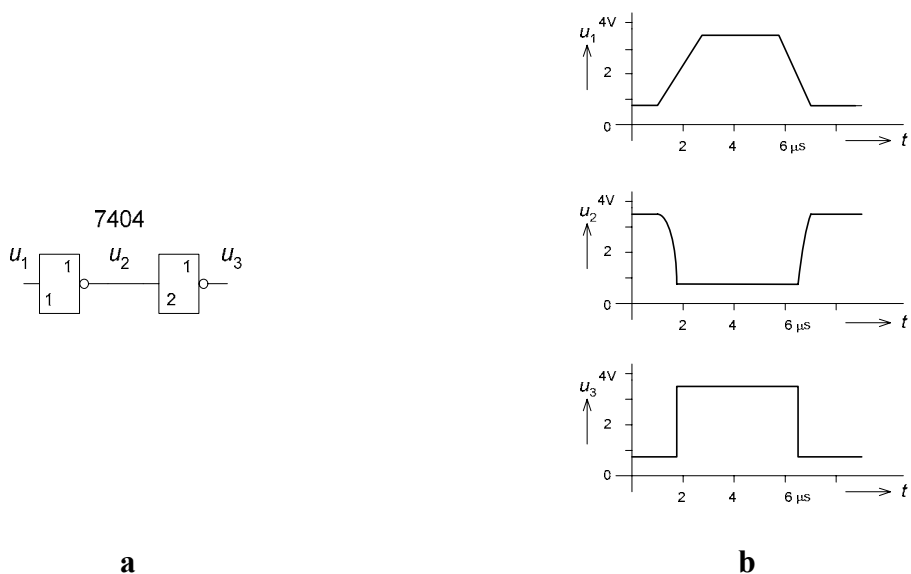
Pro oživování složitějších zařízení s mikroprocesory a mikrokontroléry se většinou neobejdeme bez logického nebo alespoň příznakového analyzátoru. Nejvhodnější však je mikroprocesorový vývojový systém, kterým také odladíme programy.

## 6 TVAROVÁNÍ, GENEROVÁNÍ A ZDRŽOVÁNÍ IMPULSŮ

Jednou z nejčastějších úloh navrhování digitálních obvodů a systémů je řešení obvodů pro časové manipulace se signály digitálních obvodů. Pod pojmem časová manipulace budeme rozumět generování standardizovaných impulsů na vyžádání hranou logického signálu, dále prodlužování, zkracování a časové posouvání (zdržování) impulsů nebo kombinace těchto operací, včetně k tomu potřebného ošetření hran signálu.

### 6.1 Úprava hran logických signálů

Strmost hran pravoúhlých nebo přesněji řečeno lichoběžníkových impulsů může být kritickým parametrem správného logického zpracování, neboť logické obvody TTL jsou schopny bezchybně zpracovat jen ty logické signály, jejichž strmost hran je větší než  $1 \text{ V}/\mu\text{s}$ . Hrany s menší strmostí mohou způsobit, že vstupní signál při průchodu rozhodovací oblastí ( $1,3$  až  $1,5 \text{ V}$ ) na vstupu logického obvodu TTL vyvolá na jeho výstupu jeden nebo několik zámkitů než přejde výstupní napětí na odpovídající ustálenou úroveň. Při pomalém průchodu vstupního napětí oblastí  $1,3$  až  $1,5 \text{ V}$  se totiž může uplatnit okamžitá kombinace šumu, indukovaného rušení a teplotní nestability rozhodovací úrovně  $U_R$  tak, že může dojít k zámkitům výstupního napětí. Mezní přípustné hodnoty strmosti vstupního signálu jsou u standardních obvodů TTL  $1,5 \text{ V}/\mu\text{s}$  pro vzestupnou hranu a  $-3,3 \text{ V}/\mu\text{s}$  pro sestupnou hranu.



Obr. 6.1: Zlepšení strmosti hran impulsů

Pro zlepšení strmosti hran impulsů se často používá kaskáda logických obvodů (např. invertorů) podle obr. 6.1a. Každý z invertorů má v rozhodovací oblasti  $1,3$  až  $1,5 \text{ V}$  napěťová zesílení přibližně

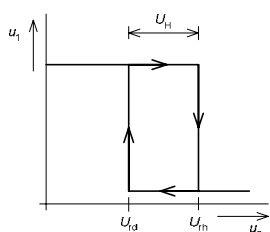
$$|A_u| = \frac{\Delta u_{VYST}}{\Delta u_{VST}} \approx \frac{2}{0,2} = 10, \quad (6.1)$$

neboť výstupní napětí se odpovídajícím způsobem mění mezi hodnotami  $u_L \leq 0,4 \text{ V}$  a  $u_H \geq 2,4 \text{ V}$ . Kaskádou dvou invertorů dosáhneme zesílení  $A_u \geq 100$  v rozhodovací oblasti  $1,3$  až  $1,5 \text{ V}$  vstupního napětí. V důsledku toho se zvětší i strmost hran výstupního signálu ve srovnání se vstupním signálem, a to v poměru  $A_u:1$ . Obvod však není nijak chráněn proti vzniku



zákmitů, pracuje v podstatě jako napěťový komparátor s jednou rozhodovací úrovní, u něhož jsou jedinou ochranou proti vzniku zákmitů jeho vlastní setrvačné vlastnosti (integrátor). I v tomto případě proto musí mít vstupní signál  $u_1(t)$  hrany strmější než  $1,5 \text{ V}/\mu\text{s}$  u vzestupné hrany a  $-3,3 \text{ V}/\mu\text{s}$  u sestupné hrany. Průběhy napětí  $u_1$ ,  $u_2$  a  $u_3$  jsou pro tento mezní případ strmosti nakresleny na obr. 6.1b.

Pro zpracování pomalu se měnících napětí (strmost až  $1 \text{ V/s}$ ) je nezbytné použít logické obvody s hysterezí. Jsou to v podstatě komparátory s kladnou zpětnou vazbou a se dvěma rozhodovacími úrovněmi, které se přepínají podle okamžitého stavu na výstupu. Dosáhne-li rostoucí vstupní napětí horní rozhodovací úrovně  $U_{rh}$  (viz. obr. 6.2), změní se stav výstupu obvodu a současně s tím přejde obvod na svou dolní rozhodovací úroveň  $U_{rd}$ . Jestliže v této situaci vstupní napětí poklesne na hodnotu  $U_{rd}$ , vrátí se výstup obvodu do původního stavu a spolu s tím se vrátí obvod i na původní rozhodovací úroveň  $U_{rh}$ . Tento mechanismus přepínání rozhodovacích úrovní v okamžiku aktivace kterékoli z nich účinně brání tomu, aby se nějakým nežádoucím způsobem uplatnily rušivé složky superponované na užitečný vstupní signál. Pro rozhodovací úrovně platí  $U_{rh} > U_{rd}$ , rozdílové napětí  $U_H = U_{rh} - U_{rd}$  označujeme stručně jako hysterezi obvodu.

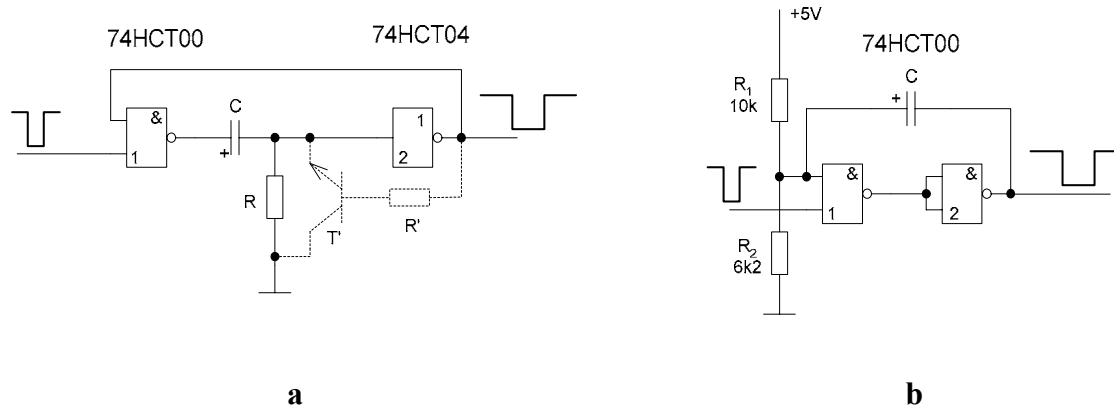


Obr. 6.2: Typický tvar převodní charakteristiky invertoru s hysterezí

Technická realizace logických členů s hysterezí spočívá nejčastěji v tom, že do cesty logického signálu je vložen Schmittův klopný obvod. Hysterezní převodní charakteristiku tohoto druhu má např. obvod typu 7414 (šestice invertorů), nebo 74132 (čtveřice členů NAND) a odpovídající typy modernizovaných řad obvodů TTL. U obvodů CMOS s hysterezí (např. 74HC14) není dokonce žádné omezení strmosti hran vstupního signálu definováno.

Vynikající výhodou těchto obvodů s hysterezní převodní charakteristikou je, že ačkoli jsou obvodově jednoduché, dávají díky použití kladné zpětné vazby vždy tu největší strmost hran výstupních logických signálů, s níž je možné u dané řady obvodů počítat. Další předností je naprostá jednoznačnost odezvy. Ke vzniku zákmitů může dojít jen tehdy, přesáhne-li rozkmit rušivého napětí hodnotu  $U_H$  a to nepřichází v normálních provozních podmínkách snad nikdy v úvahu.

## 6.2 Neautonomní generátory impulsů



Obr. 6.3: Základní zapojení monostabilních klopných obvodů s obvodů TTL

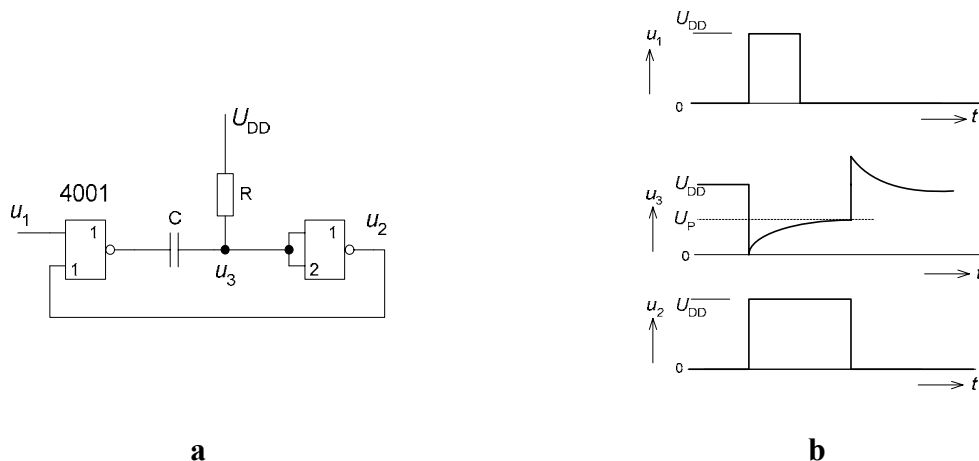
Při navrhování digitálních obvodů a systémů je častou úlohou vyrobit na nestandardní podnět, např. na stisknutí tlačítka, nebo naopak na uvolnění tlačítka, na podnět z koncového spínače či ze světelné závory standardní logický signál ve tvaru jediného impulsu v logických úrovních, obvykle pravoúhlého a s konstantní dobou trvání. Teprve takto standardizovaný logický signál je předmětem zpracování v dalších logických obvodech systému. K výrobě těchto impulsů se v převážné míře používají monostabilní klopné obvody, tedy neautonomní generátory, spouštěné vnějším podnětem, konkrétně vzestupnou, popř. sestupnou hranou řídicího signálu.

Na obr. 6.3 jsou nakreslena dvě základní zapojení monostabilních klopných obvodů s logickými obvody NAND. V obou případech se generuje výstupní impuls přechodem do úrovně L, vyvolaným již sestupnou hranou vstupního signálu. Zapojení uvedené na obr. 6.3a je vhodné k prodlužování vstupního impulsu, při zkracování impulsu je závěrná vzestupná hrana výstupního impulsu málo strmá (to platí zejména pro impulsy větší šířky). Šířka impulsu je přibližně  $T_i \approx 0,7 RC$  a při opakovaném buzení kolísá přibližně o  $\pm 1,5 \%$ . Pro katalogově zaručený vstupní proud invertoru  $i_{VSTL} \leq -1,6 \text{ mA}$  v klasické TTL technologii a nejvyšší povolenou vstupní úroveň napětí  $u_{VSTL} = 0,8 \text{ V}$  standardního obvodu TTL musí být odpor  $R < 500 \Omega$ . Pro většinu aplikací však můžeme volit až  $R = 1 \text{ k}\Omega$ . Změní-li se napájecí napětí  $U_C$  o  $\pm 6 \%$ , změní se šířka impulsu až o  $\pm 12 \%$  při  $R = 220 \Omega$  a o  $\pm 8 \%$  při  $R = 1 \text{ k}\Omega$ . Mezi jednotlivými impulsy při opakovaném buzení musí být prodleva  $T_p > 3T_i$  při  $R = 220 \Omega$  a  $T_p > 2T_i$  při  $R = 1 \text{ k}\Omega$ , aby se časovací kapacitor stačil dostatečně vybit. Zkrácení této zotavovací doby  $T_p$  je možné dosáhnout zapojením čárkovaně naznačeného tranzistoru  $T'$ , který se otevírá při  $u_{VYST} = H$  a zajistí velmi rychlé vybití časovacího kapacitoru  $C$ . V klidovém stavu je napětí na vstupu obvodu 2 blízké nule a zvyšuje tak odolnost proti rušivým signálům. Při  $u_{VYST} = L$  v době trvání impulsu je tranzistor  $T'$  uzavřen. Při použití obvodů z řad 74ALS a 74HCT musíme vzít v úvahu, že tyto obvody mají podstatně menší vstupní proudy, takže je možné odpovídajícím způsobem zvětšit odpor  $R$ . Jinak však platí pro dimenzování obvodu obdobné závěry jako v předchozím případě.

V zapojení podle obr. 6.3b nastavuje rezistorový dělič  $R_1, R_2$  vstupní napětí pro logický člen 1, o velikosti asi 2,3 V a odpor  $R = R_1 || R_2$  paralelní kombinace rezistorů určuje spolu s kapacitou  $C$  zpětnovazebního kapacitoru časovou konstantu  $RC$ . Šířka impulsu pak je  $T_i \approx RC$  až  $1,2 RC$ . Změní-li se napájecí napětí o  $\pm 6 \%$ , změní se šířka impulsu  $T_i$  o  $\pm 6 \%$ . Většímu napájecímu napětí odpovídá menší šířka impulsu. Zotavovací doba mezi opakovanými impulsy  $T_p$  musí být delší než  $5 T_i$ . Správná funkce tohoto klopného obvodu je podmíněna tím, že budicí impuls musí mít menší šířku než vyráběný impuls. V opačném případě totiž bude stav logického členu 1 určen nikoli situací na rozhodovacím vstupu, na který je připojen časovací článek  $R_1, R_2, C$ , ale přetrvávající úrovní L na vyžadovacím vstupu a výstupní impuls proto skončí až při skončení budicího impulsu. Nedodrží-li se zotavovací doba  $T_p > 5 RC$  po ukončení impulsu, zkracuje se předčasně vyžádaný následující impuls.

Na obr. 6.4 je nakresleno schéma základního monostabilního obvodu CMOS s hradly NOR. Klidová úroveň vstupního signálu je  $u_1 = L$ . Klidový stav obvodu je určen tím, že po ukončeném nabíjení kapacitoru  $C$  je na vstupu výstupního invertoru logická úroveň H (je připojen přes rezistor  $R$  na sběrnici napájecího napětí  $U_{DD}$ ), a proto je klidové výstupní napětí invertoru  $u_2 = L$ . Protože na obou vstupech logického členu NOR je úroveň L, je na jeho výstupu úroveň H a kapacitor  $C$  je vybit. Změna  $u_1$  z úrovně L na H se projeví přechodem výstupu členu NOR do úrovně L. Tato změna v podobě napěťového skoku o velikosti téměř  $U_{DD}$  se ihned kapacitorem  $C$  přenesne na vstup druhého hradla, jehož výstupní signál se změní

z úrovně L do úrovně H. V tuto chvíli již může skončit spouštěcí impuls  $u_1$ . Napětí  $u_3$  na vstupu invertoru mezitím exponenciálně narůstá s časovou konstantou  $RC$  z 0 V do rozhodovacího napětí  $U_P$  invertoru. Při překročení této úrovně se vrátí výstupní stav invertoru z aktivní úrovně H zpět do klidové úrovně L. Celý proces generování impulsu potom ještě vnitřně doznívá: výstup členu NOR přejde do úrovně H a kapacitor  $C$  nabitý přibližně na napětí  $U_{DD}/2$  se vybíjí přes rezistor  $R$  za účinné spolupráce ochranných diod na vstupu invertoru. Tím se ukončí kyv monostabilního klopného obvodu.



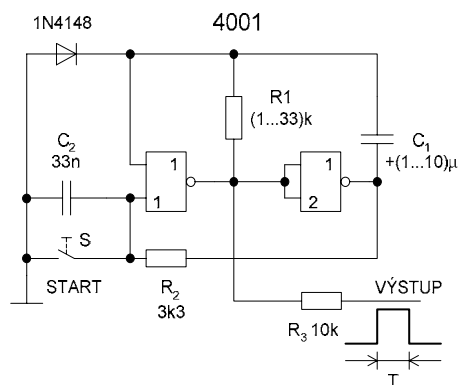
Obr. 6.4: Schéma a časové průběhy obvodu CMOS pro prodlužování impulsů

Bude-li spouštěcí impuls  $u_1$  delší než je doba kyvu monostabilního klopného obvodu, projeví se to pozvolnějši závěrnou hranou impulsu  $u_2$ . Na rozdíl od předchozího případu se totiž neuplatní kladná zpětná vazba přes člen NAND. Doba kyvu je dána dobou potřebnou k nabití kapacitoru  $C$  přes rezistor  $R$  přibližně na polovinu napájecího napětí, a proto je přibližně

$$T_i \approx RC \cdot \ln 2 \approx 0,7 \cdot RC. \quad (6.2)$$

Díky zanedbatelným vstupním proudům můžeme snadno dosáhnout doby kyvu řádu jednotek až desítek sekund.

Zapojení uvedené na obr. 6.5 ukazuje jinou variantu monostabilního klopného obvodu s logickými členy CMOS. Obvod může být použit ke zkracování i prodlužování impulsů.

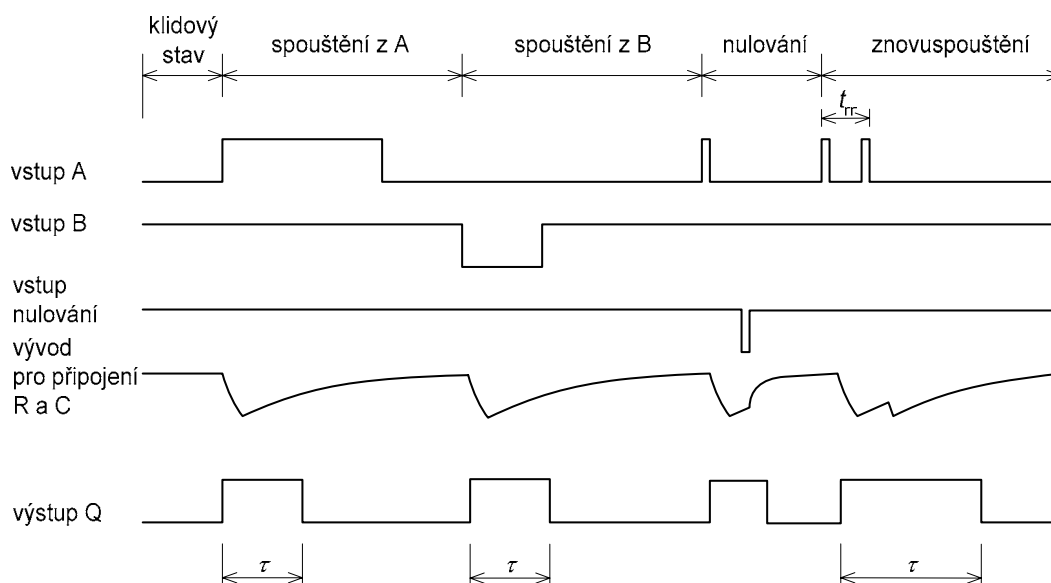


Obr. 6.5: Zapojení MKO CMOS ve funkci časového spínače

s logickými členy CMOS. Obvod může být použit ke zkracování i prodlužování impulsů. V klidu je startovací tlačítko  $S$  rozpojeno. Rezistorem  $R_2$  je zavedena zpětná vazba z výstupu invertoru na spínaný vstup hradla NOR. V klidu je na výstupu invertoru (a tedy i na zpětnovazebním vstupu členu NOR) úroveň H. Výstupní signál celého obvodu, dodávaný přes rezistor  $R_3$ , má proto úroveň L. Stlačením tlačítka  $S$  se převede příslušný vstup členu NOR do úrovně L, takže výstup členu NOR přejde do stavu H a v důsledku toho se změní i výstupní stav invertoru, kde se objeví úroveň L. Ta se jednak zpětnou vazbou přes rezistor  $R_2$  přenese na spínaný vstup členu NOR a kromě toho přes kapacitor  $C_1$  také na druhý vstup tohoto členu.



odpovídajícím způsobem prodlouží. Doba trvání impulsu (bez prodloužení) je pro  $C_2 > 1 \text{ nF}$  dána přibližným empirickým vztahem  $T_i \approx 0,28 C_2(R_2 + 700 \Omega)$ .



Obr. 6.7: Časové průběhy MKO 74HC4538

Podobnou koncepci a podobnou schematickou značku (pouze se zaměněnými vstupy A a B), avšak lepší vlastnosti má integrovaný monostabilní klopný obvod MOS typu 74HC4538. Jeho časové diagramy jsou uvedeny na obr. 6.7 a je z nich vidět, že šířka výstupního impulsu nezávisí na šířce spouštěcího impulsu, ale na tom, zda se v průběhu výroby jednoho impulsu vyskytne další spouštěcí hrana (vzestupná u vstupu A, sestupná u vstupu B). Obvod pracuje při napájecím napětí 2 až 6 V. Pro napájecí napětí měnící se v mezích  $\pm 1 \text{ V}$  kolem jmenovitého napětí 5 V se šířka výstupního impulsu nezmění o více než  $\pm 1,5 \%$ . Bude-li šířka výstupního impulsu větší než  $100 \mu\text{s}$ , platí pro návrh výpočtový vzorec

$$T_i \approx k \cdot RC, \quad (6.4)$$

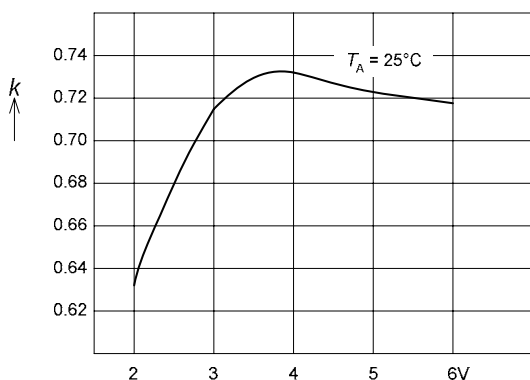
kde činitel  $k$  může být odečten z grafu na obr. 6.8. Navíc výrobce garantuje odchylku šířky impulsu nejvýše o  $7 \%$  při záměně obvodu 74HC4538 za jiný kus. Odpor rezistoru v časovacím článku může být od  $1 \text{ k}\Omega$  přibližně do  $1 \text{ M}\Omega$ , větší odpory se nedoporučuje používat, protože pak vzrůstá citlivost na vnější rušení. Maximální časovací kapacita není omezena. Při správném návrhu pro delší výstupní impulsy se musí respektovat svod kapacitoru, zbytkový proud obvodu 74HC4538, svod plošného spoje a součástky  $R, C$  se musí volit tak, aby proud časovacím vývodem obvodu nepřekročil  $30 \text{ mA}$ . Ještě před ukončením kyvu může být obvod znovu spuštěn. Znovuspouštění může být vyžádáno nejdříve po uplynutí zotavovací doby (v sekundách)

$$t_{rr} \approx 72 \cdot 10^{-9} + U_{DD} \cdot \frac{C}{30500}. \quad (6.5)$$

Časovač typového označení 555 patří mezi nejužívanější časovací obvody. Na obr. 6.9 je uvedeno blokové schéma časovacího obvodu 555 a jeho schématická značka. Obvod se dodává v pouzdře DIP s osmi vývody nebo jeho zdvojená verze (556) v pouzdře DIP s šestnácti vývody. Číslování vývodů obvodu je v obou případech stejné.

Základem obvodu 555 jsou dva napěťové komparátory  $K_1$  a  $K_2$ , z jejichž výstupů je ovládán klopný obvod RS. Mezi vývody 1 a 8 jsou zapojeny tři rezistory se stejnými odpory

5 k $\Omega$ . Na tuto rezistorovou síť napětového děliče jsou připojeny jedním ze svých vstupů komparátory. Napětí  $U_B/3$  se přivádí k neinvertujícímu vstupu komparátoru  $K_1$ , invertující vstup komparátoru  $K_2$  je připojen na napětí  $2.U_B/3$ . Zbylé dva vstupy komparátorů tvoří dva využitelné vstupy časovače. Na oba komparátory navazuje klopný obvod RS, který také upravuje strmost obou hran výstupního impulsu. Klopný obvod RS lze vnějším logickým signálem  $\overline{R_0} = L$  nulovat. V tom případě se výstup  $\overline{Q}$  vnitřního klopného obvodu nastavuje na úroveň  $\overline{Q} = H$ , na výkonovém výstupu  $Q>$  časovače bude úroveň L a výstupní spínací tranzistor T bude v saturaci.

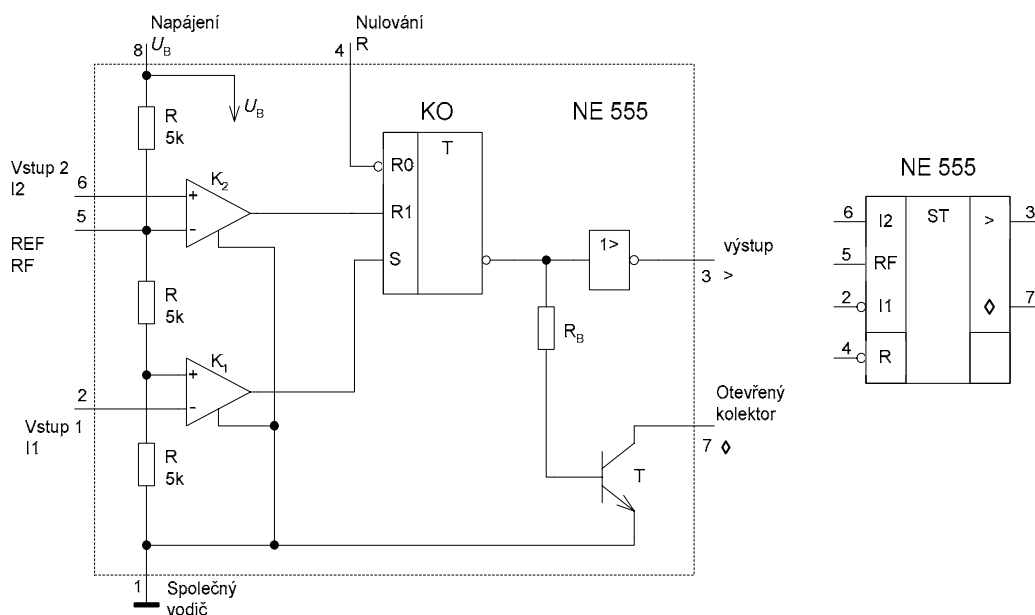


Obr. 6.8 Závislost činitele  $k$  na napájecím napětí

Bude-li vstupní napětí neinvertujícího vstupu  $R_1$  komparátoru  $K_2$  větší než  $2.U_B/3$ , způsobí výstupní signál komparátoru, vedený na vstup  $R_1$  klopného obvodu RS uvedení tohoto obvodu do stejného stavu jako při jeho vnějším nulování. Na klopný obvod navazuje výkonový invertor, jehož výstup  $Q>$  lze zatížit proudem až  $\pm 200$  mA. Doba nástupní i sestupné hrany signálu tohoto výstupu je typicky 100 ns.

Bude-li vstupní napětí invertujícího vstupu  $\overline{S}$  komparátoru  $K_1$  menší než  $U_B/3$ ,

změní se logická úroveň na výstupu komparátoru, tím se aktivuje vstup S vnitřního klopného obvodu RS a ten se přepoklopí. Na výstupu  $Q>$  invertoru se nastaví úroveň H a výstupní tranzistor T se zavře. Je zřejmé, že vývod 7 výstupního tranzistoru lze použít jako výstup s otevřeným kolektorem a má souhlasnou logickou úroveň jako vývod 3 výstupu invertoru. Z obvodu 555 je vyvedeno také referenční napětí REF, které je rovno  $2.U_B/3$ . Připojuje se sem filtrační kapacitor, který filtruje obě vztažná napětí  $2.U_B/3$  a  $U_B/3$ . K vývodu REF však



Obr. 6.9: Zjednodušené vnitřní zapojení 555 a jeho schématická značka

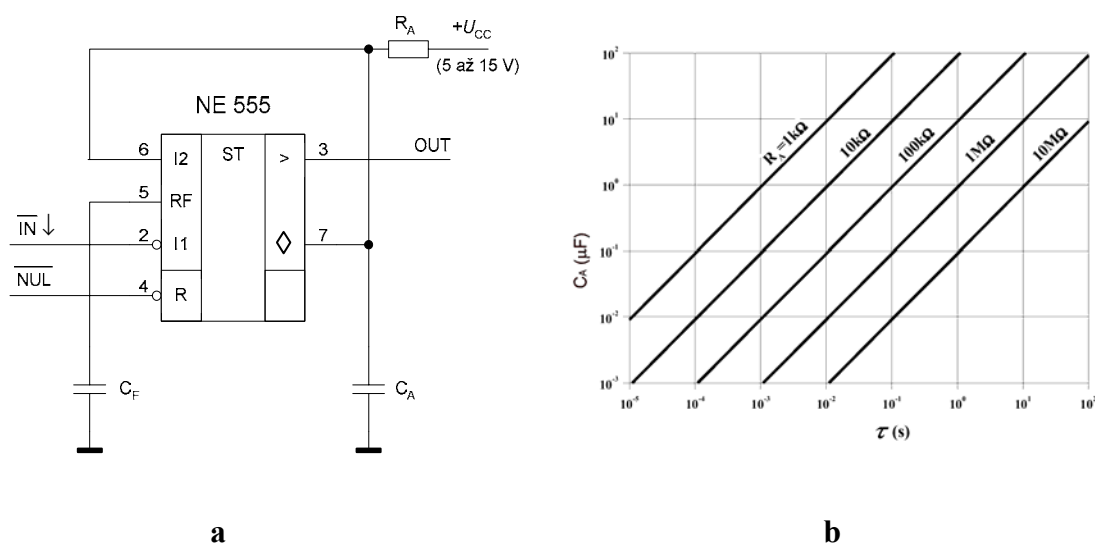
můžeme připojit i vnější jiné referenční napětí  $U_R$  případně se stabilitou lepší než má napájecí napětí  $U_B$ . Vztažná napětí komparátorů pak budou  $U_R$  a  $U_R/2$ .

Napájecí napětí může být  $U_B = 4,5$  až  $16$  V a obvod je tedy schopen přímé spolupráce s logickými obvody CMOS i TTL ( $U_B = 5$  V). Vstupní proudy vyvedených vstupů komparátorů jsou malé, typicky  $100$  nA. Teplotní součinitel pracovních parametrů je  $50 \cdot 10^{-6}/^{\circ}\text{C}$ , závislost časovacích parametrů na napájecím napětí je  $0,05$  až  $0,2$  %/V. Podle použitého zapojení lze realizovat časovací obvody pro doby od mikrosekund po hodiny. Tento obvod se dá použít buď jako monostabilní nebo jako astabilní klopný obvod. Obvod se však používá v celé řadě aplikací: přesné časovací obvody, generování časového zpoždění, několikafázové a sekvenční časovací obvody, generování a tvarování impulsů, šířková impulsová modulace, detektory chybějících impulsů, časové základny, dělení kmitočtu a převodníky napětí na kmitočty.

Monostabilní klopný obvod s časovačem může být zapojen podle obr. 6.10a. V klidovém stavu, při  $\overline{IN} = H$ ,  $\overline{NUL} = H$ , je výstupní tranzistor 555 otevřen a časovací kapacitor  $C_1$  je proto vybit. Přivedeme-li na vstup  $\overline{IN}$  záporný impuls, nastaví se vnitřní klopný obvod RS časovače a výstupní tranzistor se uzavře. Napětí na kapacitoru  $C_1$  začne exponenciálně vzrůstat s časovou konstantou  $R_1 \cdot C_1$ . Za dobu přibližně

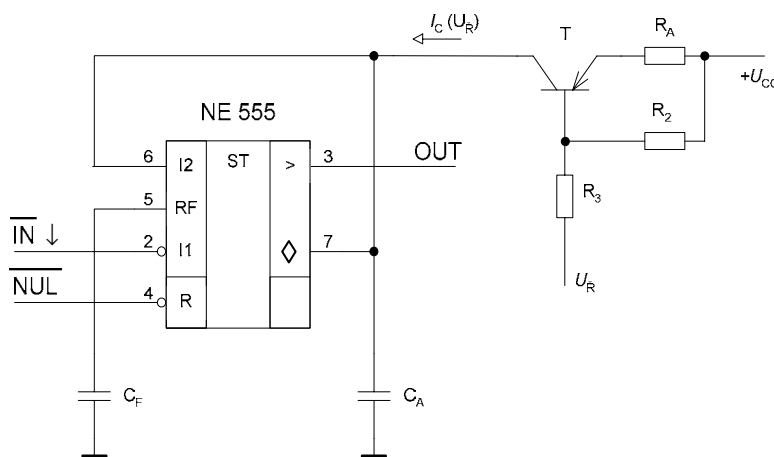
$$T_i \approx 1,1 \cdot R_1 \cdot C_1 \quad (6.6)$$

dosáhne referenční úrovně  $2 \cdot U_{CC}/3$ , a bezprostředně nato se vnitřní klopný obvod překlápí.



Obr. 6.10: a) Zapojení MKO s časovačem 555 a b) grafy pro návrh MKO

Tím se sepne výstupní tranzistor, zkratuje časovací kapacitor  $C_1$  a rychle jej vybije s časovou konstantou přibližně  $R_{ON} \cdot C_1$  na zbytkové napětí  $0,2$  V. Šířka výstupního impulsu  $T_i$  závisí kromě parametrů časovacího členu  $R_1$  a  $C_1$  ještě také na okamžité hodnotě napájecího napětí, (s koeficientem  $dT_i/dU_{CC} \approx 0,35 \cdot 10^{-3} \text{ V}^{-1}$  pro  $U_{CC} = 7,5$  až  $17,5$  V) a dále na teplotě (s teplotním koeficientem  $dT_i/d\theta \approx -32 \cdot 10^{-6} \text{ deg}^{-1}$ ). Orientační graf pro dimenzování časovacích prvků  $R_1$  a  $C_1$  je uveden na obr. 6.10b.



Obr. 6.11: Dálkové řízení doby kyvu MKO

Monostabilní klopný obvod s dálkovým řízením doby kyvu s časovačem 555 je zapojen podle obr. 6.11. Časovací rezistor z obr. 6.10a je na obr. 6.11 nahrazen zdrojem proudu  $I_C(U_R)$  s tranzistorem T. Proud  $I_C(U_R)$  se nastavuje řídicím napětím  $U_R$ . Pro tranzistorový zdroj proudu platí

$$I_C \approx I_E \approx (U_{CC} - U_f) \cdot \frac{R_2}{R_1(R_2 + R_3)} = I_0 - k \cdot U_f \quad (6.7)$$

kde konstanta  $k = R_2/(R_1 \cdot (R_2 + R_3))$  určuje zápornou strmost přímkové převodní charakteristiky  $I_C(U_R)$  tohoto převodníku napětí na proud a kde konstanta  $I_0 = k \cdot U_{CC}$  udává pořadnici bodu, ve kterém protíná tato charakteristika osu proudu. Jinak řečeno konstanta  $I_0$  označuje proud  $I_C$  pro  $U_R = 0$  V. Zvětšování řídicího napětí se projeví zmenšením nabíjecího proudu kapacitoru v MKO, a tedy prodloužením nabíjecího procesu a zvětšením šířky vyráběného impulsu. Doba kyvu MKO se snadno vypočítá jako doba potřebná k nabití kapacitoru  $C_1$  na rozhodovací napětí  $2 \cdot U_{CC}/3$  (popř.  $U_R$ , pokud bychom takové napětí přivedli na vstup RF obvodu 555 - mimochodem toto je další vstup, kterým můžeme ovlivňovat dobu kyvu MKO). Pro dosažení rozhodovací úrovně při nabíjení kapacitoru  $C_1$  konstantním proudem  $I_C(U_R)$  platí vztah

$$2 \cdot U_{CC}/3 = I_C(U_R) \cdot T_i/C_1 + U_0, \quad (6.8)$$

kde  $U_0$  je počáteční napětí na kapacitoru  $C_1$ . Z rovnic (6.7) a (6.8) snadno stanovíme šířku generovaného impulsu (dobu kyvu)

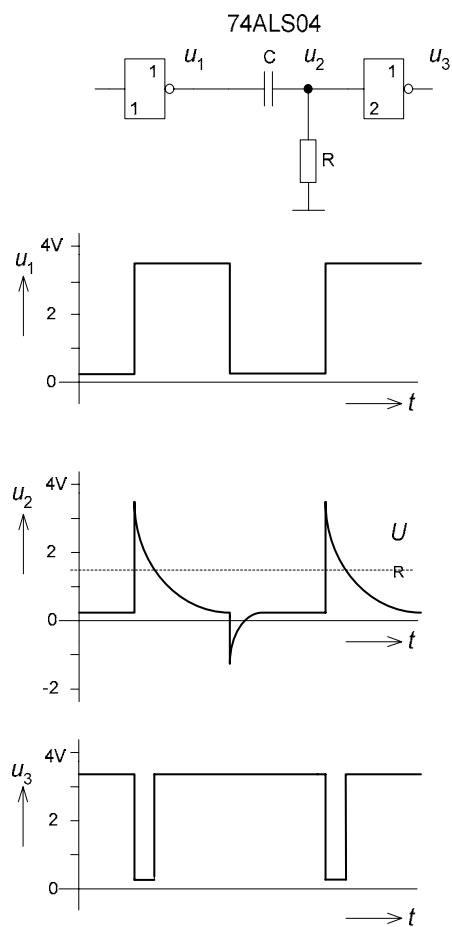
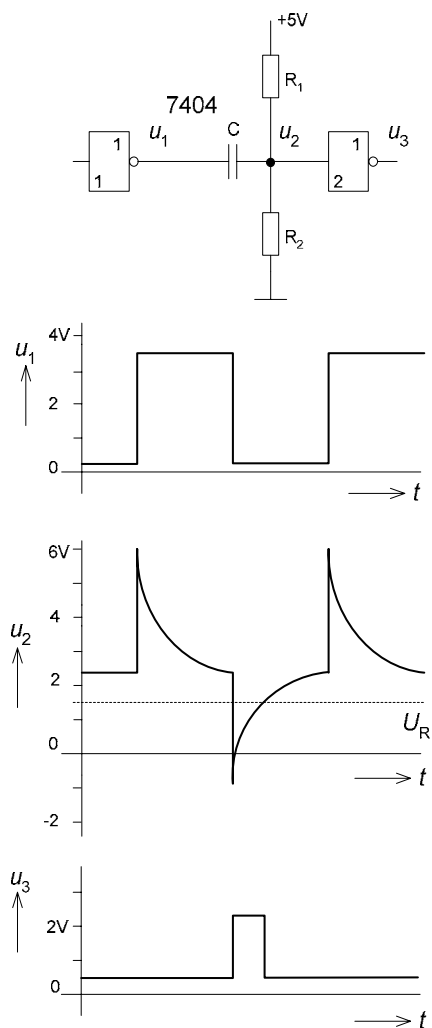
$$T_i = (2 \cdot U_{CC}/3 - U_0) \cdot C_1 / (I_0 - k \cdot U_R). \quad (6.9)$$

Z diskuse rovnice (6.9) vyplývá, že řízení doby kyvu  $T_i$  řídicím napětím  $U_R$  není lineární. Současně je však zřejmé, že pokud použijeme místo rozhodovací úrovně  $2 \cdot U_{CC}/3$  jiného rozhodovacího napětí tím, že vnutíme do vstupu RF časovače 555 vnější napětí  $U_R$ , bude doba kyvu přímo úměrná tomuto napětí  $U_R$ . Napětí  $U_R$  však nesmí být nulové, ani příliš velké. Vhodné rozmezí hodnot odpovídá přibližně intervalu  $(0,3 \text{ až } 0,7) U_{CC}$ .

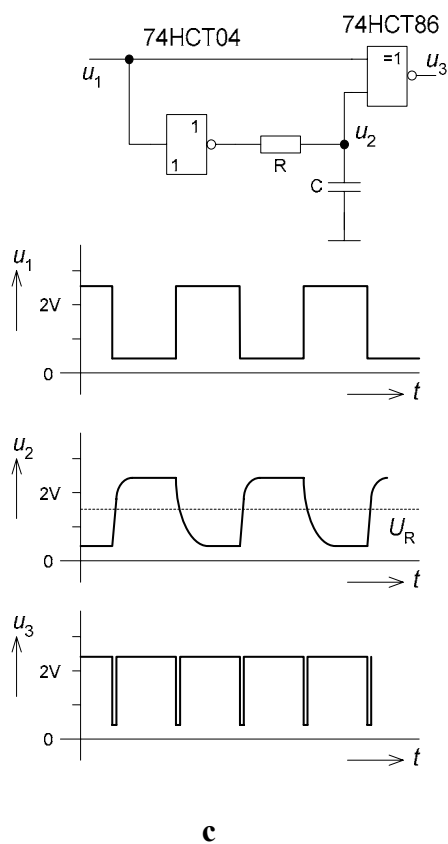
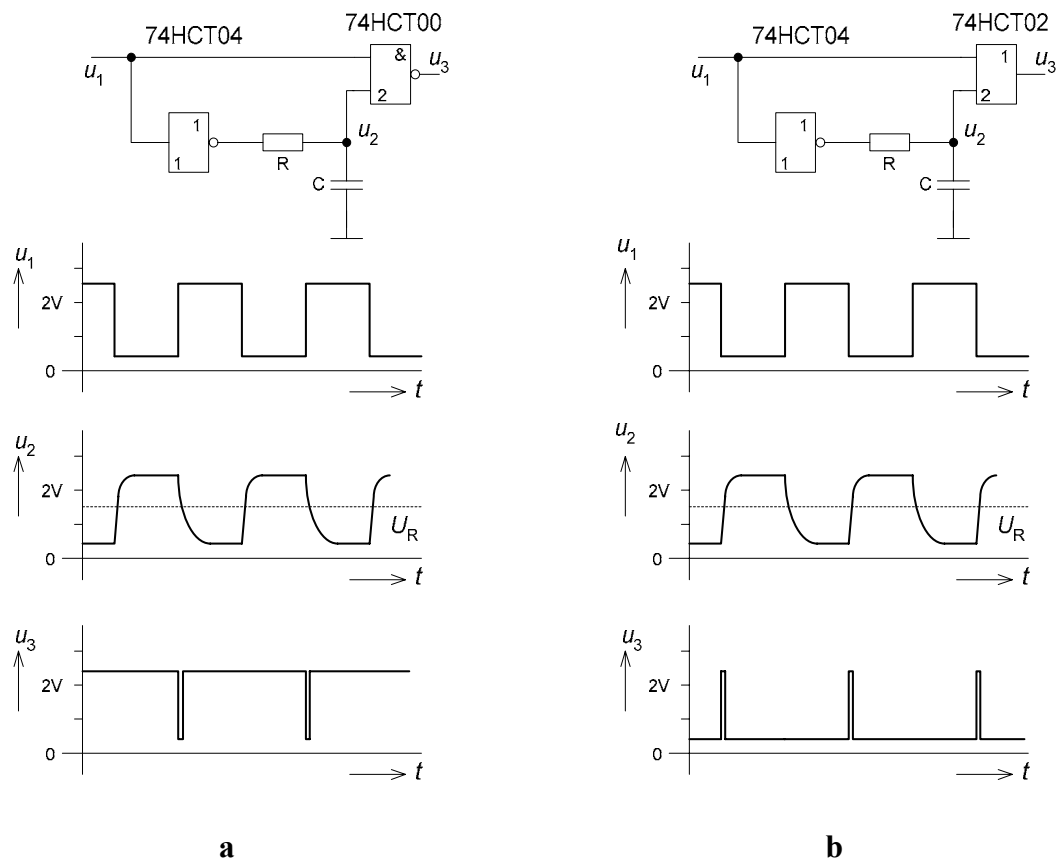
Výroba krátkých impulsů, které jsou odezvou na hrany budících signálů, může být pro méně náročné aplikace snadno vyřešena použitím elementárních pasivních derivačních článků CR ve spolupráci s jednoduchými logickými členy využitými v úloze komparátorů. Na obr. 6.12a je nakreslen tvarovací obvod s pasivním derivačním článkem, který je v digitálních



systemech používán k přiřazení jehlového impulsu vzestupné hraně budicího impulsu. Obě hrany impulsů  $u_1$  jsou článkem CR derivovány, ovšem na tvorbě výstupních impulsů  $u_3$  se podílejí pouze impulsy odvozené od vzestupné hrany původního signálu  $u_1$ , které procházejí rozhodovací úrovní  $U_R$ . Odeznívání přechodného děje po derivaci probíhá u obou hran přibližně exponenciálně, časové konstanty jsou však různé, neboť se uplatňuje nelineární vstupní charakteristika připojeného invertoru a vliv jeho vstupní ochranné diody.

**a****b**

Obr. 6.12: Zkracování impulsů obvody s pasivními derivačními články CR



Obr. 6.13: Použití pasivních integračních článků ke zkracování impulsů

Tvarovací obvod s derivačním článkem podle obr. 6.12b má rezistorovým děličem  $R_1$ ,  $R_2$  nastaveno klidové výstupní napětí  $u_2 \approx 2,5$  V, čemuž odpovídá  $R_1 \approx R_2$ . Pravoúhlé impulsy na výstupu invertoru 1 nabývají střídavě úrovní H a L, tedy u TTL obvodů typicky 3,4 V a 0,4 V. Odpovídající skokové změny napětí o  $\pm 3$  V se derivačním článkem  $CR_1R_2$  přenesou na vstup následujícího invertoru a přibližně exponenciálně doznívají na klidovou úroveň 2,5 V. Časové konstanty exponenciálních průběhů jsou opět ovlivněny nelineární vstupní charakteristikou invertoru. Výstupní impulsy  $u_3$  se v tomto případě odvozují pouze od sestupných hran pravoúhlých kmitů  $u_1$ . Použijeme-li invertor s otevřeným kolektorem, musíme k jeho výstupu připojit další rezistorový dělič  $R_3$ ,  $R_4$ , kterým podobně jako děličem  $R_1$ ,  $R_2$  nastavíme klidovou úroveň výstupu LO1 při úrovni H asi na 2,5 V.

Ke zkracování impulsů však můžeme zdánlivě paradoxně použít i pasivní integrační článek, vhodně zapojený do obvodu. Na obr. 6.13 jsou uvedena schémata a průběhy signálů pro případ, kdy potřebujeme odvodit krátké impulsy od vzestupné, sestupné nebo obou hran budicího signálu. Integrační článek pracuje jako zpožďovací člen (časová zdrž) a způsobuje vzájemné časové posunutí vstupních signálů  $u_1$  a  $u_2$  hradla 2. Podle typu logické funkce tohoto logického obvodu (NAND, NOR, EX-OR) se na jeho výstupu objevují impulsy, přiřazené určitým hranám budicího signálu  $u_1$ . Časová konstanta RC přibližně určuje šířku výstupních impulsů. Při návrhu hodnot R a C jsme vázáni opět podmínkou vyhovět reálným parametrům obvodů. Odpor R musí pro mezní případ splňovat podmínku

$$R \approx (u_{VSTL} - u_{VYSTL})/i_{VSTL} \quad (6.10)$$

Například pro standardní technologii TTL je přípustný odpor  $R \approx (0,8 - 0,4)/0,0016 = 250 \Omega$ , ale například pro technologii HC CMOS (řada MC 54 HC/74HC,  $U_{CC} = 6$  V) bude odpor R teoreticky omezen hodnotou  $R \approx (1,2 - 0,1)/(0,1 \cdot 10^{-6}) = 11 \text{ M}\Omega$ . Použití tak velkého odporu je zcela nereálné, protože obvod by byl extrémně citlivý na rušení z okolí. Praktická největší hodnota odporu bývá 100 k $\Omega$ .

Tab. 6.1: Srovnání časových charakteristik logických obvodů TTL a CMOS

vše v nanosekundách		TTL		
		AS	ALS	FAST
hradla NOR, NAND		SN74AS00	SN74ALS00	74F00
$t_{pLH}, t_{pHL}$	min.	1	5	3,7
	max.	5	11	5
klopné obvody		SN74LS74	SN74ALS74	74F74
$t_{pLH}, t_{pHL}$ (hodiny na Q)	typ.	25	12	6,2
	max.	40	18	8
čítače		SN74LS163	SN74ALS163	74F163
$t_{pLH}, t_{pHL}$ (hodiny na Q)	typ.	18	10	7
	max.	27	17	10

vše v nanosekundách		CMOS		
		14000	HCMOS	FACT
hradla NOR, NAND		MC14001B	MC74HC00	MC74ACT00
$t_{pLH}, t_{pHL}$	typ.	25	8	5
	max.	250	23	8,5
klopné obvody		MC14013B	MC74HC74	MC74ACT74
$t_{pLH}, t_{pHL}$ (hodiny na Q)	typ.	175	23	8
	max.	350	44	10,5
čítače		MC14163B	MC74HC163	MC74ACT1632
$t_{pLH}, t_{pHL}$ (hodiny na Q)	typ.	350	20	5
	max.	700	52	10

Při návrhu kapacity  $C$  musíme respektovat nejmenší přípustnou strmost změn napětí  $u_2$  v oblasti rozhodovací úrovně logického členu (řádově alespoň  $1 \text{ V}/\mu\text{s}$  pro běžné obvody TTL a alespoň  $1 \text{ V/s}$  pro běžný Schmittův klopný obvod). Z průběhů je zřejmé, že šířka výstupních impulsů je přibližně konstantní bez ohledu na to, zda se jedná o vzestupnou nebo sestupnou hranu budících impulsů. Je-li větší než desítky nanosekund, můžeme zanedbat reálné zpoždění signálu v logickém obvodu. Integrační pochod musí však být ukončen včas před příchodem následující hrany vstupního signálu. Obecně musí být při použití logických členů řady 74ACT splněny podmínky

$$T_L > 8 RC, \quad T_H > 3RC, \quad (6.11)$$

kde  $T_L$ , resp.  $T_H$  označují dobu setrvání vstupního signálu článku  $RC$  v úrovni  $L$  po hraně  $H \rightarrow L$ , resp. v úrovni  $H$  po hraně  $L \rightarrow H$ .

### 6.3 Zdržování signálů digitálních obvodů

Problematika zpoždování impulsových signálů zajímá návrháře digitálních obvodů a systémů ze tří hledisek. Jednak jde o přirozené dopravní zpoždění logických signálů při jejich průchodu řetězci logických členů. To se dá na jedné straně využít k tomu, aby logické procesy probíhaly v patřičné časové následnosti. Zpoždění signálu však na druhé straně může vést ke vzniku krátkodobých nepředpokládaných hazardních stavů. Jinou záležitostí je zavádění úmyslného zpoždění impulsů po jejich vyžádání v případech, kdy je to z koncepčních či provozních důvodů nutné nebo účelné. Se třetím druhem zpoždování logických signálů se setkáváme v synchronně pracujících digitálních systémech, a to jednak při synchronním zpracování asynchronně uplatněných podnětů, jednak při zpoždování signálů o jeden nebo několik taktů synchronizačních hodinových impulsů.

**LOGICKÉ ČLENY JAKO ČASOVÉ ZDRŽE.** Z neodstranitelných fyzikálních důvodů dochází při průchodu signálů elektrickými obvody vždy k časovému opoždění odezvy obvodu za příčinou, která tuto odezvu vyvolala. Každý logický člen digitálního obvodu proto představuje časovou zdrž, charakterizovanou zpožděním čel a tylů zpracovávaných impulsů. Časové parametry logických členů jsou dány použitou technologií a složitostí obvodu. V tab. 6.1 jsou srovnány typické a maximální hodnoty časového zdržení  $t_{pLH}$  pro přenos vzestupné hrany a  $t_{pHL}$  pro přenos sestupné hrany.

*REALIZACE A APLIKACE ZPOŽĎOVACÍCH OBVODŮ.* Potřebujeme-li zařadit do řetězce logických členů časovou zdrž s poměrně malým zpožděním, srovnatelným s dobou průchodu logického signálu členem použité typové řady, vytvoříme tuto zdrž jednoduše. Do daného řetězce vložíme jeden nebo několik jednoduchých logických členů, obvykle invertorů nebo opakovačů. Výhodou tohoto řešení je, že se při tomto způsobu zpoždění nenaruší požadavky na strmost hran signálu, nevýhodou je omezený výběr zpožďovacích dob a někdy i nutnost respektovat většinou odlišná zdržení  $t_{PLH}$  a  $t_{PHL}$  pro vzestupnou a pro sestupnou hranu.

Mezi obvody pro zdržování impulsů patří vlastně i obvody s pasivními integračními členy RC, o nichž jsme hovořili v předchozí stati o zkracování impulsů. Pro časovou manipulaci s číslicovými signály mohou být nestandardně použity i jiné konfigurace s pasivními integračními a derivačními obvody, z nichž některé jsou uvedeny v obr. 6.14. Původní pravoúhlé kmity  $u_1(t)$  jsou tvarovány jednotlivými obvody rozdílně podle typu logické funkce použitého členu a podle zapojení a typu použitého pasivního článku RC. V obrázku jsou uvedeny i orientační údaje o posunutí hran, popř. o šířce odvozených impulsů.

V některých případech je potřeba aby mezi podnětem a vydáním výstupního impulsu uplynula delší prodleva. Např. po stisknutí startovacího tlačítka je nutno nejprve celé zařízení vynulovat či inicializovat do předepsaného počátečního stavu a teprve potom vydat startovací impuls, jímž se zahájí jeho činnost. Ke splnění těchto požadavků je třeba vytvořit kaskádu dvou monostabilních klopných obvodů, z nichž první vyrobí po příchodu podnětu (např. po stisknutí tlačítka) impuls, odpovídající svou dobou trvání požadované prodlevě. Potom se závěrnou hranou tohoto impulsu spustí druhý monostabilní klopný obvod, který pak vydá požadovaný výstupní impuls (např. výše uvažovaný startovací impuls).

Obdobně je možné řadit do kaskády i větší počet postupně spouštěných monostabilních klopných obvodů, které pak po řadě vydávají jednotlivé impulsy v požadované časové posloupnosti.

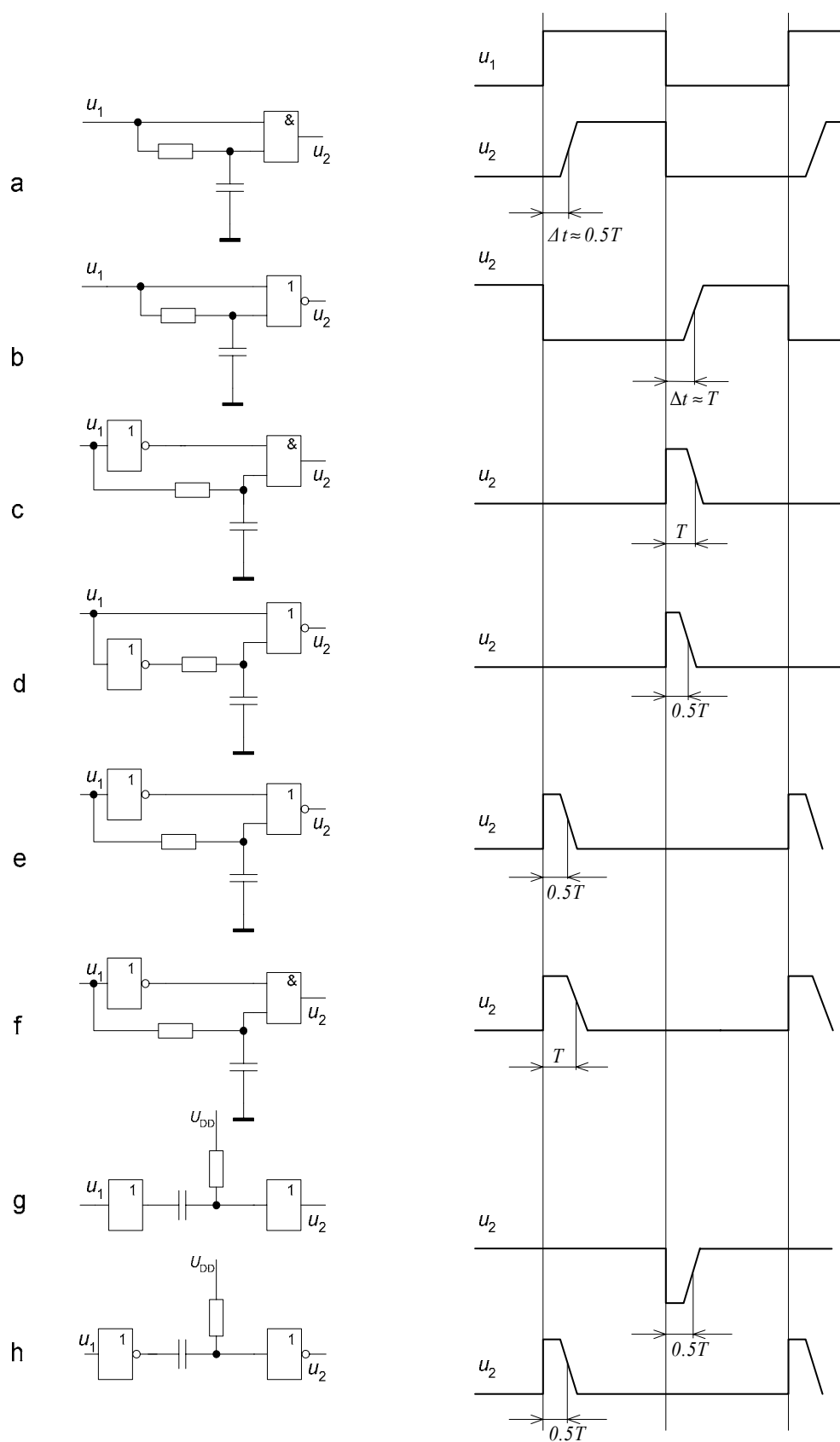
*ŘEŠENÍ ZPOŽĎOVACÍCH ÚLOH V SYNCHRONNÍCH SYSTÉMECH.* V rozsáhlých digitálních systémech by se dalo jen těžko uhlídat, aby nedocházelo ke vzájemným kombinacím signálů s různým a v podstatě nekontrolovatelným zpožděním. Takové prostředí ovšem nahrává vzniku hazardních stavů, které by mohly mít za následek třeba i naprosté zhroucení celého systému. Proto se tyto systémy vytvářejí zásadně jako systémy synchronní, jejichž činnost je řízena synchronizačními hodinovými kmity (periodickými pravoúhlými kmity) a v nichž se logické operace neuskutečňují hned po každé změně, ale vždy až po ustálení všech odezev, navíc jednotně na příkaz aktivní hrany hodinových kmitů.

Tomuto způsobu činnosti je nutno přizpůsobit i případné zpožďování signálů. Tak např. všechny ovládací signály systému přicházejí zpravidla asynchronně, ve zcela nahodilých časech. Tyto asynchronní signály je třeba zdržet do příchodu nejbližší aktivní hrany hodin a po jejich převzetí do synchronního zpracování připravit vstupní obvody na příchod nového asynchronního požadavku. To se obvykle uskutečňuje pomocí klopných obvodů D, paměťových členů, do nichž se zapisuje informace přivedená na datový vstup D dynamicky vzestupnou hranou zápisového impulsu (např. vzestupnou hranou hodin). Přitom se využívá i možnost nastavit výstup do úrovně H nebo L prostřednictvím asynchronně pracujících vstupů R a S.

Klopný obvod D se dá bez problémů použít i ke zpoždění logického signálu o jeden takt hodinových kmitů, anebo kaskáda  $N$  těchto obvodů ke zpoždění o  $N$  taktů hodin. V tomto ohledu je však výhodnější a technicky zralejší použít k danému účelu integrovanou podobu takové kaskády, posuvný registr. Synchronně pracující zpožďovací článek s posuvným

registrem, který je taktován ze zdroje pravoúhlých kmitů s definovaným opakovacím kmitočtem může být zapojen podle obr. 6.15a.

Základní součástí může být patřičně zapojený univerzální posuvný/paměťový 8-bitový registr z řady CMOS FACT typu MC74ACT323. Časové průběhy logických signálů jsou uvedeny na obr. 6.15b. Asynchronně přiváděný vstupní signál IN působící na vstup DS0 je vzorkován v rytmu vzestupných hran hodinových impulsů CLK a takto přenášen na výstup I/O0, resp Q0 již v synchronizované podobě. Na další výstupy IP01 až I/O7 (resp. Q7) je signál posouván se zpožděním po řadě  $T$ ,  $2T$ , ...  $7T$ . Pravdivostní (funkční) tabulka 6.2 umožňuje vysledovat, jak daný obvod s integrovaným obvodem 74ACT323 pracuje.

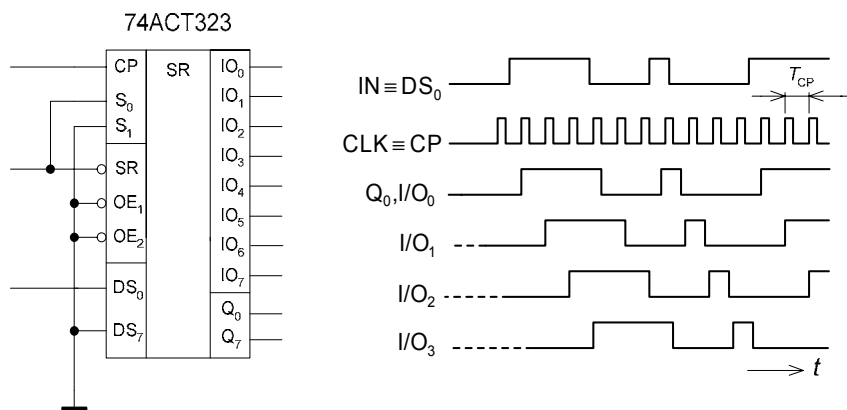


Obr. 6.14: Tvarování pravoúhlých kmitů



Tab. 6.2: Pravdivostní tabulka obvodu 74ACT323

vstupy				funkce	
$\overline{SR}$	$S1$	$S0$	$SP$		
L	X	X	$\uparrow$	synchronní nulování	$Q0$ až $Q7 = L$
H	H	H	$\uparrow$	paralelní vložení	$I/O_n \rightarrow Q_n$
H	L	H	$\uparrow$	posun doprava	$DS0 \rightarrow Q0, Q0 \rightarrow Q1,$
H	H	L	$\uparrow$	posun doleva	$DS7 \rightarrow Q7, Q7 \rightarrow Q6,$
H	L	L	X	beze změny	



Obr. 6.15: Zapojení posuvného registru pro taktované zpoždění signálu a časové průběhy vstupních a výstupních proměnných

## 7 GENERÁTORY PRAVOÚHLÝCH KMITŮ A PULSŮ

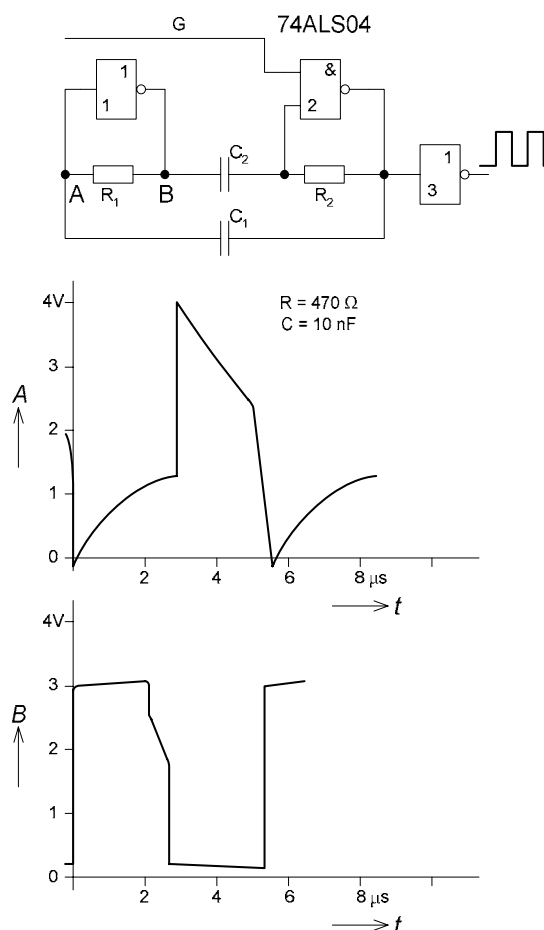
V digitální technice se často používají generátory pravoúhlých kmitů se střídou blízkou 1:1 a pulsu. Mohou to být generátory volně a tedy nepřetržitě pracující i generátory spouštěné, které zahájí výrobu kmitů či pulsu po vyžádání řídicím signálem. Generování periodického výstupního signálu ukončí buď ukončením řídicího signálu nebo po uplynutí předepsané doby, nebo po vyrobení předepsaného počtu impulsů či jejich aktivních hran.

Značnou důležitost mají i přesné generátory pravoúhlých kmitů, jejichž kmitočet je řízen krystalovým piezoelektrickým rezonátorem. Používají se jako zdroje hodinových signálů pro řízení chodu synchronně pracujících digitálních systémů a přesnost a stálost jejich kmitočtu je tak velká, že se používají i k časoměrným účelům.

### 7.1 Generátory pravoúhlých kmitů s logickými členy

Generátory RC s jednoduchými logickými členy a invertory patří ke konstrukčně nejjednodušším, avšak nejméně spolehlivým a kmitočtově nejméně stabilním generátorům.

Na obr. 7.1a je uvedeno zapojení jednoduchého spouštěného generátoru, jehož obvodové řešení je obdobou známého astabilního klopného obvodu - tranzistorového



Obr. 7.1: Generátor RC

multivibrátoru. Jeho činnost je ilustrována průběhy signálů na obr. 7.1b, změřenými pro odpory  $R_1 = R_2 = 470 \, \Omega$  a kapacity  $C_1 = C_2 = 10 \, \text{nF}$ . Pokud setrvá ovládací signál G na úrovni L, zůstává výstup generátoru za tvarovacím obvodem LO3 trvale v úrovni L. Přejde-li řídicí signál G do úrovně H, začínají se vyrábět pravoúhlé kmitly.

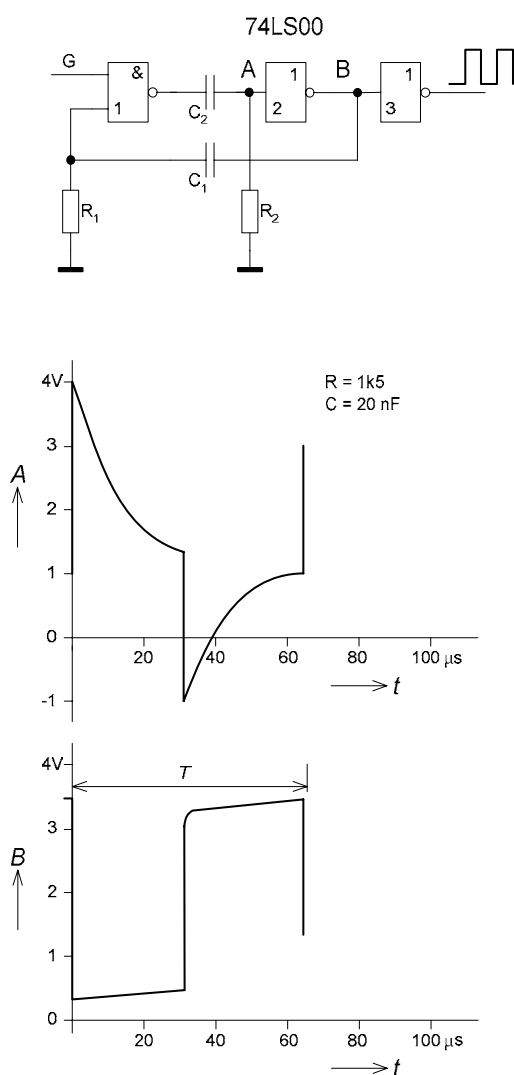
Ze schématu je vidět, že časovací článek  $C_1 R_1$  je svým vstupem zapojen mezi výstupy logických členů LO1 a LO2 a že článek  $C_2 R_1$  je svým vstupem zapojen mezi výstupy LO2 a LO1. Na výstupech LO1 a LO2 je vždy navzájem opačný logický stav. V procesu výroby kmitů tyto obvody svůj výstupní stav periodicky mění. Proto je zřejmé, že se kapacitory budou střídavě nabíjet a vybíjet. Kdyby použité logické členy měly zanedbatelný vstupní proud, bylo by možné stanovit z exponenciálně probíhajících nabíjecích a vybíjecích křivek doby dosažení rozhodovacích úrovní LO1 popř. LO2 a vypočítat tak periodu vyráběných kmitů. Avšak v tomto případě jsou zejména nabíjecí pochody (a právě ty rozhodují o překlopení obvodu) silně ovlivněny tím, že

vstupní proudy logických členů podstatně urychlují nabíjení kapacitorů a zkracují tak dobu potřebnou k dosažení rozhodovací úrovně a následnému překlopení obvodu. Výpočty

zahrnující tyto vlivy by byly pro daný účel zbytečně rozsáhlé, pro první návrh proto použijeme jen empirický vzorec  $T \approx RC$ , popř.  $f \approx 1/(RC)$ , kde  $R = R_1 = R_2$  a  $C = C_1 = C_2$ , a parametry  $R$  a  $C$  upřesníme teprve při oživování přístroje.

Pokud zvolíme  $R_1 = R_2$  a  $C_1 = C_2$ , je střída kmitů přibližně 1 : 1. Pro  $R_1 = R_2 = 500 \, \Omega$  až  $1 \, k\Omega$  můžeme použít  $C_1 = C_2 = 100 \, pF$  až  $100 \, \mu F$ , přičemž výstupní kmitý mají kmitočet z rozmezí asi 10 Hz až 10 MHz.

Výroba kmitů okamžitě ustane, přejde-li řídicí signál  $G$  do úrovně  $L$ . Pokud jako LO2 použijeme jednoduchý invertor, dostaneme volně běžící multivibrátor.



Obr. 7.2: Generátor RC s derivačními články

sočasně probíhají dva děje: Jednak se nabíjí kapacitor  $C_1$  přes rezistor  $R_1$ , takže napětí  $u_{R1}$  se exponenciálně zmenšuje. Souběžně s tím se poměrně rychle změní náboj kapacitoru  $C_2$ , a to především zásluhou velkého proudu dodávaného ze vstupu LO2; toto nabíjení však ustane při napětí  $u_{R2} \approx 1,5 \, V$ , při kterém převezme celý vstupní proud LO2 rezistor  $R_2$ . Když při tomto procesu poklesne napětí  $u_{R1}$  až k rozhodovací úrovni asi 1,5 V, přejde výstup LO1 skokem na úroveň  $H$ , tato změna se přenesení přes článek  $C_2 R_2$  na vstup LO2 a způsobí, že jeho výstup přejde do stavu  $L$ . Je zřejmé, že oba logické členy si vyměnily své úlohy a proces pokračuje

Generátor, jehož schéma je uvedeno na obr. 7.2, používá pasivní členy  $RC$  jako jednoduché časovací obvody pro generování požadovaného kmitočtu, přičemž odpory pracovních rezistorů jsou větší než  $1 \, k\Omega$ . Křivky ilustrující průběhy signálů  $A$  a  $B$  jsou nakresleny na obr. 7.2 pro  $R = 1,5 \, k\Omega$  a  $C = 10 \, nF$ . V klidovém stavu je na výstupu LO1 úroveň  $H$ , napětí v bodu  $A$  se dá určit z průběhu vstupní ampérovoltové charakteristiky invertoru LO2 při zatížení tohoto vstupu rezistorem  $R_2$  a činí  $u_A = u_{R2} \approx 1,5 \, V$ . Pracovní bod LO2 se proto zřejmě nachází ve strmé části jeho převodní charakteristiky, kdy výstupní tranzistory LO2 jsou sice otevřeny, ale nejsou v saturaci, takže výstupní napětí LO2 je dáno především nelineárními vlastnostmi připojeného vstupu LO3 a ustálí se na hodnotě asi  $u_B \approx 1,5 \, V$ . V důsledku toho se nastaví na výstupu LO3 také jakýsi nedefinovaný stav mezi úrovněmi  $H$  a  $L$ , ovlivnitelný připojenými zátěžemi, a právě tato vlastnost generátoru je jeho slabou stránkou.

Když požádáme o generování kmitů ovládacím signálem  $G = H$ , výstupní napětí LO1 skokem přejde na úroveň  $L$ . Tato změna  $H \rightarrow L$  se přenesení derivačním obvodem  $C_2 R_2$  okamžitě na vstup LO2 a v důsledku toho se výstupní signál LO2 změní skokem na  $H$ . Tato skoková změna  $L \rightarrow H$  o velikosti asi 3 V se přenesení přes článek  $C_1 R_1$  na zpětnovazební vstup LO2. Následuje období, ve kterém

vytváření průběhů druhé části vyráběných kmitů, která se ukončí tím, že klesající napětí  $u_{R2}$  dosáhne rozhodovací úrovně členu LO2 a vyvolá tak následné překlopení tohoto astabilního klopného obvodu zpět do výchozího stavu. Celý proces se začne periodicky opakovat. Periodické generování kmitů lze zastavit přestavením řídicího signálu  $G$  na úroveň L.

Periodu vyráběných kmitů určíme z této úvahy: Kapacitor  $C_2$  je na počátku nabit přibližně na 1,5 V. Po přechodu L→H na výstupu LO1 se k tomu přidají asi 3 V, takže na začátku nabíjení kapacitoru  $C_2$  přes  $R_2$  je v bodu A napětí  $u_{A0} \approx 4,5$  V. Rozhodovací úroveň  $U_r \approx 1,5$  V dosáhne napětí  $u_A$  za dobu  $T_1$ , pro niž platí vztah

$$T_1 = R_2 C_2 \ln(u_{A0}/U_r) = R_2 C_2 \ln(4,5/1,5) = R_2 C_2 \ln 3 \approx 1,1 R_2 C_2. \quad (7.1)$$

Pro dobu trvání druhé části periody můžeme odvodit obdobně

$$T_2 \approx 1,1 R_1 C_1, \quad (7.2)$$

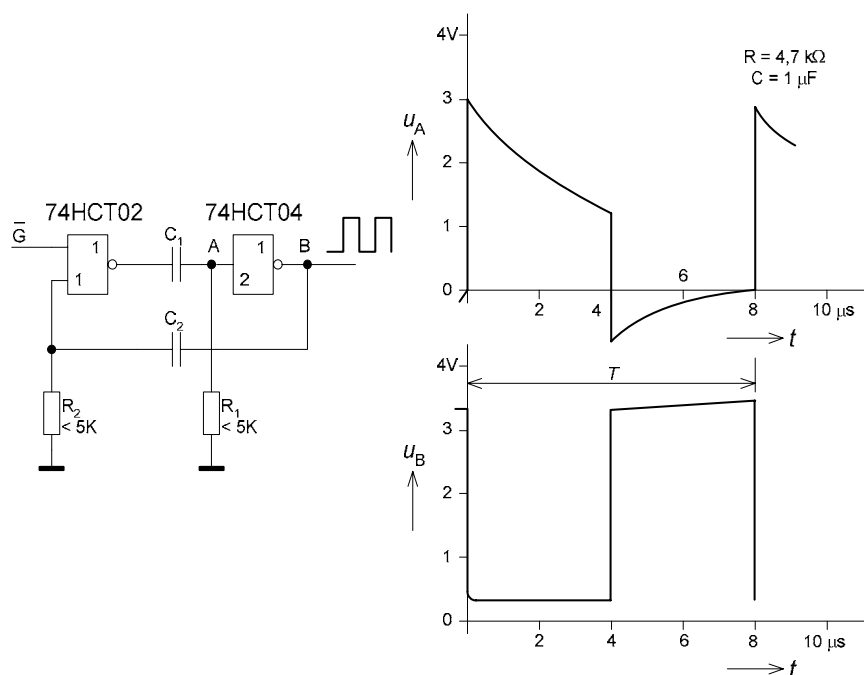
takže perioda vyráběných kmitů

$$T = T_1 + T_2 \approx 1,1(R_1 C_1 + R_2 C_2), \quad (7.3)$$

anebo v případě  $R_1 = R_2 = R$  a  $C_1 = C_2 = C$  se střídou 1 : 1

$$T = 2,2.RC. \quad (7.4)$$

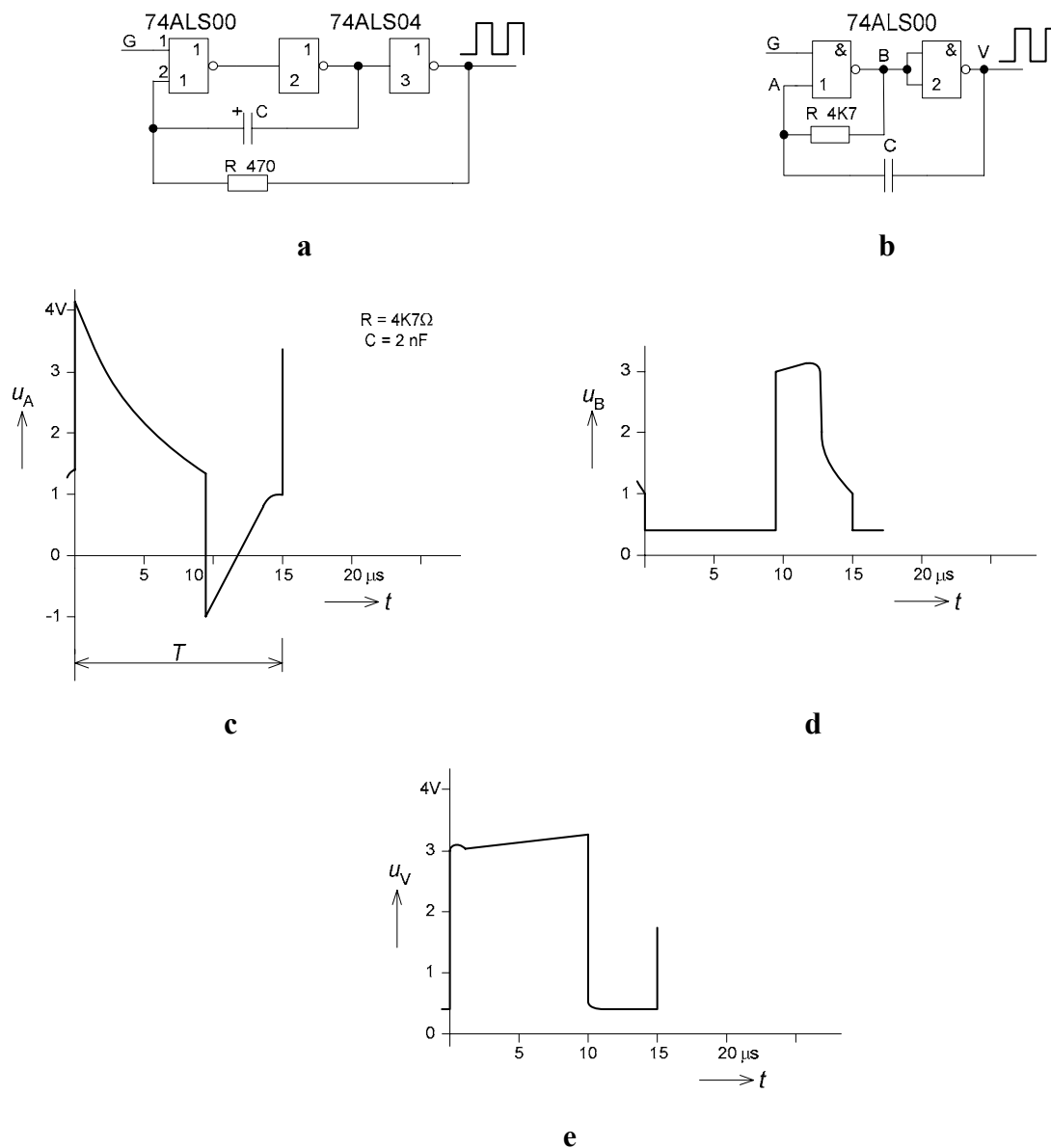
Odpor  $R$  volíme obvykle 1,5 až 5 k $\Omega$ ,  $C$  k tomu vypočítáme podle požadovaného kmitočtu.



Obr. 7.3: Generátor RC pravoúhlých kmitů

Velmi podobné zapojení jako právě popsany generátor má i další typ spouštěného generátoru RC, jehož schéma je nakresleno na obr. 7.3a Jako hradlovací obvod LO1 je použit obvod NOR (např. 74xxx02) a odpory rezistorů  $R_1$  a  $R_2$  musí být menší než 5 k $\Omega$  (pro standardní technologii TTL je přípustná hodnota odporu jen do 500  $\Omega$ ). V zablokovaném stavu při  $\bar{G} = H$  je na výstupu LO1 úroveň L. Výstupní signál  $B = H$ , neboť v klidu je  $A = L$ , je-li splněna výše uvedená podmínka  $R_1, R_2 < 500 \Omega$ . Vyžádáme-li generování kmitů změnou ovládacího signálu  $\bar{G}$  na aktivní úroveň L, změní se výstupní napětí LO1 skokem na H. Tato

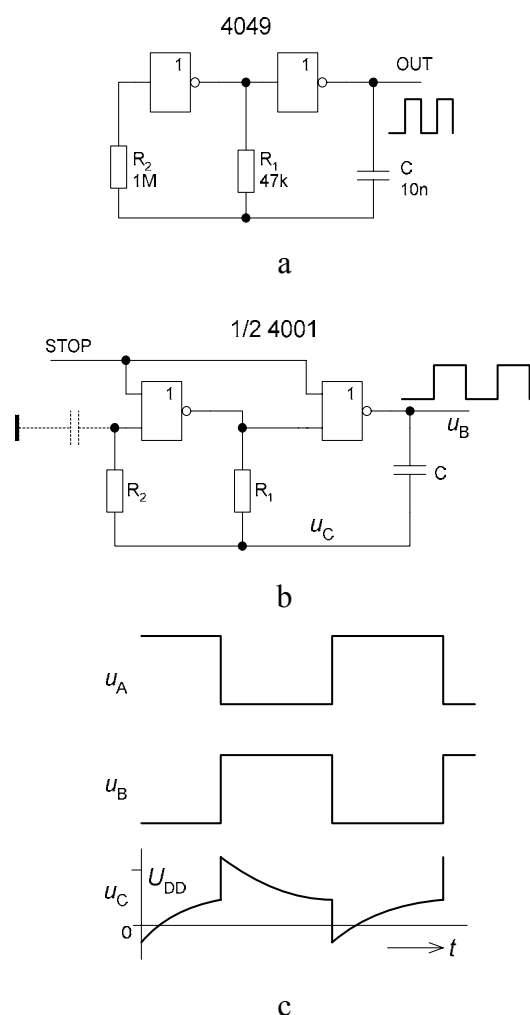
změna se přenesse derivačním obvodem  $C_1R_1$  na vstup LO2 a způsobí tak změnu jeho výstupní úrovně na L. Napětí A na vstupu LO1 pak exponenciálně klesá až do rozhodovací úrovně asi 1,5 V, kdy LO2 znovu překlápí. Změna L→H jeho výstupního napětí se přenesse derivačním obvodem  $C_2R_2$  na zpětnovazební vstup LO1 a popsaný pochod pokračuje, tentokrát pro LO1. Generování kmitů lze zastavit volbou  $\overline{G} = H$ . Průběhy signálů nakreslené na obr. 4.3 byly změřeny pro  $R = R_1 = R_2 = 470 \, \Omega$  a  $C = C_1 = C_2 = 10 \, \text{nF}$ . Perioda impulsů je  $T \approx 2.RC$ .



Obr. 7.4: Generátor TTL s jedním článkem RC

Na obr. 7.4a je uvedeno zapojení nesymetrického generátoru pravoúhlých kmitů se třemi logickými obvody. Jako časovací prvek, určující výsledný kmitočet, je použit jediný časovací člen RC. Při výrobě kmitů v obvodu dochází ke střídavému přepínání polarit napětí napájecího člen RC, a proto i napětí na kapacitoru  $C$  se mění po dvou různých ustalovacích

křivkách. Dosáhne-li hodnota klesajícího popř. rostoucího napětí na vstupu 2 obvodu LO1



Obr. 7.5: Generátor CMOS a) neřízený, b) řízený, c) časové průběhy

úrovně rozhodovacího napětí (asi 1,5 V) dojde ke změně stavu na výstupu LO1 a v důsledku toho se skokem změní i stav na výstupu LO2 a LO3 a ustalovací pochod nabíjení či vybíjení kapacitoru se změní na opačný. Protože změna na výstupu LO3 je jen zpožděnou kopií změny na výstupu LO1, je možné tento generátor zjednodušit vypuštěním invertoru LO3 na zapojení podle obr. 7.4b. Na obr. 7.4c jsou pro  $R = 4,7 \text{ k}\Omega$  a  $C = 1 \text{ nF}$  uvedeny průběhy, ilustrující činnost obvodu. Perioda generovaných pravoúhlých kmitů je přibližně  $T \approx 1,6 RC$  (klesající část průběhu  $u_A$  trvá jako v předchozím případě asi  $1,1 RC$ , rostoucí část je značně ovlivněna vstupním proudem LO1 a je proto kratší, trvá jen asi  $0,5 RC$ ). Tomu pak odpovídá kmitočet generovaných kmitů  $f \approx 0,63/(RC)$ . Aktivní úroveň ovládacího signálu pro generování pravoúhlých kmitů je  $G = H$ . Při přechodu  $G$  zpět do klidové úrovně  $L$  se generování kmitů hned ukončí.

U všech popsaných generátorů RC je stabilita kmitočtu vyráběných kmitů silně závislá na teplotě, napájecím napětí i na použitých logických obvodech.

Konstrukce generátorů pravoúhlých kmitů popř. pulsů s logickými členy CMOS je obdobná, metodika jejich návrhu se však poněkud liší v důsledku zanedbatelně malých vstupních proudů obvodů CMOS.

Základní zapojení astabilního multivibrátoru, uvedené na obr. 7.5a, je určeno ke generování periodických pravoúhlých kmitů. Na místě invertoru lze použít libovolný logický člen CMOS, zapojený jako invertor. Pomocí vícevstupových členů můžeme snadno ovládat rozběh a zastavení chodu generátoru. Příkladem může být spouštěný multivibrátor podle obr. 7.5b, s časovými průběhy uvedenými v obr. 7.5c. Při  $STOP = H$  je  $u_A$  i  $u_B$  v úrovni  $L$  a kapacitor je v ustáleném stavu vybitý. Po spuštění signálem  $STOP = L$  se oscilátor rozkmitá. To proto, že napětí  $u_B$  přejde do úrovně  $H$ , tato změna se okamžitě přenesse přes kapacitor  $C$  a rezistor  $R_2$  na zpětnovazební vstup prvního logického členu a potvrdí tak jeho dosavadní úroveň  $L$ . V následující etapě se v důsledku vybíjení kapacitoru  $C$  proudem tekoucím přes rezistor  $R_1$  zmenšuje napětí  $u_C$ , a to až do té doby, kdy dosáhne rozhodovací úrovně  $U_R$  prvního logického členu (viz obr. 7.5c). Na tuto situaci zareaguje multivibrátor tím, že se překlápí. Přechod  $H \rightarrow L$  výstupního napětí  $u_B$  se přenesse přes kapacitor  $C$ , napětí  $u_C$  skokem přejde až do záporné oblasti. Začala další etapa děje, charakterizovaná nabíjením  $C$  přes  $R_1$  a postupným růstem napětí  $u_C$ . Jakmile dosáhne  $u_C$  hodnoty prahového napětí, překlápí se multivibrátor zpět do výchozí polohy a celý předchozí děj se začne periodicky opakovat.

Perioda vznikajících kmitů  $T$  se dá rozdělit na dva samostatné úseky,  $T = T_1 + T_2$ , vymezené okamžiky překlopení multivibrátoru ze základního stavu do opačného stavu a zase zpět do základního stavu. Pro první úsek platí

$$T_1 \approx CR_1 \cdot \ln \frac{U_{DD} + U_R}{U_R} = k_1 \cdot CR_1, \quad (7.5)$$

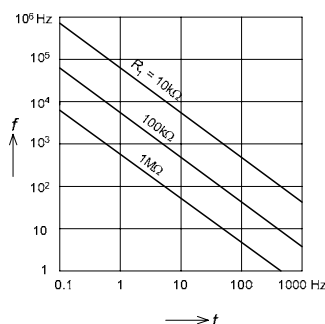
pro druhý

$$T_2 \approx CR_1 \cdot \ln \frac{2U_{DD} - U_R}{U_{DD} - U_R} = k_2 \cdot CR_1, \quad (7.6)$$

přičemž  $U_R$  označuje rozhodovací prahové napětí použitého logického členu. Generované kmity mají tedy kmitočet

$$f = \frac{1}{T} \approx \frac{1}{CR_1 \cdot (k_1 + k_2)}. \quad (7.7)$$

Diskuse rovnic (7.5) a (7.6) ukazuje, že pro obyčejné obvody CMOS, které mají rozhodovací napětí  $U_R \approx U_{DD}/2$ , bude  $k_1 = k_2 = \ln 3 \approx 1,1$ , takže kmitočet  $f \approx 1/(2,2 \cdot CR_1) \approx 0,455/(CR_1)$ . V takovém případě bude i střída generovaných kmitů  $T_1 : T_2$  rovna přibližně 1 : 1. Pokud však použijeme ke konstrukci tohoto multivibrátoru logických členů, které mají rozhodovací napětí  $U_R$  odlišné od  $U_{DD}/2$ , bude se tím měnit i střída vyráběných kmitů a v menší míře i kmitočet (např. při  $U_R = 0,4 U_{DD}$  bude střída asi 1,28 : 1, avšak kmitočet se změní jen asi o 1,6 %).



Obr. 7.6: Souvislost  $R_1$ ,  $C$ ,  $f$  u generátoru CMOS

Perioda  $T$ , a tedy i kmitočet jsou u tohoto generátoru málo závislé na napětí  $U_{DD}$ ,  $U_R$  a na teplotě. Aby multivibrátor správně pracoval, musí být splněny podmínky  $R_1 \ll R_2$  a  $C_{VST} \cdot R_2 \ll C \cdot R_1$ , kde  $C_{VST}$  označuje parazitní vstupní kapacitu prvního logického členu. Účelem zařazení  $R_2$  je zmenšit vliv ochranné vstupní diody a jejího propustného napětí na kmitočet výstupního signálu.

Pro orientační návrh tohoto generátoru pravoúhlých kmitů můžeme s výhodou použít graf uvedený na obr. 7.6, podle kterého lze pro požadovaný kmitočet  $f$  vybrat vhodné

hodnoty  $R_1$ ,  $C$  (a tedy i  $R_2$ ).

Střída výstupních pravoúhlých kmitů obecně není zcela přesně 1 : 1. Pokud však v určitém případě je taková přesná střída požadována, můžeme provozovat multivibrátor s dvojnásobně větším kmitočtem  $2f$  a kmity s kmitočtem  $f$  a přesnou střídou 1 : 1 pak získáme dosáhneme použitím pomocného děliče kmitočtu dvěma, který reaguje pouze na periodicky se opakující vzestupné hrany signálu z výstupu multivibrátoru (viz schéma na obr. 7.7).

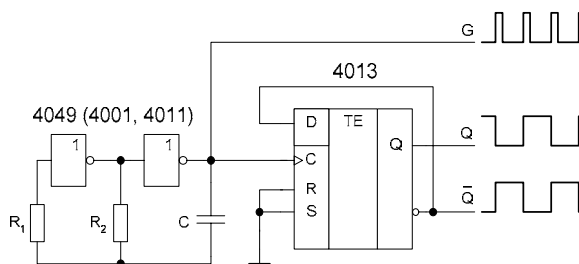
Modifikovaná varianta generátoru z obr. 7.5a je uvedena na obr. 7.8a. Malá změna - vynechání rezistoru  $R_2$  mezi kapacitorem  $C$  a vstupem prvního invertoru - má značný vliv na kmitočet vyráběných kmitů. Je to proto, že do děje vstupují ochranné diody na vstupu tohoto invertoru, které na jedné straně nedovolí, aby napětí v bodu B převýšilo hodnotu  $U_{DD}$  o víc než o +0,7 V a na druhé straně omezí záporná napětí v tomto bodě na úrovni -0,7 V. Předchozí rovnice pro  $T_1$  a  $T_2$  je proto nutno přizpůsobit novým podmínkám:

$$T_1 \approx CR \cdot \ln \frac{U_{DD} + 0,7V}{U_R} = k_1 \cdot CR \quad , \quad (7.8)$$

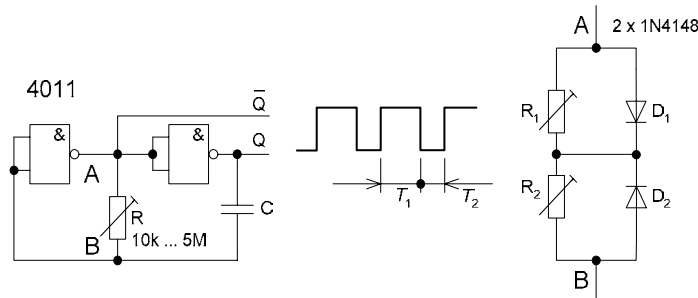
$$T_2 \approx CR \cdot \ln \frac{U_{DD} + 0,7V}{U_{DD} - U_R} = k_2 \cdot CR \quad . \quad (7.9)$$

Rovnice (7.7) pro kmitočet zůstává přitom v platnosti, ovšem s novými hodnotami  $k_1$  a  $k_2$ , získanými z rovnic (7.8) a (7.9).

Předpokládáme-li opět obvyklý jednoduchý případ  $U_R = U_{DD}/2$ , potom zjistíme, že při  $U_{DD} = 5; 10; 15 \text{ V}$  bude  $k_1 = k_2 \approx 0,82; 0,76; 0,74$ . Hodnoty budou dost rozdílné od předchozího případu, kde bylo  $k_1 = k_2 \approx 1,1$ .



Obr. 7.7: Generátor pravoúhlých kmitů se střídou přesně 1 : 1



Obr. 7.8: Řízení kmitočtu a nastavení střídý kmitů

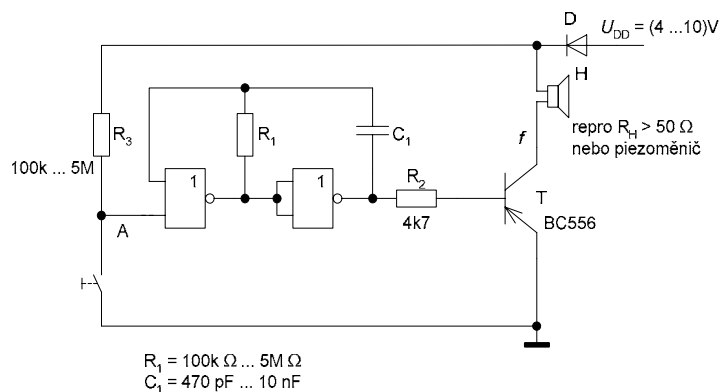
V obr. 7.8 je současně naznačeno, jak je možno měnit kmitočet generovaných kmitů. Volbou kapacity  $C$  vybíráme vhodný kmitočtový rozsah, uvnitř tohoto rozsahu přeladujeme změnou odporu trimru  $R$ . K orientačnímu výpočtu používáme samozřejmě rovnice (7.8), (7.9) a (7.7). Střída generovaných kmitů bude i při přeladování stále přibližně 1 : 1.

Někdy ovšem požadujeme, aby střída výstupních kmitů nebyla 1 : 1, anebo dokonce aby byla nastavitelná. V takovém případě můžeme odporový trimr zapojený mezi uzly  $A$  a  $B$  nahradit složitějším členem, uspořádaným podle obr. 7.8b. Pomocí  $R_1$  a  $R_2$  pak můžeme samostatně nastavovat doby  $T_1$  a  $T_2$ , tvořící periodu  $T$ .

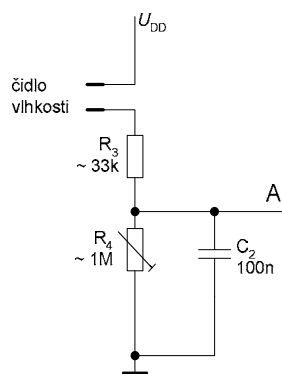
Při příliš velké kapacitě  $C$  by mohl být nabíjecí proud kapacitoru nepřijatelně velký pro výstupní obvody druhého invertoru. V takovém případě se doporučuje vřadit do série s kapacitorem omezovací rezistor.

Na obr. 7.9a je uvedeno zapojení zvukového indikačního obvodu, který ohlásí zapnutí mechanického kontaktu nebo změnu odporu měřicího sensoru akustickým signálem. Výstupní kmitý oscilátoru mají dostatečnou amplitudu, ale logický člen CMOS 4001 neumožňuje přímé buzení výkonové zátěže. Proto jsou kmitý výkonově posíleny v emitorovém sledovači s bipolárním tranzistorem  $T$  a budí akustický měnič (sluchátko, reproduktor) s odporem  $R_H > 50 \Omega$ . Pro uvedené hodnoty odporu  $R_1 = 0,1$  až  $5 \text{ M}\Omega$  a  $C_1 = 0,47$  až  $10 \text{ nF}$  můžeme při zapnutí spínače slyšet tón s kmitočtem volitelným mezi  $15 \text{ Hz}$  až  $15 \text{ kHz}$ . Přístroj může být napájen z baterie, křemíková dioda  $D$  jej chrání proti prepólování zdroje.

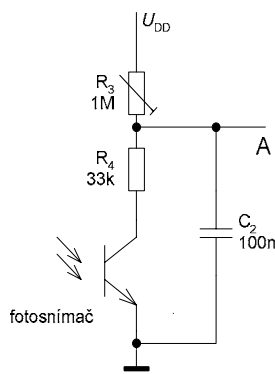




a



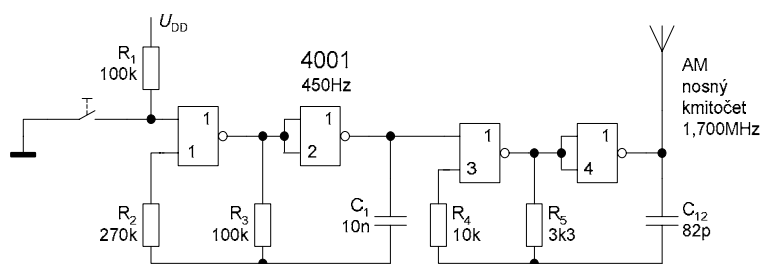
b



c

Obr. 7.9: Využití generátoru CMOS pro indikaci stavu snímače

modulačním signálem jsou nízkofrekvenční pravoúhlé kmity. Stlačením (telegrafního) klíče K se rozkmitá pomaluběžný generátor s logickými členy 1 a 2, pracující na kmitočtu  $f_1 \approx 450$  Hz. Výstupní pravoúhlé kmity střídavě zapínají a vypínají další spouštěný generátor s hradly 3 a 4, pracující na kmitočtu  $f_2 \approx 1,7$  MHz. V<sub>f</sub> výstupní AM kmity budí vysílací anténu a mohou být přijaty běžným rozhlasovým přijímačem.



Obr. 7.10: Jednoduchý AM vysílač pro nácvik telegrafie

šestice invertorů jednoho pouzdra integrovaného obvodu typu 4049 jsou dva využity jako zdroj budících pravoúhlých kmitů s kmitočtem asi 10 kHz, zbývající čtyři pak jako výkonový budič pro diodový zdvojovač napětí s diodami  $D_1$ ,  $D_2$  a kapacity  $C_2$ ,  $C_3$ . V rytmu budících napěťových impulsů se v té polovině periody, kdy je na výstupu budiče úroveň L, nabije kapacitor  $C_2$  přes diodu  $D_1$  na napětí blízké  $U_{DD}$  a v další polovině periody, kdy je na výstupu

Je-li naopak potřeba zvukem indikovat vypnutí spínače nebo zvětšení odporu snímače, stačí ve schématu na obr. 7.9a zaměnit spínač a rezistor  $R_3$ . Působením vlhkosti nebo ponořením elektrod sensoru v uspořádání podle obr. 7.9b do vodivé kapaliny se zmenší odpor mezi elektrodami a ozve se nastavený tón. Kapacitor  $C_2$  potlačuje případná rušivá napětí, která by se mohla při rozpojených elektrodách indukovat na vstup (např. síťový brum). Fotosnímač uvedený na obr. 7.9c spustí zvukový signál při osvětlení fototranzistoru. Místo fototranzistoru můžeme použít i fotodiodu nebo fotoodpor.

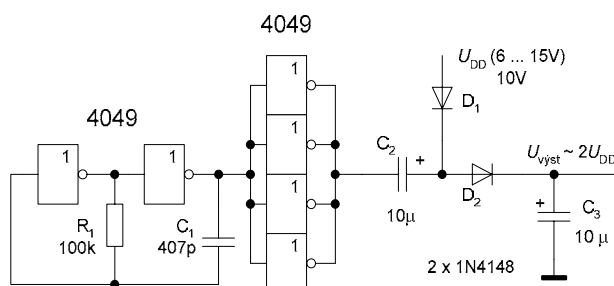
Obvodem podle obr. 7.10 lze vysílat vysokofrekvenční pravoúhlé kmity, modulované amplitudově s hloubkou modulace 100 %, přičemž

Obvody CMOS lze použít i při výrobě pomocného stejnosměrného napětí. Na obr. 7.11 je uvedeno schéma zapojení takového pomocného zdroje malého výkonu, určeného k získání napětí většího než napájecí napětí  $U_{DD}$ . Z

budiče úroveň H, předává přes diodu D2 svůj náboj kapacitoru C<sub>3</sub>. Protože na anodu diody působí v prvním okamžiku po přechodu L→H součet výstupního napětí budiče (téměř  $U_{DD}$ ) a napětí na nabitěm kapacitoru C<sub>2</sub> (také přibližně  $U_{DD}$ ) je zřejmé, že při provozu naprázdno bude výstupní napětí

$$U_{VYST0} \approx 2U_{DD} . \quad (7.10)$$

Při zatěžování výstupu zdvojovače napětí odběrem proudu dochází ovšem k poklesu výstupního napětí. Pro představu: Při  $U_{DD} = 10 \text{ V}$  bude  $U_{VYST0} \approx 20 \text{ V}$ . Při odběru proudu 5 mA klesne výstupní napětí asi na 17 V, při 10 mA asi na 16 V a při 15 mA asi na 14,5 V.



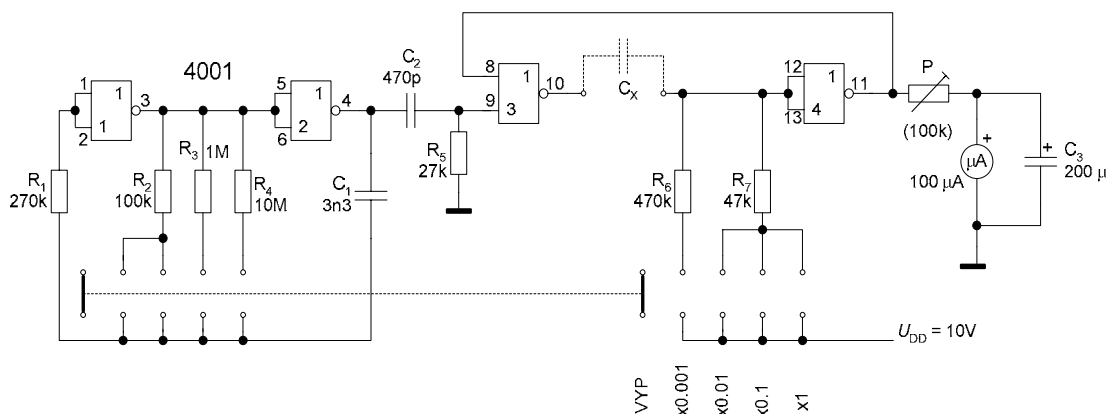
Obr. 7.11: Zdroj pomocného ss napětí

Jestliže změníme při použití téhož budičského systému polaritu diod, kapacitorů a katodu diody D<sub>1</sub> připojíme na společný vodič (zem), dostaneme zdvojovač tentokrát záporného napětí. Napětí je vztažné vůči rozvodu napájecího napětí. Jeho výstupní napětí

naprázdno proto bude

$$U_{VYST0} \approx U_{DD} - 2U_{DD} = -U_{DD} . \quad (7.11)$$

Vytvořili jsme tak malovýkonový zdroj, schopný dodávat záporné napětí v prostředí, kde je k dispozici jen kladné napájecí napětí. Pro posouzení zatěžovacích vlastností tohoto zdroje můžeme použít údajů z předchozího příkladu, musíme však respektovat, že všechna napětí jsou menší o  $U_{DD}$  (tj. o 10 V) a že proudy i napětí mají opačná znaménka.



Obr. 7.12: Měřič kapacity 200 pF až 2µF

V zařízení uspořádaném podle obr. 7.12 je využito spolupráce generátoru pravoúhlých kmitů a monostabilního klopného obvodu k vytvoření měřiče kapacity, při jehož konstrukci se vystačí s použitím jednoho pouzdra integrovaného obvodu CMOS typu 4001, které obsahuje čtyři členy NOR.

Invertory LO1 a LO2 tvoří spolu s pasivními prvky periodicky pracující generátor pravoúhlých kmitů s přepínatelným provozním kmitočtem  $f_p = 1/T_p$ . Člen NOR LO3 a inverter LO4 s dalšími pasivními prvky tvoří monostabilní klopný obvod. Kapacita C<sub>x</sub> vně připojovaného měřeného kapacitoru určuje spolu s odporem přepínaného rezistoru R<sub>p</sub> (podle

polohy přepínače buď  $R_6$  nebo  $R_7$ ) šířku  $T_i \approx 0,7 C_X R_p$  výstupního impulsu (připomeňme si rovnici (7.2)). Monostabilní klopný obvod je periodicky spouštěn krátkým impulsem, odvozeným pomocí derivačního článku  $C_2 R_5$  z vzestupné hrany řídicích kmitů, vyráběných taktovacím generátorem. Na výstupu LO4 tedy dostaneme pravoúhlé kmity, tvořené řadou periodicky se opakujících impulsů, jejichž výška nad klidovou úrovní  $L \approx 0$  V je  $H \approx U_{DD}$  a jejichž šířka  $T_i$  je přímo úměrná kapacitě  $C_X$ .

Tab. 7.1: Pracovní parametry měřiče kapacity

poloha přepínače	$f_p$ [Hz]	$T_i$ [ms]	$C_X$ [nF]
VYP	-	-	vypnuto
x0,001	1 380	0,066 až 0,66	0,2 až 2
x0,01	1 380	0,006 až 0,66	2 až 20
x0,1	138	0,66 až 6,6	20 až 200
x1	13,8	6,6 až 66	200 až 2 000

Tyto pravoúhlé kmity mají střední hodnotu danou součinem výšky impulsů  $U_{DD}$  a činitele využití  $T_i/T_p$ , a tedy

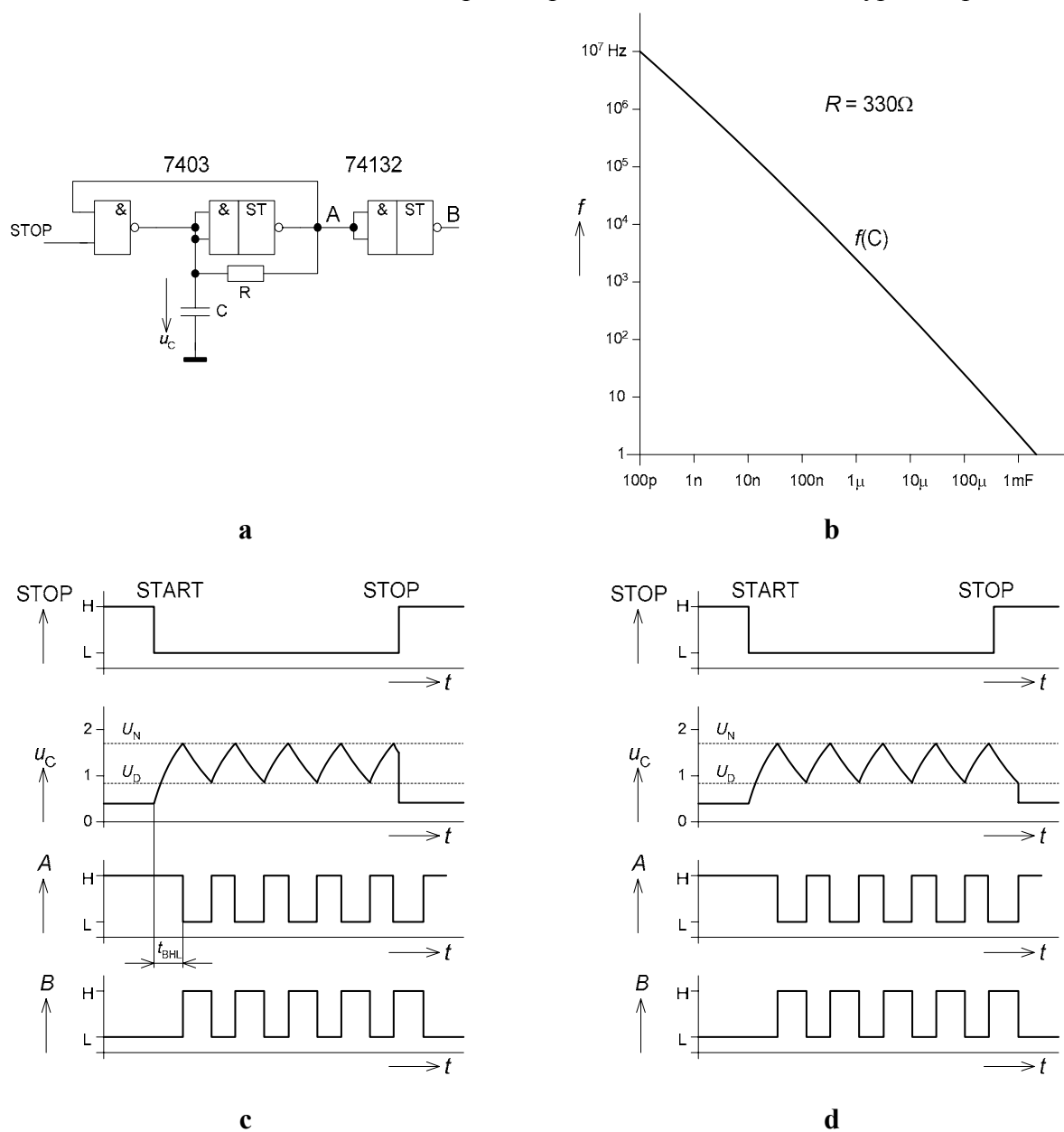
$$U_s = U_{DD} \cdot T_i/T_p = U_{DD} \cdot T_i \cdot f_p \approx C_X \cdot 0,7 \cdot U_{DD} \cdot R_p \cdot f_p = k_p \cdot C_X, \quad (7.12)$$

kde konstanta  $k_p$  závisí na nastavení provozních podmínek přepínačem rozsahů. Hodnotu  $U_s$  měříme ručkovým voltmetrem připojeným k výstupu LO4. Aby nedocházelo při použití nejnižšího provozního kmitočtu  $f_p$  (necelých 14 Hz) k rozkmitání ručkového ukazatele, jsou mechanické integrační vlastnosti měřidla posíleny ještě elektricky tím, že je měřidlo přemostěno elektrolytickým kapacitorem  $C_3$  s kapacitou 200  $\mu$ F.

V tab. 7.1 jsou uvedeny hodnoty pracovního kmitočtu  $f_p$ , šířky  $T_i$  periodicky generovaných měřících impulsů a odpovídající rozsahy měřené kapacity pro připojené ručkové měřidlo 100  $\mu$ A.

Spouštěný generátor RC v uspořádání podle obr. 7.13a umožňuje libovolně odstartovat a zastavit generování pravoúhlých kmitů. Ovládacím obvodem je člen NAND s otevřeným kolektorem, LO1, jehož výstupní tranzistor je použit jako řízený spínač pro zkratování popř. uvolnění časovacího kapacitoru C. Činnost generátoru je zřejmá z časových průběhů signálů, uvedených na obr. 7.13c a d. Využívá se hystereze obvodu 74132 (7414 ad.), charakterizované dvěma rozhodovacími úrovněmi  $U_N$  a  $U_D$ , mezi nimiž probíhá zhruba exponenciální nabíjení a vybíjení časovacího kapacitoru, přičemž nabíjení nebo vybíjení rozhoduje okamžitý stav logického signálu A na výstupu LO2. Z porovnání časových snímků zachycených v obr. 7.13c a d můžeme konstatovat, že všechny vyrobené impulsy mají shodnou šířku, i když přijde požadavek k ukončení výroby kmitů v době, kdy je právě tvarováno temeno impulsu. Dokončení tohoto impulsu v potřebné šířce je totiž chráněno zpětnou vazbou z výstupu LO2 na vstup LO1, která dovolí aktivovat LO1 teprve v okamžiku ukončení výroby posledního impulsu jeho závěrečnou hranou. Diagram na obr. 7.13b umožňuje stanovit pro daný typ generátoru orientačně kapacitu časovacího kapacitoru, vázanou na použití rezistoru R s odporem 330  $\Omega$ . Pro digitální obvody s nižšími vstupními proudy (74AS, 74ALS, 74ACT, 74HCT) se odpor zvýší až na 5 k $\Omega$ . Pro stejné kmitočtové rozsahy pak stačí nižší kapacita časovacího kapacitoru.

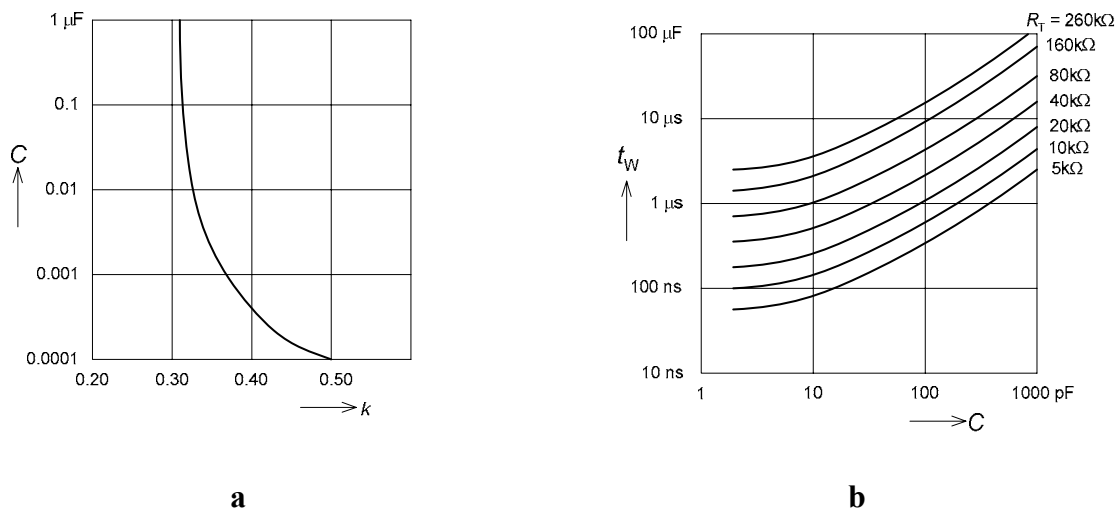
Dvoutónový generátor zapojený podle obr. 7.14 používá obvody CMOS s hysterezní charakteristikou. Obsahuje celkem tři spouštěné generátory pravoúhlých kmitů. Prostřední generátor, je řídicí a periodicky přepíná k dalšímu využití pravoúhlé kmity buď z výstupu LO1-1 nebo z výstupu LO1-3. Takto získané dvoutónové pravoúhlé kmity lze přivést do nízkofrekvenčního zesilovače, zesílit a použít pro akustickou indikaci vypnutí spínače či



Obr. 7.13: Spouštěný generátor pravoúhlých kmitů

zvětšení odporu snímače S na vstupu generátoru. Kmitočet všech tří oscilátorů se nastavuje odporovými trimry v zpětnovazebních členech oscilátorů. Kmitočty horního a dolního generátoru jsou mnohem vyšší, než je kmitočet prostředního přepínacího generátoru. Zapojení generátoru lze snadno modifikovat vzájemnou záměnou spínače či snímače S a rezistoru  $R_1$ . Zapnutí spínače popř. zmenšení odporu snímače S potom rozezvučí střídající se tón vydávaný elektroakustickým měničem, připojeným k výstupu zesilovače.





Obr. 7.16: a) Souvislost časovací kapacity a korekčního činitele  $k$  z rov. (7.13), b) grafy pro návrh MKO s 74123 a 74423

V prvním případě je kladná zpětná vazba uzavřena jen přes první MKO, který tak generuje krátké impulsy se šířkou odpovídající jen době průchodu hrany  $L \rightarrow H$  ze vstupu MKO na jeho výstup a s periodou přibližně  $T \approx T_{\text{MKO}}$ , kde  $T_{\text{MKO}}$  označuje nastavenou dobu kyvu obvodu. Tento typ generátoru může být zapojen podle obr. 7.15. MKO 1 produkuje krátké impulsy s šířkou asi 20 ns a s periodou

$$T \approx T_{\text{MKO1}} \approx k \cdot R_1 C_1, \quad (7.13)$$

kde  $k = 0,32$  pro  $C_1 = 1 \mu\text{s}$  až  $k = 0,5$  pro  $C_1 = 100 \text{ pF}$  můžeme pro konkrétní návrh zjistit z grafu na obr. 7.16a. Doba  $T_{\text{MKO1}}$  může být také přímo vyhodnocena podle obr. 4.16b. Pro časovací odpor  $R_1 = 5$  až  $260 \text{ k}\Omega$  a časovací kapacitu např.  $C_1 = 10 \text{ pF}$  až  $500 \mu\text{F}$  je rozsah nastavitelných kmitočtů  $f_1 = 12,5 \text{ MHz}$  až  $0,025 \text{ Hz}$ .

Druhý MKO2 je spouštěn vzestupnými hranami impulsů z MKO1 a tvaruje tak výstupní pravoúhlé impulsy, jejichž šířka

$$T_i \approx T_{\text{MKO2}} \approx k \cdot R_2 C_2 \quad (7.14)$$

je určena dimenzováním časovacího članku  $R_2 C_2$ . Z uvedeného principu vyplývá samozřejmá podmínka  $T_i < T$ . Pokud je zadána střída  $\beta = T_i / (T - T_i)$ , určíme k ní potřebnou šířku impulsů ze vztahu

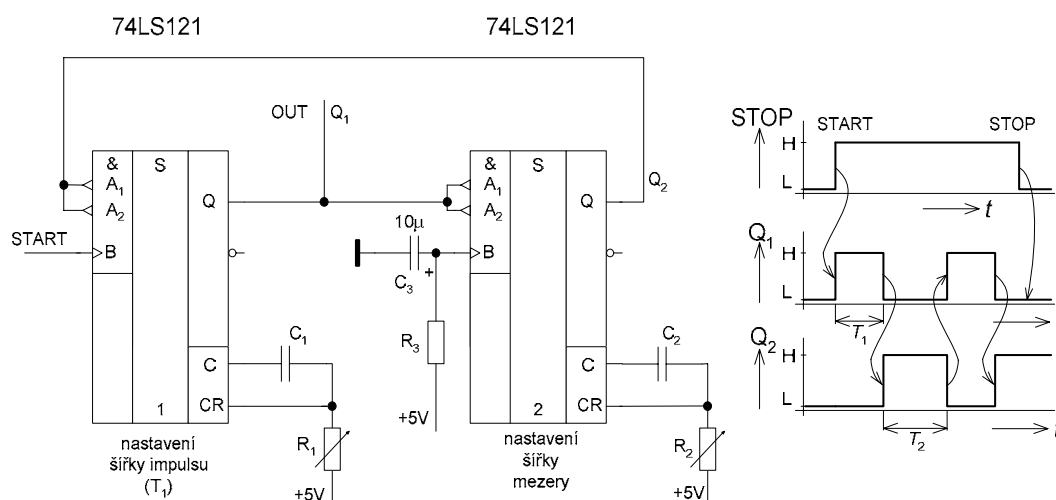
$$T_i = T \cdot \beta / (1 + \beta). \quad (7.15)$$

Signál STOP umožňuje zastavit (STOP = H) nebo rozběhnout (STOP = L) proces generování kmitů.

Ve druhém případě je zpětná vazba uzavřena přes oba monostabilní klopné obvody podle obr. 7.17. První klopný obvod generuje impulsy s dobou trvání  $T_1 \approx 0,7 R_1 C_1$ . Závěrnou hranou těchto impulsů se spouští druhý klopný obvod, který generuje impulsy s dobou trvání  $T_2 \approx 0,7 R_2 C_2$ . Vzhledem ke způsobu uzavření zpětné vazby je celková perioda výstupních kmitů rovna

$$T = T_1 + T_2 \approx 0,7 (R_1 C_1 + R_2 C_2) \quad (7.16)$$

Doba  $T_1$  určuje trvání impulsů a doba  $T_2$  trvání mezer mezi impulsy. Kmitočet i střidu je proto nutné nastavovat současně pomocí  $T_1$  i  $T_2$ . Pro  $R = 2$  až  $40 \text{ k}\Omega$  a  $C = 39 \text{ pF}$  až  $500 \text{ }\mu\text{F}$  mohou být doby  $T_1$ ,  $T_1 = 100 \text{ ns}$  až  $100 \text{ s}$ . Rozsah nastavitelných kmitočtů je přibližně  $0,05 \text{ Hz}$  až  $5 \text{ MHz}$ . Pomocný člen  $R_3 C_3$  zaručuje bezpečný rozběh po zapnutí napájení, je-li  $\text{START} = \text{H}$ .



Obr. 7.17: Pulsní generátor s MKO typu 74121

### 7.3 Generátory pravoúhlých kmitů a pulsů s časovačem

Generátory impulsů s universálním časovačem 555 používají jako základní stavební prvek obvod typu 555, doplněný vhodnou smyčkou kladné zpětné vazby. Na obr. 7.18 je uvedeno základní zapojení generátoru pravoúhlých kmitů s časovačem 555. Blokové schéma tohoto časovače bylo uvedeno na obr. 6.9 a v souvislosti s tím byly popsány i základní charakteristické vlastnosti tohoto obvodu. Vyvedené vstupy  $R_1$  a  $\bar{S}$  obou vnitřních komparátorů jsou navzájem spojeny a připojeny na výstup časovacího článku  $R_1$ ,  $R_2$ ,  $C$ . Rozhodovací úrovně napětí těchto komparátorů jsou  $U_1 \approx U_B/3$  a  $U_2 \approx 2U_B/3$ . Na obr. 4.18b jsou uvedeny průběhy vstupního napětí  $u_C$  komparátorů a odezva obvodu na výstupu Q. Exponenciálně probíhající proces nabíjení kapacitoru  $C$  přes dvojici resistorů  $R_1$  a  $R_2$ , začínající počáteční úrovní  $U_1$ , směřující k ustálené úrovni  $U_B$  (viz nabíjecí křivku  $u_n(t)$  v obr. 7.18b) a končící rozhodovací úrovní  $U_2$  trvá po dobu

$$T_1 \approx C(R_1 + R_2) \ln 2 \approx 0,7 C(R_1 + R_2), \quad (7.17)$$

kde  $C(R_1 + R_2)$  je časová konstanta nabíjení ( $\ln 2$  souvisí s rozhodovací úrovní  $U_2$  právě v polovině nabíjecího intervalu ( $U_1$ ,  $U_B$ )). Při dosažení rozhodovací úrovně  $U_2$  se klopný obvod časovače překlápá a v důsledku toho se připojí výstup Q přes saturovaný spínací tranzistor na

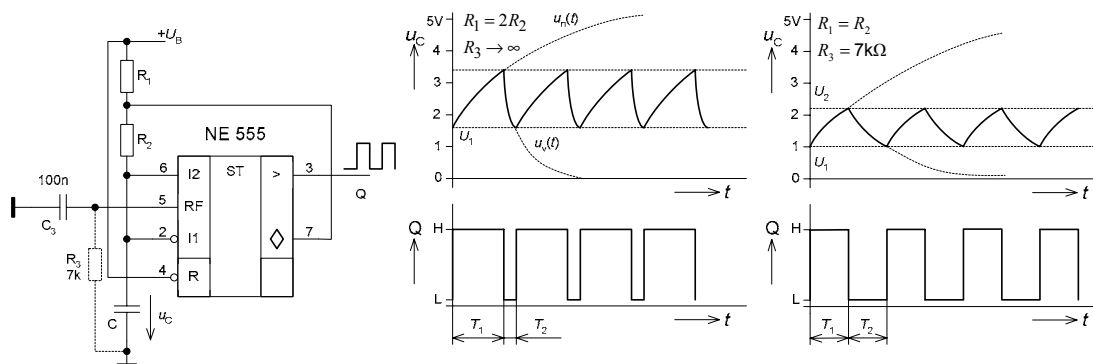
společný vodič (zem). Kapacitor  $C$  se začne nyní vybíjet s časovou konstantou  $C.R_2$  (viz vybíjecí exponenciálu  $u_v(t)$  v obr. 7.18). K dosažení dolní rozhodovací úrovně  $U_1$  je přitom potřeba doba

$$T_2 \approx CR_2 \ln 2 \approx 0,7 CR_2. \quad (7.18)$$

Po dosažení dolní rozhodovací úrovně se klopný obvod časovače přepne zpět do původního stavu a začíná další etapa nabíjení. Celý proces se periodicky opakuje s periodou  $T_p = T_1 + T_2$ , takže vyráběné kmitočky mají kmitočet

$$f_p = 1/T_p \approx 1,43/(C(R_1 + 2R_2)). \quad (7.19)$$

Protože zřejmě  $T_2 < T_1$ , není střída generovaných kmitů 1 : 1, ale závisí na vzájemném poměru  $R_1 : R_2$ .



Obr. 7.18: Zapojení generátoru impulsů s časovačem 555

Na obr. 7.18 jsou nakresleny průběhy signálů pro případ, kdy chceme dosáhnout střidy výstupních impulsů 1 : 1. K tomu účelu musíme k vývodu REF připojit čárkovane zakreslený rezistor  $R_3$  s odporem přibližně  $7 \text{ k}\Omega$ , jímž posouváme rozhodovací úrovně na  $U_1 \approx 0,23 U_B$  a  $U_2 \approx 0,46 U_B$ . Další podmínkou je volit  $R_1 = R_2$ . Přesné nastavení střidy 1 : 1 je možné úpravou odporu  $R_3$  nebo  $R_1$  popř.  $R_2$ . Pro výstupní kmitočet přitom platí

$$f_0 \approx 0,74 CR_1. \quad (7.20)$$

Připomeňme, že při požadavku přesné střidy 1 : 1 doplníme za výstup časovače kmitočtovou děličku číslem 2. Časovače musí kmitat na dvojnásobném kmitočtu. Podobně jako u integrovaného obvodu 74121 můžeme i v tomto případě sestavit periodicky pracující generátor pravoúhlých kmitů s použitím dvou časovačů NE555 nebo jednoho obvodu 556, který obsahuje dva časovače. Také v tomto případě jsou možné dva základní principy činnosti. První z nich používá jeden časovač jako astabilní multivibrátor s nastavitelným kmitočtem a druhý časovač jako spouštěný monostabilní klopný obvod s nastavitelnou délkou trvání impulsu ve funkci tvarovače výstupních kmitů. Druhý princip je charakterizován uzavřením zpětnovazební smyčky přes oba časovače využitě jako monostabilní klopné obvody, přičemž jedním z nich nastavujeme dobu trvání impulsů a druhým určujeme trvání mezer mezi nimi.

## 7.4 Generátory řízené napětím nebo proudem

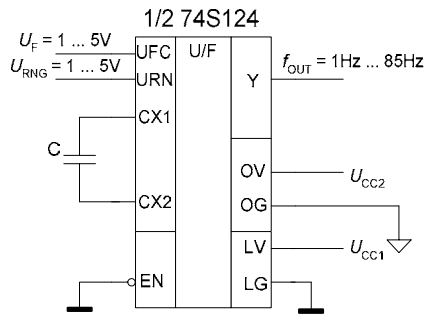
Generátory pravoúhlých kmitů či pulsů řízené napětím nebo proudem využívají možnosti volit časovací děj generátoru pomocí vnějšího ovládacího napětí nebo proudu. V některých případech o těchto generátorech hovoříme jako o převodnicích napětí (proudu) na kmitočet.





tranzistor s otevřeným kolektorem ve výstupu Q se otevře a vybije kapacitor  $C_1$ . Při průchodu klesajícího napětí uc úrovní  $U_B/3$  se výstupy časovače opět překlopí, výstupní tranzistor se uzavře a kapacitor se začíná znovu lineárně nabíjet. Periodickým opakováním popsaného děje dostáváme na výstupu Q> časovače periodický sled úzkých pravoúhlých impulsů, jejichž kmitočet je pro dané hodnoty součástek závislý na řídicím napětí podle vztahu

$$f \approx 4200 u_{\text{ř}} . \quad (7.21)$$

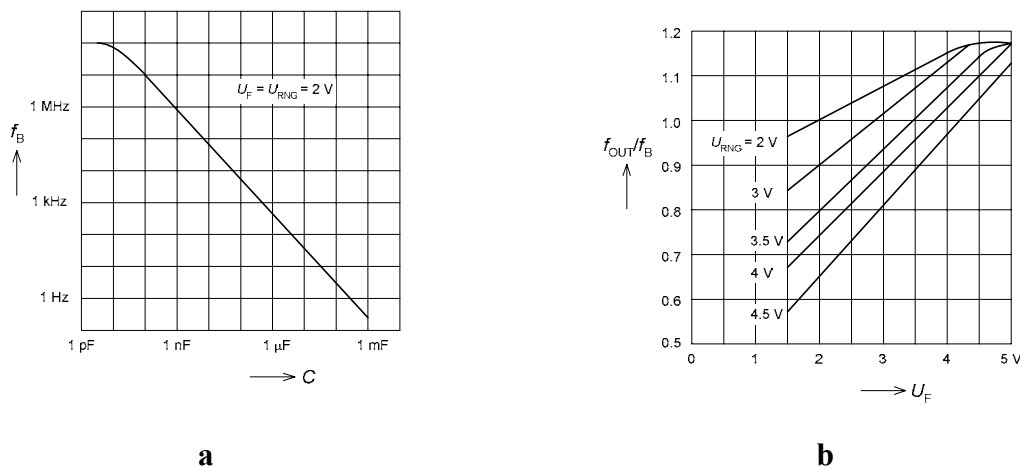


Obr. 7.21: Zapojení generátoru řízeného napětím s obvodem 74S124

Při změně řídicího napětí v mezích  $u_{\text{ř}} = 0$  až 5 V se bude kmitočet výstupních kmitů měnit v rozmezí téměř  $f = 0$  až 21 kHz. Linearita převodu napětí na kmitočet je zatížena chybou nejvýše 3 %.

Pro konstrukci napětím řízeného generátoru pravoúhlých kmitů využít i převodníky napětí na kmitočet, které jsou součástí monolitických obvodů pro vytváření smyček fázového závěsu (PPL). Typickým příkladem této skupiny je obvod CMOS s typovým označením 4046. Kromě toho jsou k

dispozici i speciální monolitické generátory pravoúhlých kmitů, jejichž kmitočet je řízen napětím, jako je např. integrovaný obvod 74S124, obsahující v jednom pouzdru dvojici takových generátorů.



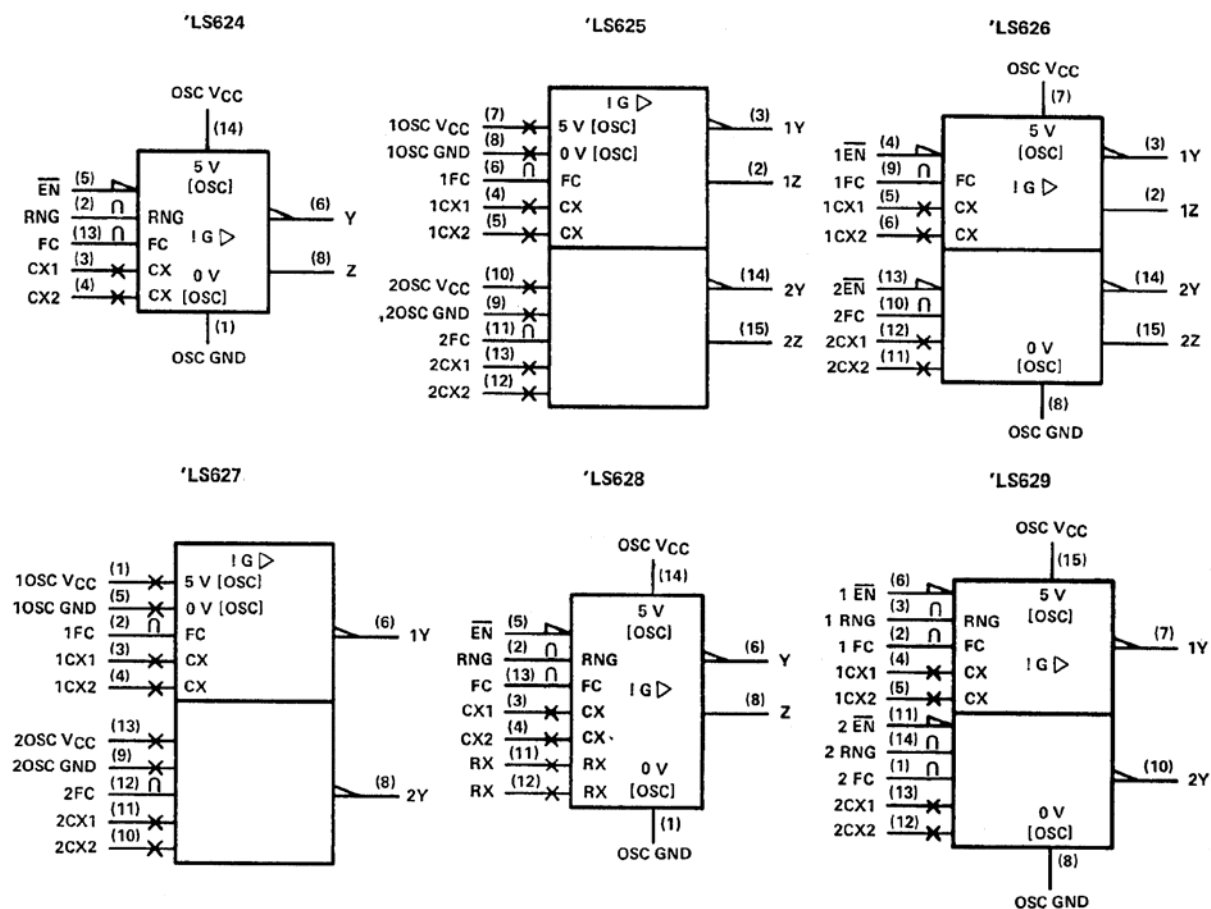
Obr. 7.22: a) Závislost bázového kmitočtu na vnější kapacitě a b) závislost normalizovaného kmitočtu na řídicím napětí

Základní zapojení uvedené na obr. 7.21c dokumentuje, že ke správnému použití tohoto obvodu stačí připojit vnější kapacitor  $C$ , který má kapacitu určenou z obr. 7.22a. Stejnousměrným napětím  $U_{\text{RNG}}$  se volí požadovaný kmitočtový rozsah (viz obr. 7.22b) pro předepsané vstupní řídicí napětí  $U_{\text{F}}$ . U tohoto obvodu jsou samostatně vyvedeny napájecí přívody pro napětí  $U_{\text{CC1}}$  logické části a pro napětí  $U_{\text{CC2}}$  analogové řídicí části. Pro provozní podmínky  $U_{\text{CC1}} = U_{\text{CC2}} = 5 \text{ V}$  a  $U_{\text{F}} = U_{\text{RNG}} = 2 \text{ V}$  je možno určit výstupní kmitočet ze vztahu

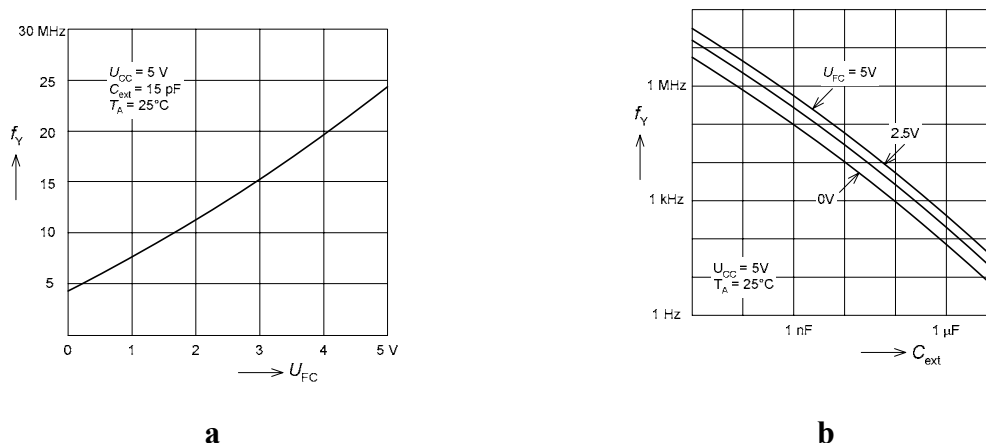
$$f_{\text{OUT}} \approx 5 \cdot 10^{-4} / C . \quad (7.22)$$

Chod generátoru může být řízen také ze vstupu  $\overline{\text{EN}}$ , úrovní  $\overline{\text{EN}} = \text{L}$  se vyžádá spuštění výroby kmitů. Přitom je i první kmit generovaný bezprostředně po spuštění vyroben ve

správných dimenzích, není prodloužen ani zkrácen proti ostatním. Daný obvod je schopen generovat kmity v širokém rozmezí pracovních kmitočtů, sahajícím od 0,12 Hz až do 85 MHz.



Obr. 7.23: Logické značky generátorů řízených napětím SN74LS624 až SN74LS629



Obr. 7.24: Závislost výstupního kmitočtu a) na řídicím napětí a b) na časovací kapacitě vnějšího kapacitoru

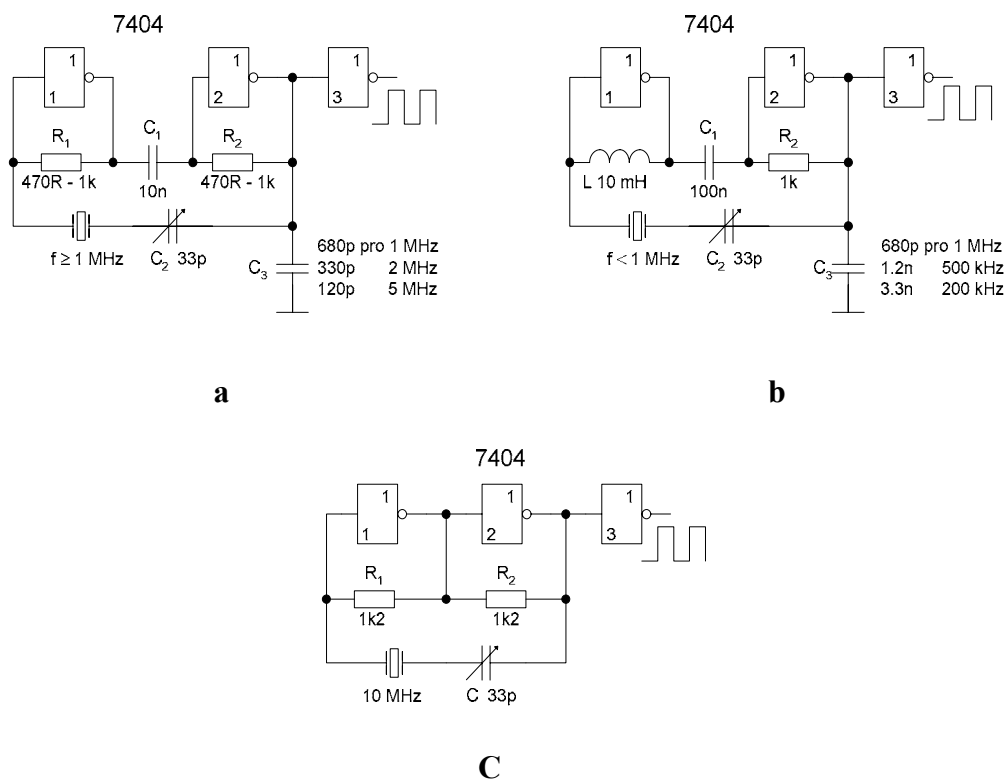
$$f_{OUT} \approx 5 \cdot 10^{-4} / C \quad (7.23)$$

Chod generátoru může být řízen také ze vstupu  $\overline{EN}$ , úroveň  $\overline{EN} = L$  se vyžádá spuštění výroby kmitů. Přitom je i první kmit generovaný bezprostředně po spuštění vyroben ve

správných dimenzích, není prodloužen ani zkrácen proti ostatním. Daný obvod je schopen generovat kmitů v širokém rozmezí pracovních kmitočtů, sahajícím od 0,12 Hz až do 85 MHz.

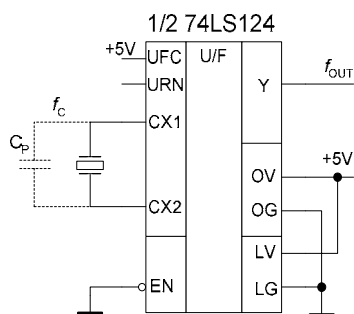
Pro univerzální nasazení napětím řízených generátorů pravoúhlých kmitů byly vyvinuty kvalitní monolitické integrované obvody s typovým označením 74LS624 až 74LS629. Proti typům 74LS124 a 74LS324 mají lepší linearitu převodní charakteristiky, větší rozsah a účinnou kompenzaci. Na obr. 7.23 je uvedena jejich schematická značka podle nových norem ANSI (převzato z katalogu [11]). Aplikační pravidla těchto řízených generátorů jsou obdobná jako pro 74LS124. Při návrhu se používají grafy uvedené např. v katalogu [11], jako příklad jsou na obr. 4.25 uvedeny tyto grafy platné pro obvody 74LS625 až 74LS627. Obvody jsou opět vybaveny dvěma páry napájecích vývodů, první slouží pro připojení napájecího napětí 5 V pro logickou část (povolení, synchronizace a hradlování, výstupy) a druhý je použitelný pro připojení odděleného zdroje 5 V pro obvody vlastního generátoru a řízení kmitočtu. Pro výrobu kmitů na kmitočtu vyšším než 10 MHz výrobce vždy doporučuje použít dva oddělené zdroje [11].

## 7.5 Oscilátory řízené krystalem

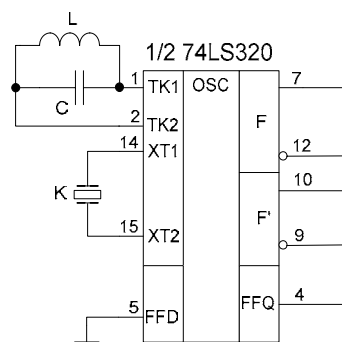


Obr. 7.25: Generátory pravoúhlých kmitů s investory TTL řízené krystalem

Krystalem řízené generátory používáme tehdy, jsou-li kladeny vyšší nároky na přesnost a zejména stabilitu kmitočtu pravoúhlých (i harmonických) kmitů. Prvkem, který zlepšuje přesnost a stabilitu kmitočtu, je piezoelektrický rezonanční prvek s křemenným výbrusem. Generátory řízené krystalovým rezonátorem můžeme pro účely digitální techniky konstruovat buď s použitím digitálních integrovaných obvodů (zejména pro kmitočtovou oblast  $f > 1$  MHz) nebo i s použitím tranzistorů (obvykle pro  $f < 1$  MHz).



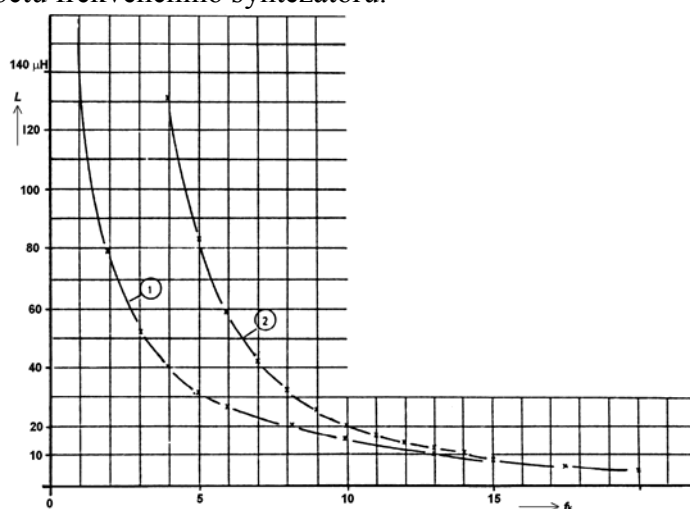
Obr. 7.26: Generátor řízený krystalem s obvodem 74LS124



Obr. 7.27: Zapojení generátoru řízeného krystalem s obvodem SN74LS320

Na obr. 7.25 jsou uvedena schémata jednoduchých generátorů pravoúhlých kmitů, sestavených z jednoduchých logických členů a řízených krystalovým rezonátorem. Zapojení podle obr. 7.25a je vhodné pro kmitočty  $f = 1$  až  $5$  MHz. Kmitá sice spolehlivě i při vyšších kmitočtech  $f > 5$  MHz, avšak stabilita kmitočtu je menší. Zapojení podle obr. 7.25b je naopak vhodné pro generování pravoúhlých kmitů s kmitočty  $0,2$  až  $1$  MHz. Pokud toto zapojení použijeme i pro  $f < 0,2$  MHz, může se stát, že obvod bude pracovat nikoli na základním kmitočtu krystalového rezonátoru, ale na jeho trojnásobku (ve zpětnovazebním systému převládne 3. harmonická složka nad 1. harmonickou). Generátor z obr. 7.25c kmitá spolehlivě na kmitočtu  $10$  MHz. U všech tří zapojení můžeme kmitočet vyráběných kmitů jemně doladovat v rozmezí jednotek Hz pomocí kapacitního trimru s maximální nastavitelnou kapacitou např.  $33$  pF.

Oscilátor řízený krystalem uvedený na obr. 7.26 využívá již popsánoho monolitického napětím řízeného oscilátoru SN74LS124. Místo časovacího kapacitoru je připojen patřičně dimenzovaný krystalový rezonátor. Pokud je rezonanční kmitočet krystalu menší než  $1$  MHz, zlepšují se parametry oscilátoru připojením kapacitoru  $C_p$  s kapacitou  $5$  až  $15$  pF paralelně ke krystalu. Takto zapojený oscilátor může být také použit například jako zdroj opěrného kmitočtu frekvenčního syntézátoru.



Obr. 7.28: Graf pro volbu indukčnosti  $L$  podle kmitočtu  $f_k$  krystalu

Pro návrh generátoru vyrábějícího pravoúhlé kmitý s přesnou a stabilní hodnotou pracovního kmitočtu lze použít také integrovaný obvod 74LS320, viz např. [11]. Z obr. 7.27 je zřejmé, že paralelní kmitavý okruh zabezpečuje správný provoz krystalu při oscilacích na první nebo  $n$ -té harmonické. Paralelní kmitavý okruh LC se navrhuje podle

zamýšleného pracovního režimu krystalu. Pokud krystal kmitá na základním kmitočtu  $f_K$ , určí se indukčnost  $L$  podle křivky 1 na obr. 7.28. Kapacita  $C_R$ , potřebná k naladění kmitavého okruhu do rezonance, se vypočítá z Thomsonova vztahu

$$C_R = \frac{1}{L \cdot (2\pi \cdot f_K)^2} \quad (7.24)$$

Na této kapacitě se však podílí i vstupní kapacita  $C_X$  mezi svorkami XT1 a XT2 o velikosti asi 6 až 8 pF, takže k vyladění kmitavého okruhu do rezonance bude potřeba kapacita

$$C = C_R - C_X \quad (7.25)$$

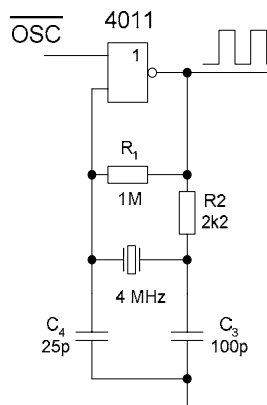
Pokud nebude externí kapacitor použit, navrhujeme indukčnost  $L$  selektivního paralelního obvodu z křivky 2 na obr. 4.30.

Bude-li krystal používán na vyšších harmonických, vypočítá se rezonanční indukčnost ze vztahu

$$L = 65/f_K \quad (7.26)$$

a kapacita  $C$  z rovnic (7.24) a (7.25).

Generátory řízené krystalem se ovšem dají sestavit i s obvody CMOS, ať už řady 4000/4500 nebo AC, HC, ACT nebo HCT. Na obr. 4.31 je nakresleno schéma spouštěného a krystalem řízeného generátoru, sestaveného z logických členů CMOS 4011. Rezistorem  $R_1$  je nastaven pracovní bod do rozhodovací úrovně hradla. Dostatečnou selektivitu pak garantuje článek  $\pi$  s krystalem, zařazený ve smyčce zpětné vazby. Při návrhu generátorů pro vyšší kmitočty je nutno uvážit zvětšení příkonu v důsledku dynamického zvětšení proudového odběru ve smyslu údajů uvedených v 4. kapitole.



Obr. 7.29: Zapojení generátoru CMOS řízeného krystalem

krystalového rezonátoru přemostí ještě přidavným kapacitorovým trimrem, umožňujícím dostavit při ožiování oscilátoru hodnotu  $C_L$  podle potřeby.

Z obr. 7.29 vyplývá, že rozhodující podíl kapacity  $C_N$  bude připadat na kapacitory  $C_3$  a  $C_4$ , které vytvářejí společně s krystalovým rezonátorem zpětnovazební článek  $\pi$ . Bude proto platit přibližně (do úvahy nejsou zahrnuty další kapacity, např. různé parazitní kapacity nebo kapacity spojů, které se však snadno dají respektovat třeba i dodatečně)

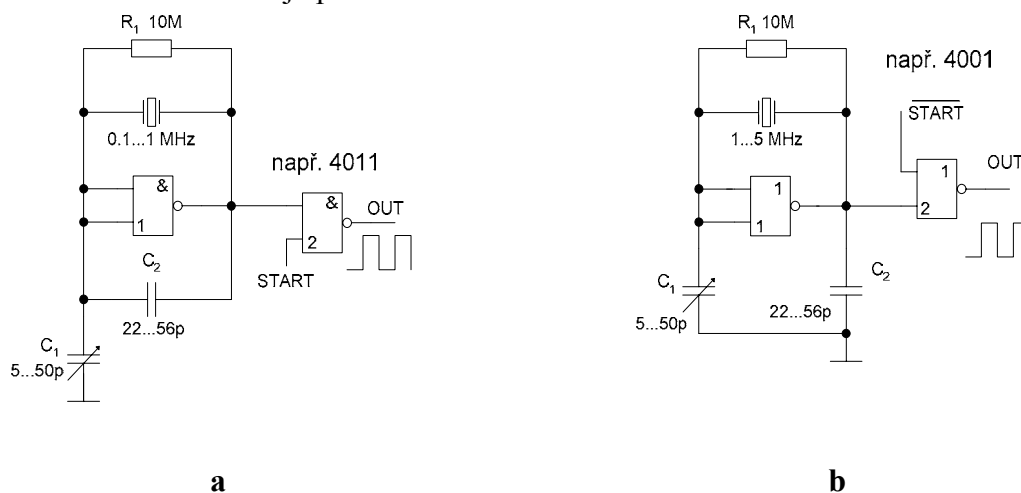
Při úvahách o dimenzování parametrů stavebních prvků oscilátoru uvedeného na obr. 7.29 je třeba vyjít ze skutečnosti, že u krystalového oscilátoru Pierceova typu je krystalový rezonátor při provozu přemostěn kapacitní zátěží spolupracujících elektronických obvodů. Výrobci krystalů tuto skutečnost respektují a dodávají přesně vybroušené rezonátory, určené pro spolupráci s definovanou kapacitní zátěží, jejíž jmenovitá kapacita  $C_L$  je obvykle zaokrouhlena na desítky pF, např.  $C_L = 20, 30$  nebo i více pF pro krystaly pracující na základní harmonické mechanických kmitů rezonátoru, popř.  $C_L = 8, 12, 15$  nebo 30 pF pro krystaly určené k použití na vyšších harmonických složkách. V realizovaném oscilátoru je pak pamatováno na možnost seřízení velikosti této kapacitní zátěže tím, že se vstup určený k připojení

$$C_L = \frac{C_3 \cdot C_4}{C_3 + C_4} \quad (7.27)$$

Výpočet  $C_3$  a  $C_4$  podle této rovnice je značně libovolný. Do úvah však vstupuje další hledisko. Výstupní a vstupní impedance aktivního obvodu CMOS se od sebe značně liší a proto v zájmu přizpůsobení je žádoucí, aby

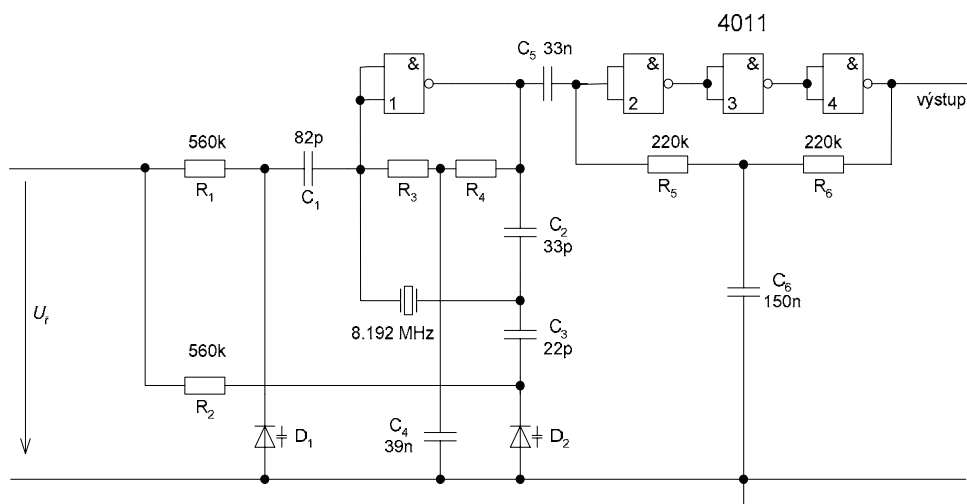
$$C_3 > C_4 \quad (7.28)$$

Pokud jde o kmitočet generovaných kmitů, spolehneme se na údaje výrobce krystalového rezonátoru a při ožiování generátoru jej pouze zkontrolujeme měřičem kmitočtu. Ve zvláštních případech, kdy máme vyšší nároky na přesnost a stálost kmitočtu, musíme tyto veličiny zjistit pomocí kmitočtového subnormálu a v případě potřeby seřadit chod generátoru změnou  $C_3$  popř.  $C_4$ . Rezistor  $R_2$  umožňuje přizpůsobit výstup aktivní části na vstup zpětnovazebního čtyřpólu a nastavit stupeň kladné zpětné vazby tak, aby se oscilátor sice spolehlivě rozkmitával i za nejméně příznivých podmínek, ale aby nebyl krystalový rezonátor zbytečně přebuzen nadměrným proudem. Toto řešení nevyhovuje při použití na vyšších kmitočtech, kdy  $R_2$  spolu se vstupní kapacitou článku  $\pi$  tvoří fázovací člen zřetelně ovlivňující vlastnosti oscilátoru. V těchto případech je lépe rezistor nahradit kapacitou s kapacitou rovnou polovině kapacity na vstupu článku  $\pi$ . U vysokých kmitočtů může být na závadu i zpoždění v invertoru. To se sice nedá kompenzovat, ale je možné doplnit je tak, aby odpovídalo při daném kmitočtu fázovému posunutí o celistvý násobek  $\pi$ . Aby bylo možné užít krystaly pracující na vyšších mechanických harmonických i tady, je potřeba znesnadnit nežádoucí nakmitnutí oscilátoru na základní harmonické krystalu zmenšením vazební kapacity na místě  $R_2$  a případným zařazením paralelního rezonančního obvodu LC, naladěného o něco níže než je pracovní kmitočet.



Obr. 7.30: Oscilátory řízené krystalem pro kmitočty a) 0,1 až 1 MHz, b) 1 až 5 MHz

Vybrané zapojení je po stanovení hodnot součástek potřeba podrobit experimentálnímu ověření, aby byla zaručena spolehlivá činnost oscilátoru v mezních pracovních podmínkách (nejnižší napájecí napětí, mezní teploty, krystal a integrovaný obvod na mezi tolerancí). Měření velikosti kmitočtových změn přitom poslouží k posouzení kvality návrhu.



*Obr. 7.31: Schéma oscilátoru řízeného krystalem s přeladováním změnou řídicího napětí*

Oscilátory na obr. 7.30 mají krystal zapojen přímo mezi výstupem a vstupem invertoru. Výstupní signál musí být každopádně před dalším zpracováním ještě tvarován průchodem alespoň jedním logickým členem, který současně můžeme využít jako časové hradlo k ovládání dodávky pravoúhlých kmitů na výstup. Kapacitními trimry  $C_1$  můžeme kmitočet výstupních kmitů v malých mezích doladovat.

Na základě předchozích úvah a doporučení může být realizován krystalový oscilátor, jehož schéma je uvedeno na obr. 7.31. Krystalový oscilátor pracuje na základním kmitočtu  $f_0 = 8,192$  MHz a je určen pro smyčku fázového závěsu s porovnáním na kmitočtu 1,024 MHz.

Oscilátor lze ladit prostřednictvím varikapů KB 113, změnou jejich polarizačního napětí 2 až 14 V, rozladění činí 1,7 kHz. Méně obvyklé zapojení varikapů bylo vybráno s ohledem na malé kolísání buzení krystalu v celém rozsahu doladění. Napájecí napětí je 7,5 V, oscilátor pracuje ještě při 5,5 V. Příkon krystalu je menší než 1 mW. Původní schéma s většími kapacitami v článku a vyšším zatížení krystalu bylo nutno upravit uvedeným způsobem. Citlivost oscilátoru  $\Delta f_o/f_o$  na změnu napájecího napětí je  $10^{-6}/V$ . I při relativně malém vazebním kapacitoru je rozběh oscilátoru spolehlivý, a to i v mezních teplotách.



## 8 KMITOČTOVÉ SYNTÉZÁTORY A ÚSTŘEDNY

Složitější úlohy generování signálů s programovatelnými přesnými a stabilními hodnotami kmitočtu se nejčastěji řeší použitím metody kmitočtové syntézy. Při přímé kmitočtové syntéze se používají obvody součet a rozdíl kmitočtů (směšovače), násobení (generátory vyšších harmonických) a dělení kmitočtů (děliče).

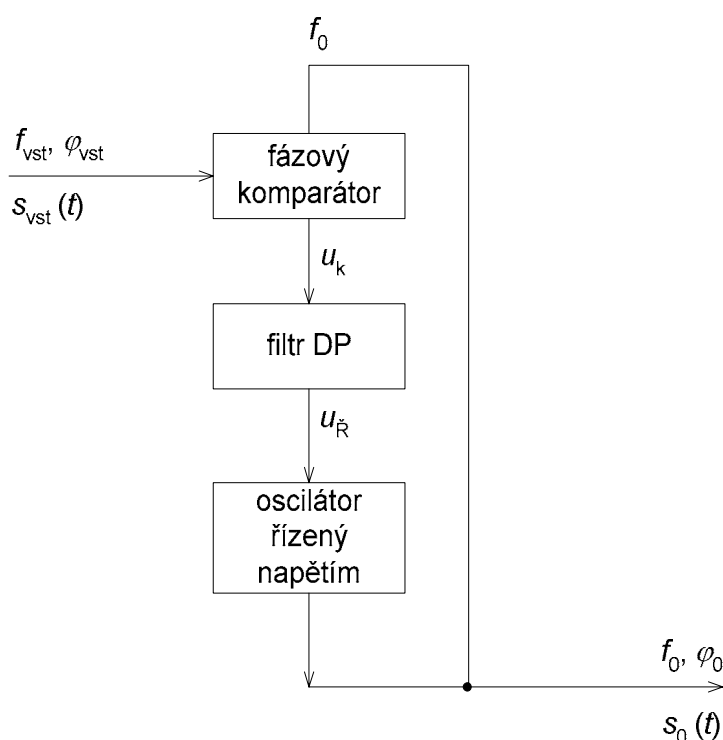
Moderní metodou je nepřímá kmitočtová syntéza, využívající smyčky fázového závěsu, doplněné programovatelnými děliči kmitočtu pro dělení a násobení kmitočtu celými čísly, případně směšovači pro realizaci součtu nebo rozdílu kmitočtů.

### 8.1 Smyčka fázového závěsu

Smyčka fázového závěsu znázorněná blokově na obr. 8.1 a 8.2 regulační smyčka s automatickým řízením. Obsahuje fázový nebo také kmitočtový detektor, filtr s charakterem dolní kmitočtové propusti, oscilátor nebo multivibrátor řízený napětím a případně některé další obvody. Regulovanou veličinou je fáze nebo také kmitočet.

Fázový komparátor je nejčastěji řešen s logickými obvody. Podle blokového zapojení na obr. 8.1 zpracovává dva vstupní signály,  $s_{VST}(t)$  a  $s_0(t)$ , mající shodný kmitočet  $f_{VST} = f_0$  a rovnává jejich vzájemné fázové posunutí

$$\varphi_k(t) = \varphi_{VST}(t) - \varphi_0(t), \quad (8.1)$$



Obr. 8.1: Skupinové schéma smyčky jednoduchého fázového závěsu

s plným úhlem  $2\pi$ , odpovídajícím fázovému posunutí o celou jednu periodu. Přitom se předpokládá, že se fázový rozdíl  $\varphi_k(t)$  mění v čase jen tak pomalu, že v průběhu i několika period vstupních signálů se dá považovat za konstantu. Uvedený poměr  $\varphi_k(t)/2\pi$  je pak dohodnutým způsobem zakódován ve výstupním napětí  $u_K$  komparátoru. Napětí  $u_K$  na výstupu komparátoru má obvykle tvar pravoúhlých kmitů s periodou  $T = 1/f_{VST}$ , jejichž impulsy mají časově proměnnou šířku  $T_1(t)$  a mezery šířku  $T_2(t)$ ,  $T_1 + T_2 = T$ . Doba trvání  $T_1$  je uzpůsobena tak, aby poměřena periodou  $T$

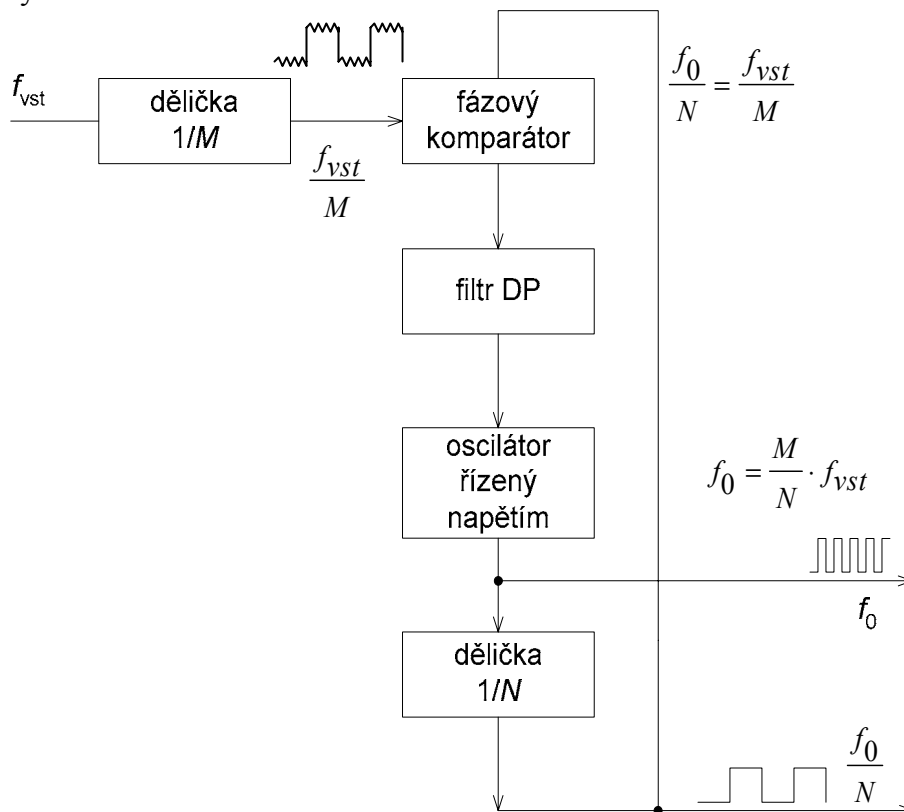
udávala právě výše uvedené poměrné fázové posunutí obou vstupních signálů, tedy

$$T_1(t)/T = \varphi_k(t)/2\pi . \quad (8.2)$$

Z teorie signálu je známo, že střední hodnota pravoúhlých kmitů, které mají minimum na úrovni  $u_L = 0$  V a rozkmit  $u_H$ , je úměrná jejich činiteli využití  $T_1/T$ , v tomto případě tedy

$$u_{Kstř}(t) = u_H \cdot T_1(t)/T = u_H \cdot \varphi_k(t)/2\pi = K_K \cdot \varphi_k(t) . \quad (8.3)$$

Tato střední hodnota výstupního napětí komparátoru je pak využita pro řízení činnosti dalších obvodů ve smyčce fázového závěsu.



Obr. 8.2 Skupinové schéma smyčky s vřazeným děličem pro násobení kmitočtu

Vstupní komparátor je obvykle řešen jako fázově-kmitočtový. V praxi totiž je často potřeba (např. při přepínání kmitočtu), aby komparátor pracoval nejprve jako kmitočtový, odvozující regulační napětí z rozdílu kmitočtů  $f_{VST}$  a  $f_0$ , a teprve po nastavení kmitočtu  $f_{VST} \approx f_0$  aby převzal řídicí funkci fázový komparátor.

Jak víme z předchozího výkladu, je měronosnou řídicí veličinou obvykle střední hodnota šířkově modulovaných pravoúhlých kmitů  $u_K$ . K jejímu vyčlenění z kmitočtového spektra těchto kmitů slouží dolní propust DP, která zadrží ze signálu  $u_K$  všechny střídavé složky a ponechá jen stejnosměrnou popř. pomalu se měnící složku, označenou v blokovém schématu na obr. 8.1 symbolem  $u_{\bar{K}}$ . Toto řídicí napětí  $u_{\bar{K}}$  je dále použito k přeladování generátoru řízeného napětím, který generuje signál  $s_0(t)$ , určený k dalšímu využití a kromě toho vedený zpět na vstup fázového komparátoru.

V operátorovém tvaru má rovnice (8.3) pro přenos fázového komparátoru tvar

$$U_K(\mathbf{p}) = K_K \cdot \varphi_K(\mathbf{p}). \quad (8.4)$$

Přenos dolní kmitočtové propusti je obecně

$$F_{DP} = U_R(\mathbf{p})/U_K(\mathbf{p}). \quad (8.5)$$

Tato přenosová funkce určuje základní přenosové vlastnosti smyčky fázového závěsu, rychlost jeho odezvy na změny, jeho přesnost a stabilitu. Oscilátor nechť reaguje na změnu řídicího napětí  $u_R$  lineární změnou úhlového kmitočtu

$$\varphi_0(t) = 2\pi f_0(t) = d\varphi_0(t)/dt = K_0 \cdot u_R(t), \quad (8.6)$$

kde  $K_0$  je převodní konstanta generátoru řízeného napětím. Z rov. (8.6) lze jednoduše odvodit operátorovou rovnici

$$\varphi_0(\mathbf{p})/U_R(\mathbf{p}) = K_0/\mathbf{p}, \quad (8.7)$$

Spojením rovnic (8.4), (8.5) a (8.7) dostaneme operátorový přenos otevřené smyčky fázového závěsu ve tvaru

$$G(\mathbf{p}) = \varphi_0(\mathbf{p})/\varphi_K(\mathbf{p}) = K_K \cdot F_{DP}(\mathbf{p}) \cdot K_0/\mathbf{p} \quad (8.8)$$

a po uzavření zpětné vazby bude operátorový přenos

$$H(\mathbf{p}) = \varphi_O(\mathbf{p})/\varphi_{VST}(\mathbf{p}) = G(\mathbf{p})/(1 + G(\mathbf{p})) = K_K \cdot F_{DP}(\mathbf{p}) \cdot K_0/(\mathbf{p} + K_K \cdot F_{DP}(\mathbf{p}) \cdot K_0) \quad (8.9)$$

Je zřejmé, že přenosové vlastnosti smyčky fázového závěsu lze ovlivnit pouze volbou funkce  $F_{DP}(\mathbf{p})$  filtru, protože  $K_K$  a  $K_0$  jsou kmitočtově nezávislé konstanty. V praxi se nejčastěji užívají dolní propusti druhého řádu, tím se vytvářejí smyčky druhého řádu.

*Fázový závěs* uvedený blokově na obr. 8.2 obsahuje proti systému podle obr. 8.1 navíc ještě přidavný dělič kmitočtu s dělicím poměrem  $1/N$  ve smyčce zpětné vazby a kromě toho podle potřeby ještě další dělič s dělicím poměrem  $1/M$  pro dělení kmitočtu  $f_{VST}$  vstupního signálu.

Pokud použijeme pouze dělič s dělicím poměrem  $1/N$ , bude mít výstupní signál kmitočet

$$f_0 = N \cdot f_{VST}. \quad (8.10)$$

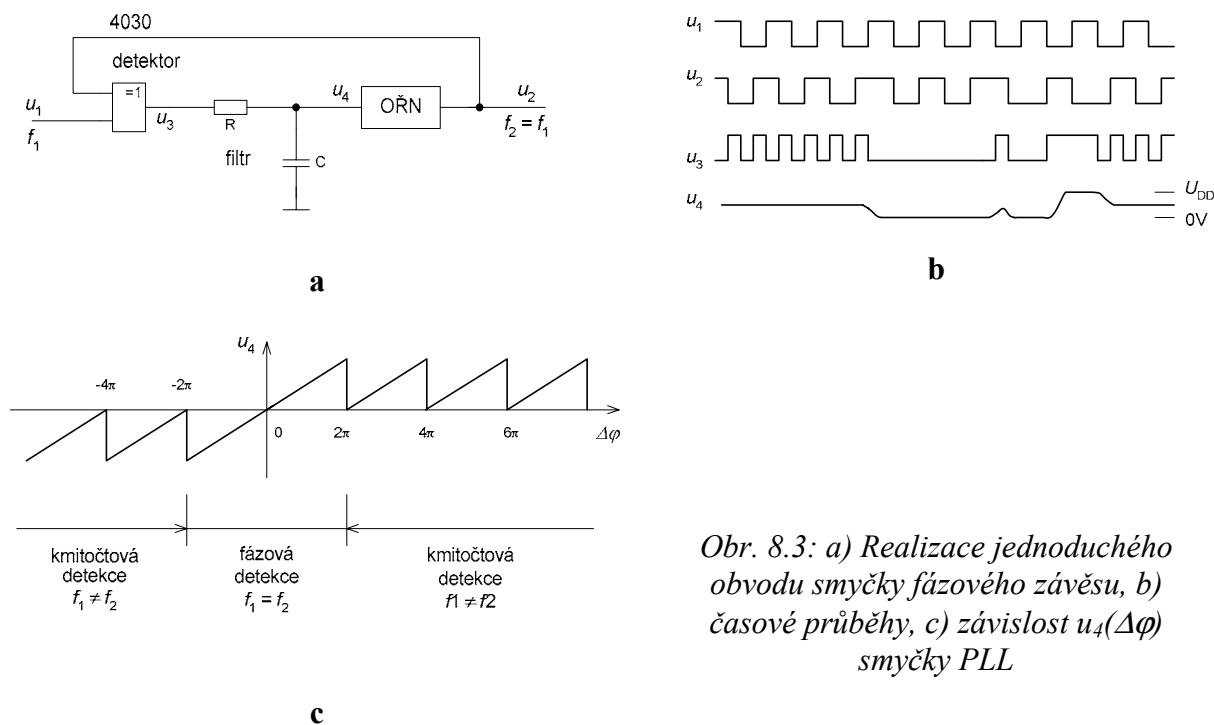
Smyčka pracuje jako číslicově řízený selektivní násobič vstupního kmitočtu  $f_{VST}$  přirozeným číslem  $N$ , přičemž číslo  $N > 1$  zadáváme ve formě dělicího poměru  $1/N$  děliče, jímž je nejčastěji programovatelný čítač.

Zařazení děliče s dělicím poměrem  $1/M$  do cesty vstupního signálu s kmitočtem  $f_{VST}$  se pochopitelně projeví ve výstupním signálu  $u_O$ . Kmitočet  $f_0$  popsáný rovnicí (8.8) se v tomto případě dělí ještě číslem  $M$ , takže výsledný kmitočet

$$f_{0M} = f_{VST} \cdot N/M. \quad (8.11)$$

Tento fázový závěs nám tedy umožňuje generovat kmity, jejichž kmitočet  $f_{0M}$  je s kmitočtem vstupních kmitů  $f_{VST}$  v racionálním poměru  $N/M$ ,  $N$  i  $M$  jsou přirozená čísla.

Jednoduchá smyčka fázového závěsu, pracující s pravoúhlými kmity v logických úrovních TTL, může být podle schematu nakresleného na obr. 8.3a sestavena z generátoru řízeného napětím (může být použit některý z generátorů popsáných v kap. 4), jednoduchého fázového komparátoru využívajícího vlastností logického obvodu exklusivního součtu a z pasivního článku RC, realizujícího jednoduchou dolní kmitočtovou propust 1. řádu.



Obr. 8.3: a) Realizace jednoduchého obvodu smyčky fázového závěsu, b) časové průběhy, c) závislost  $u_4(\Delta\varphi)$  smyčky PLL

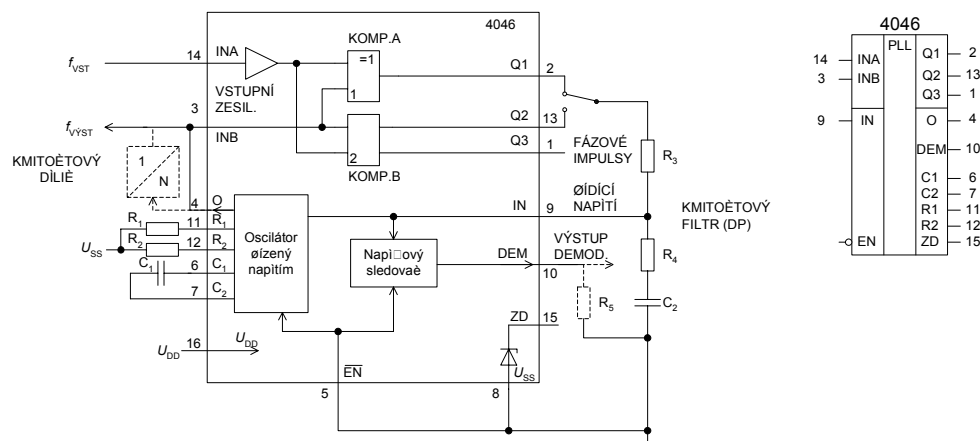
Činnost fázového komparátoru s obvodem 4030 je podrobněji rozkreslena na obr. 8.3b. Základním předpokladem je, že oba srovnávané signály mají shodnou střidu 1 : 1. Impulsní průběh na vstupu obvodu 4030 je vyhlazení dolní kmitočtovou propustí, která signál upraví v rozmezí 0 až  $U_{DD}$  podle okamžité střední hodnoty.

Jsou-li oba signály ve fázi ( $\varphi_k = 0^\circ$ ), pak je výstupní napětí  $u_3$  i  $u_4$  nulové. Pro posun  $\varphi_k = 90^\circ$  bude střední hodnota  $u_4 = U_{DD}/2$ . Při  $\varphi_k = 180^\circ$  pak dostaneme  $u_4 = U_{DD}$ .

## 8.2 Návrh smyčky fázového závěsu

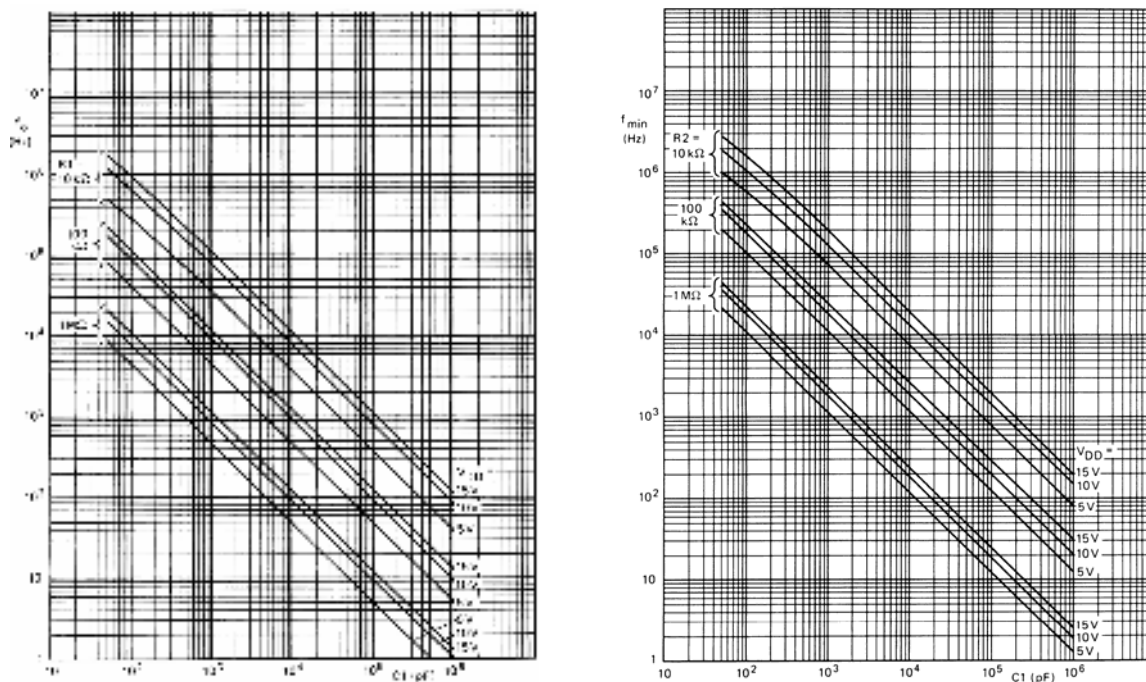
Integrovaný obvod CMOS 4046 je všestranně použitelný pro návrh smyčky fázového závěsu. Aplikační možnosti zahrnují kmitočtovou syntézu, demodulaci FM signálů, převod napětí na kmitočet apod. Integrovaný obvod fázového závěsu (např. CD4046, nebo HC4046 popř. HCT4046) má napětím řízený generátor pravoúhlých kmitů s lineární závislostí kmitočtu na řídicím napětí, fázový a kmitočtově fázový komparátor se společnými vstupy, dále sledovač signálu pro použití ve funkci kmitočtového demodulátoru a pomocný obvod k indikaci synchronizovaného stavu.

Skupinové schéma obvodu 4046 a jeho schematická značka jsou nakresleny na obr. 8.4. Části integrovaného obvodu 4046 jsou v čárkovaném obdélníku s vyznačenými vývody. Obvody fázového závěsu jsou vyrobeny technikou CMOS a tam, kde je to možné, pracují s úrovněmi L a H, při nichž prakticky neprotéká proud. Spotřeba se projeví v přechodové oblasti a je nepřímo úměrná počtu přepnutí, tedy kmitočtu. Jinou výhodnou typickou vlastností jsou vysoké vstupní impedance obvodů, okolo  $10^{12} \Omega/50 \text{ pF}$ . To vede k menším kapacitám připojených kapacitorů a jejich malým rozměrům. Pro aplikace, kde je vhodné použít stabilizované napájecí napětí, je zabudována Zenerova dioda (5,2 V, 50  $\Omega/1\text{mA}$ ).



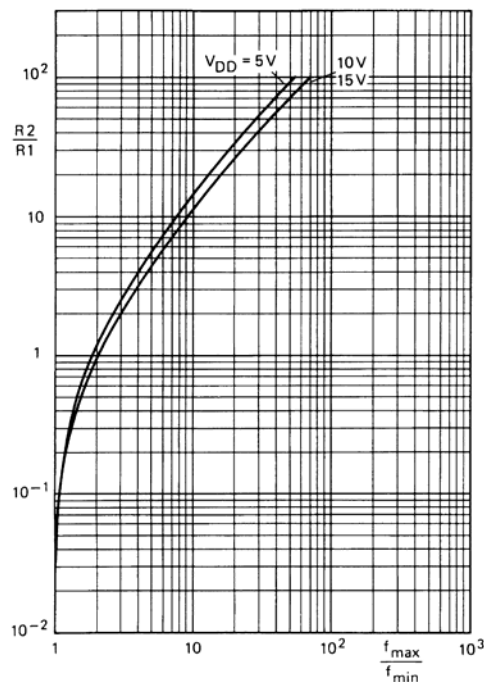
Obr. 8.4: Skupinové schéma a schematická značka obvodu 4046

Integrovaný obvod 4046 fázového závěsu můžeme použít do kmitočtu výstupních kmitů 1,2 resp. až 1,4 MHz [2], [6], [9]. Dosažitelný kmitočet souvisí s napájecím napětím. Při  $U_{DD} = 10 \text{ V}$  je  $f < 1,4 \text{ MHz}$ , při  $U_{DD} = 15 \text{ V}$  potom  $f < 1,9 \text{ MHz}$ . Základní kmitočet vyráběných kmitů je určen časovacími prvky  $R_1$ ,  $C_1$ . Na obr. 5.4a je nakreslena závislost středního kmitočtu  $f_0$  (je to kmitočet výstupních kmitů generátoru, působí-li na jeho vstup IN napětí  $u_{IN} = U_{DD}/2$ ) na hodnotách časovacích prvků  $R_1$ ,  $C_1$  a na napájecím napětí  $U_{DD}$ .

Obr. 8.5: a) Závislost středního kmitočtu na parametrech časovacího členu  $R_1$ ,  $C_1$ , b) posun kmitočtu pro různé hodnoty  $R_2$  a  $C_1$ 

Generátor lze s dobrou linearitou přeladovat s využitím téměř celého rozsahu napájecího napětí. Pracovní oblast generátoru se vymezení zavedením kmitočtového posunu odporem  $R_2$ . Možný posun lze odečíst z grafu na obr. 8.5b pro různé kapacity  $C_1$ . Poměr odporů  $R_2$  a  $R_1$  určuje celkovou přeladitelnost generátoru, závislost je uvedena na obr. 8.5. Doporučený rozsah pro oba odpory je  $5 \text{ k}\Omega$  až  $1 \text{ M}\Omega$  kapacita  $C > 50 \text{ pF}$  pro  $U_{DD} > 10 \text{ V}$  a  $C > 100 \text{ pF}$  pro  $U_{DD} = 5$  až  $10 \text{ V}$ . Signál na výstupu generátoru má v celém rozsahu přeladění

střídu přibližně 1 : 1. Řídicí napětí generátoru je vyvedeno přes emitorový sledovač na vývod DEM. Generátor řízený napětím i sledovač lze vypnout přivedením logického signálu  $\overline{EN} = 1$  a minimalizovat tak příkon obvodu.



Obr. 8.6: Závislost poměru  $R_2/R_1$  na rozptýlení přeladitelnosti generátoru

také např. harmonický signál, třeba i s menší amplitudou. I v tomto posledním případě dostaneme na výstupu zesilovače vytvarovaný pravoúhlý signál v potřebných logických úrovních.

Fázový komparátor A je tvořen obvodem exkluzivního součtu, který pracuje jako přebuzený dvojitě vyvážený směšovač. Průběhy signálů na vstupech INA, INB, na výstupu  $Q_1$  tohoto komparátoru a za následně použitou dolní propustí (vstup OŘN IN) jsou znázorněny na obr. 8.6a. Aby nedošlo k nežádoucímu zúžení pásma zachycení, musí mít vstupní signály střídu 1 : 1. Při změně střídy jednoho ze vstupních signálů tohoto komparátoru dojde ke změně strmosti jeho převodní charakteristiky a tedy i ke změně jeho napěťového zisku se všemi důsledky na činnost fázového závěsu. I tak je pásmo zachycení  $2f_c$  vždy užší než pásmo držení a činí

$$2f_c \approx 2f_c \approx \frac{1}{\pi} \cdot \sqrt{\frac{2\pi(f_{\max} - f_{\min})}{T_F}}, \quad (8.12)$$

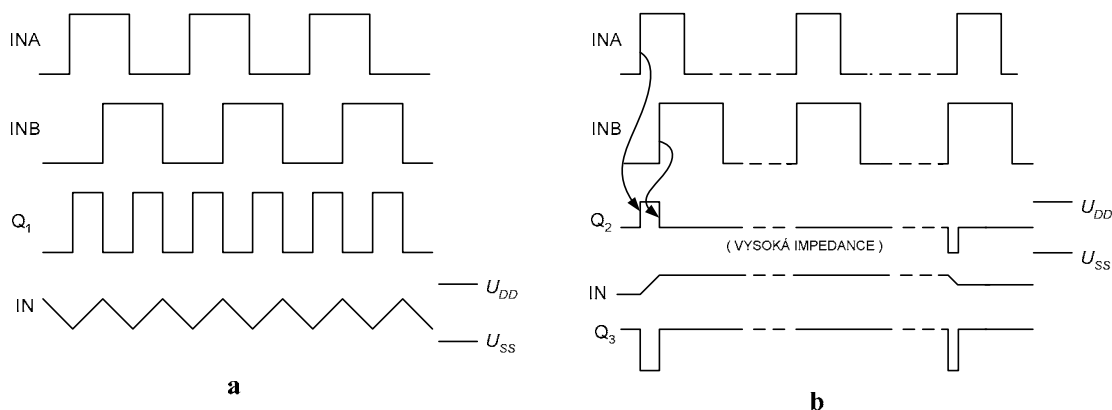
kde  $T_F$  je časová konstanta jednoduché dolní propusti RC. Jisté zlepšení lze docílit užitím proporcionálně integračního článku. Rozsah stejnosměrné složky pravoúhlých kmitů napětí na výstupu  $Q_1$  je od 0 V až po  $U_{DD}$  pro rozdíl fází vstupních signálů  $\varphi = 0$  až  $180^\circ$ . Při nepřítomnosti jednoho vstupního signálu je na výstupu komparátoru střední stejnosměrné napětí  $U_{DD}/2$ . Hodnoty  $R_1$ ,  $R_2$ ,  $C_1$  se navrhuje tak, aby při  $u_R = U_{DD}/2$  multivibrátor kmital na středním kmitočtu  $f_0 = (f_{\max} + f_{\min})/2$ ; při  $R_2 \rightarrow \infty$  je  $f_{\min} = 0$  Hz. Komparátor je značně odolný i proti šumu. Avšak při velkém rozsahu přeladění řízeného generátoru (zvláště bez zavedeného ofsetu) může docházet ke skoku generátoru na opěrný kmitočet.

Generátor lze s dobrou linearitou přeladovat s využitím téměř celého rozsahu napájecího napětí. Pracovní oblast generátoru se vymezí zavedením kmitočtového posunu odporem  $R_2$ . Možný posun lze odečíst z grafu na obr. 8.5b pro různé kapacity  $C_1$ . Poměr odporů  $R_2$  a  $R_1$  určuje celkovou přeladitelnost generátoru, závislost je uvedena na obr. 8.5. Doporučený rozsah pro oba odpory je 5 k $\Omega$  až 1 M $\Omega$  kapacita  $C > 50$  pF pro  $U_{DD} > 10$  V a  $C > 100$  pF pro  $U_{DD} = 5$  až 10 V. Signál na výstupu generátoru má v celém rozsahu přeladění střídu přibližně 1 : 1. Řídicí napětí generátoru je vyvedeno přes emitorový sledovač na vývod DEM. Generátor řízený napětím i sledovač lze vypnout přivedením logického signálu  $\overline{EN} = 1$  a minimalizovat tak příkon obvodu.

Komparátory jsou v obvodu 4046 celkem dva, fázový a fázově-kmitočtový. Oba digitální komparátory mají společný vstup INA, společný zesilovač/okrajovač se čtyřmi invertujícími stupni a samočinným nastavením pracovního bodu. Na vstup INA lze přímo přivést digitální opěrný signál, ale

Funkce fázového komparátoru B je poněkud neobvyklá a jeho specifické vlastnosti vyžadují při výpočtu fázové smyčky poněkud jiný přístup. Pásmo zachycení nezávisí na typu dolní propusti a je rovno

$$2f_c \approx f_{\max} - f_{\min} \quad (8.13)$$



Obr. 8.7: Průběh signálu a) komparátoru A b) komparátoru B

I zde může být  $f_{\min} = 0$  Hz, přitom opět  $R_2 \rightarrow \infty$ . Vlastní komparátor sestává ze čtyř klopných obvodů RS, hradlovacího obvodu a třístavového výstupního obvodu. Na rozdíl od předchozího komparátoru rozeznává, zda porovnávaný průběh má vyšší nebo nižší kmitočet než synchronizační signál a výstupní signál  $Q_2$  doplňuje nebo zmenšuje náboj kapacitoru připojené dolní propusti tak dlouho, až napětí na něm právě naladí generátor do synchronizace. Nyní jsou oba tranzistory výstupního obvodu uzavřeny, a protože vstupní odpor obvodu k řízení generátoru na vstupu IN je velmi vysoký, náboj v kapacitoru  $C_2$  nemá kam odtéci a napětí kapacitoru se nemění. Je zjevné, že dolní propust nebo jiný sem vřazený obvod nesmí mít svod. V ustáleném stavu při uvedeném komparátoru není mezi vstupními napětími žádný fázový rozdíl.

Komparátor nevyhoví při malých odstupech signálu od šumu a není také vhodný pro synchronizaci chodu generátoru vyššími harmonickými vstupního opěrného signálu. Bez přítomnosti opěrného řídicího signálu přejde generátor na kmitočet  $f_{\min}$ .

Na výstup komparátoru navazuje pomocný obvod NOR k indikaci synchronizovaného stavu. Na kapacitoru připojené dolní propusti R, C je přitom úroveň H, která se mimo synchronizaci změní na L.

Oba fázové komparátory mají společný vstup INA s obvodem automatického předpětí. To vyžaduje připojit vstupní signál celkem libovolného tvaru o amplitudě aspoň stovky mV přes vazební kapacitor. Obvodem předpětí je dělič napájecího napětí vytvořený dvěma tranzistory MOS s dlouhým kanálem. Napětí z děliče je rovno polovině napájecího napětí a udržuje invertor na vstupu INA v lineárním režimu. Tak je dosaženo velké citlivosti tohoto vstupu. Série dalších invertorů pak zesílí signál tvaru do pravoúhlého tvaru.

Oba fázové komparátory lze použít i v kmitočtové oblasti vyšší než je nejvyšší kmitočet vestavěného generátoru. Bylo vyzkoušeno jejich použití i s externím krystalovým oscilátorem pracujícím až na kmitočtu 7,2 MHz.

Při použití komparátoru B ve smyčce fázového závěsu lze s využitím výstupů komparátoru uskutečnit též jednoduchou indikaci synchronního stavu.

Kromě prvků  $R_1$ ,  $R_2$  a  $C_1$  určujících kmitočtový rozsah 0 až  $f_{\max}$ , resp.  $f_{\min}$  až  $f_{\max}$ , je nutné dimenzovat i prvky dolnofrekvenční propusti. Jedná se o jeden nebo dva rezistory a jeden nebo dva kapacitory. Parametry těchto prvků nejsou náročné na přesnost, jejich volba však ovlivňuje kvalitu přechodného děje ve smyčce při skokové změně vstupního kmitočtu, filtrační schopnosti, dobu přechodu do synchronizace, šumové vlastnosti a v případě použití komparátoru A i rozmezí pásma zachycení.

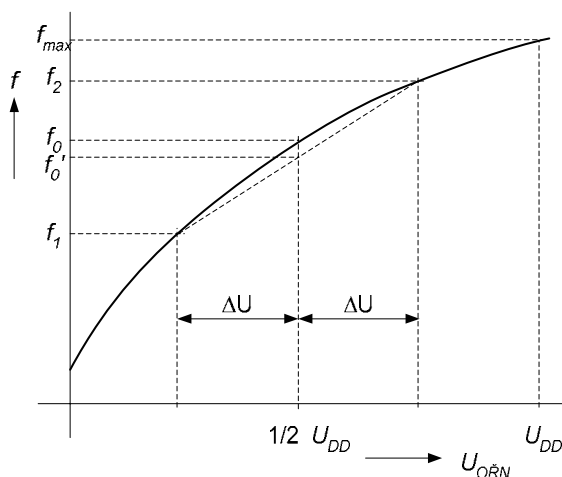
V náročnějších aplikacích je nutné vyjít z teorie regulace a stanovit parametry závěsu detailním výpočtem. Literatura [2] uvádí orientační výpočtové vztahy pro první návrh. U jednoduché dolní propusti v podobě obyčejného pasivního integračního článku RC vypočítáme

$$T_{DP} = R_3 \cdot C_2, \quad (8.14)$$

u proporcionálního integračního článku podle obr. 5.3 ( $R_3$ ,  $R_4$ ,  $C_2$ ) použijeme vzorce

$$R_4 \cdot C_2 = \frac{6N}{f_{\max}} - \frac{N}{2\pi(f_{\max} - f_{\min})}, \quad (8.15)$$

$$T_{DP} = (R_3 + R_V) \cdot C_2 = 100N \cdot \frac{f_{\max} - f_{\min}}{f_{\max}^2} - R_4 \cdot C_2, \quad (8.16)$$



Obr. 8.8: K odvození rovnice pro odchylku od linearity

kde  $R_V \approx 3000 \Omega$  je vnitřní odpor integrovaného obvodu na výstupech  $Q_1$  nebo  $Q_2$ .

*Poznámka:* Z hlediska provozu generátoru řízeného napětím je důležitá linearita jeho převodní charakteristiky. Na obr. 8.8 je nakreslen obecný tvar převodní charakteristiky  $f(U_{OŘN})$ . Pro kvantitativní hodnocení její odchylky od linearity v užitečném pásmu sahajícím od  $f_1$  do  $f_2$  můžeme použít velikost této odchylky při kmitočtu, odpovídajícím nastavení  $U_{OŘN}$  na střední hodnotu z rozmezí řídicích napětí (v obr. 8.8 odpovídá tento pracovní bod hodnotě  $U_{OŘN} = U_{DD}/2$ ). U lineární převodní charakteristiky bychom v tomto bodě očekávali kmitočet  $f'_0$ ,

odpovídající středu výše uvedeného rozmezí kmitočtů, tedy

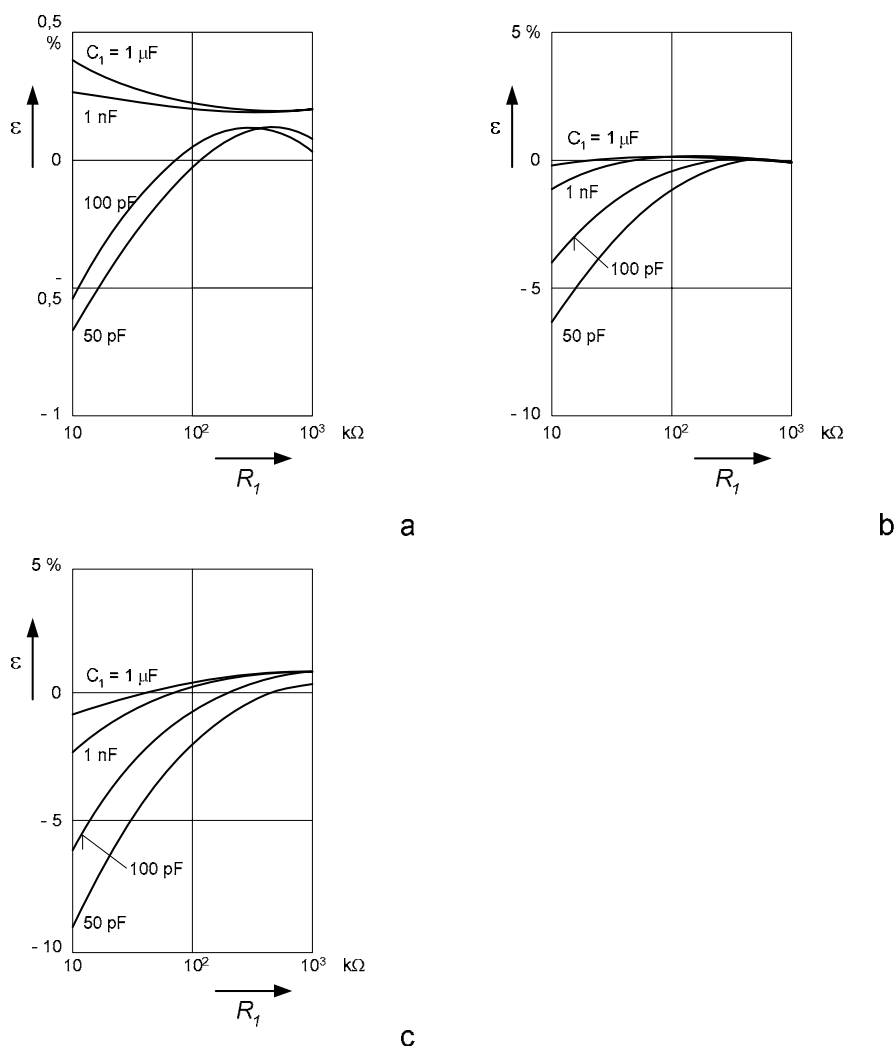
$$f'_0 = \frac{f_1 + f_2}{2}. \quad (8.17)$$

Avšak ve skutečnosti pracuje generátor při uvedené střední hodnotě řídicího napětí na kmitočtu  $f_0$ . Proto bude v tomto pracovním bodě relativní odchylka kmitočtu

$$\delta f_0 = \frac{f'_0 - f_0}{f'_0} \cdot 100\%. \quad (8.18)$$

Vztažné hodnoty napětí  $\Delta U$  pro určení  $f_1$  a  $f_2$  závisejí na napájecím napětí, a to  $\Delta U \approx 1,3 \text{ V}$  při  $U_{DD} = 5 \text{ V}$ ,  $\Delta U \approx 2,5 \text{ V}$  při  $U_{DD} = 10 \text{ V}$ ,  $\Delta U \approx 5,0 \text{ V}$  při  $U_{DD} = 15 \text{ V}$ .





Obr. 8.9: Závislost relativní odchylky kmitočtu od linearity na  $R_1$  a  $C_1$ , při nezapojeném  $R_2$ , a to a) při  $U_{DD} = 5$  V, b) při  $U_{DD} = 10$  V, c) při  $U_{DD} = 15$

Na obr 8.9 jsou uvedeny grafy, umožňující posoudit jak velkou odchylku od linearity je možno očekávat u řízeného generátoru integrovaného obvodu 4046, jestliže se mění parametry  $R_1$  a  $C_1$  a napájecí napětí  $U_{DD}$ .

Při návrhu smyčky fázového závěsu s obvodem 4046 respektujeme předchozí informace, pro základní orientaci je vhodné si uvědomit rozdílné chování smyčky při použití komparátoru A nebo B (následující údaje se rozlišují obdobně A, B):

Nepřítomnost vstupního signálu INA

A: generátor řízený napětím se naladí na střední kmitočet  $f_0$ ,

B: generátor se naladí na minimální kmitočet  $f_{\min} = f_1$ .

Fázový posun mezi signály INA a INB

A: na středním kmitočtu  $f_0$  je  $\Delta\varphi = 90^\circ$ , na okrajích pásma držení je 0 resp.  $180^\circ$ ,

B: v zavěšení vždy  $\Delta\varphi = 0^\circ$ , komparátor reaguje na vzestupnou hranu obou signálů.

Zavěšení na harmonický signál s kmitočtem  $f_0$

A: ano, ale mohou nastat problémy při malé strmosti signálu,

B: ne.

Potlačení šumu ve vstupním signálu

A: velké,

B: malé.

Kmitočtový rozsah držení  $2f_H$

A i B: odpovídá kmitočtovému rozmezí, v němž je smyčka schopna udržet zavěšení na vstupním signálu; je dán prakticky kmitočtovým rozsahem ( $f_{\max} - f_{\min}$ ) generátoru řízeného napětím.

Kmitočtový rozsah zachycení  $2f_C$

A i B: odpovídá rozmezí kmitočtů vstupního signálu, při nichž smyčka přejde do režimu zavěšení (držení), i když v něm předtím nebyla,

A: závisí na charakteristice filtru DP,  $f_C < f_H$ ,

B:  $f_C = f_H$ .

Střední kmitočet  $f_0$

A i B: kmitočet výstupních kmitů generátoru řízeného napětím při  $u_{IN} = u_{O\check{R}N} = U_{DD}/2$ .

Při návrhu pasivních prvků pro generátor řízený napětím používáme hodnoty  $R_1$ ,  $R_2$  a  $C_2$  v doporučených mezích  $R_1 = 10 \text{ k}\Omega$  až  $1 \text{ M}\Omega$ ,  $R_2 = 10 \text{ k}\Omega$  až  $1 \text{ M}\Omega$  a  $C_1 = 50 \text{ pF}$ . Při návrhu je nutno také rozlišovat, zda bude generátor pracovat se základním posunem kmitočtu nebo bez něj.

1. Oscilátor řízený napětím bez kmitočtového posunu ( $R_2$  nezapojen), u kterého  $f_{\min} = 0$  Hz:

a) Pokud je dán kmitočet  $f_0$ , určíme  $R_1$ ,  $C_1$  z obr. 8.5a,

b) Je-li dán kmitočet  $f_{\max}$ , vypočítáme nejprve  $f_0 = f_{\max}/2$  a pak z obr. 8.5a určíme  $R_1$ ,  $C_1$ .

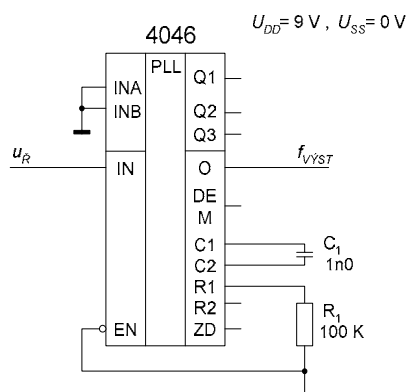
Oscilátor řízený napětím se základním kmitočtovým posunem o  $f_{\min}$ :

a) Pokud je dán kmitočty  $f_0$  a poloviční šířka přeladovaného pásma  $f_H$ , vypočítáme  $f_{\min} = f_0 - f_H$  a z obr. 8.5b určíme potřebné hodnoty  $R_2$ ,  $C_1$ . Dále vypočítáme poměr  $f_{\max}/f_{\min} = (f_0 + f_H)/(f_0 - f_H)$ , pomocí grafu na obr. 8.6 zjistíme jemu odpovídající poměr  $R_2/R_1$  a nakonec ze známého již  $R_2$  vypočteme  $R_1$ ;

b) Jestliže jsou dány kmitočty  $f_{\min}$  a  $f_{\max}$ , odvodíme z nich  $f_0 = (f_{\max} - f_{\min})/2$  a podle obr. 8.5b zjistíme  $R_2$  a  $C_1$ . Dále vypočítáme poměr  $f_{\max}/f_{\min}$  a podle grafu na obr. 8.6 odečteme poměr  $R_2/R_1$  a z něho pro již známé  $R_2$  určíme  $R_1$ .

V některých případech (použití smyčky fázového závěsu jako demodulátoru kmitočtově modulovaného signálu) potřebujeme odebírat řídicí signál pro ovládání generátoru. K tomu účelu využijeme vestavěný emitorový sledovač, který je bázi propojen na řídicí vstup IN generátoru. Abychom příliš nezmenšili velký vstupní odpor tohoto vstupu,  $R_{IN} \approx 10^{12} \Omega$ , musí mít emitorový rezistor (spojující výstup DEM se společným vodičem) velký odpor  $R_E > 10 \text{ k}\Omega$ . Pokud emitorový sledovač nepoužijeme, zůstává výstup DEM nepřipojen.

### 8.3 Použití obvodů smyčky fázového závěsu



Obr. 8.10: Zapojení převodníku napětí na kmitočet v rozsahu 0 až 18,5 kHz

Z obvodu 4046 využíváme v některých případech jen generátor řízený napětím. Na obr. 8.10 je uvedeno jednoduché zapojení, kde je použit pouze časovací člen  $R_1$ ,  $C_1$ . Kmitočet výstupních pravoúhlých kmitů generátoru se při změně řídicího napětí  $u_R = 0$  V až  $U_{DD}$  mění od  $f_{\min} = 0$  Hz do

$$f_{\max} = \frac{1}{R_1(C_1 + 32 \text{ pF})} \quad (8.19)$$

Odpor  $R_1$  volíme v souladu s výše uvedenými podmínkami v mezích 10 kΩ až 1 MΩ, výjimečně až 10 MΩ.

Pokud požadujeme také  $f_{\min} > 0$  Hz, musíme zapojit rezistor  $R_2$  pro posun rozsahu. Orientační hodnota  $f_{\min}$  se pro dané  $R_2$  může odečíst z obr. 8.5

nebo orientačně vypočítat z rovnice

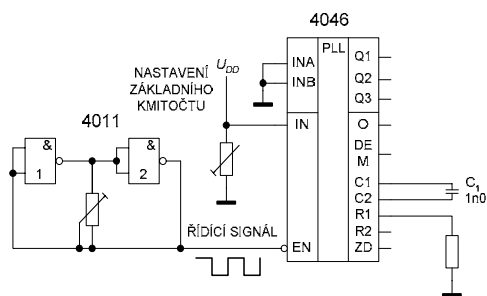
$$f_{\min} = \frac{1}{R_2(C_1 + 32 \text{ pF})} \quad (8.20)$$

Výstupní signál s kmitočtem  $f_{VYST}$  stačí patřičně výkonově zesílit a použít např. v nf oblasti pro buzení akustického měniče, reproduktoru.

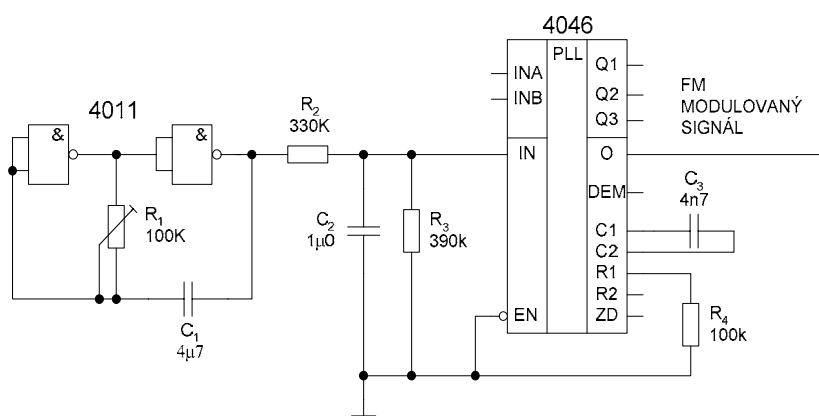
Obvod 4046 spolehlivě pracuje při napájecím napětí  $U_{DD} = 3$  až 18 V. Celkový příkon obvodu závisí na pracovním kmitočtu generátoru. Například při  $f_0 \approx 10$  kHz má obvod 4046 spotřebu jen asi 600 μW, což je zhruba 1/160 příkonu obdobného bipolárního obvodu smyčky fázového závěsu typového čísla 565. Příkon lze snížit také důsledným tvarováním vstupních pravoúhlých signálů tak, aby hrany byly co nejstrmější.

Obvod podle schematu na obr. 8.11 obsahuje popsany převodník  $U/f$ , jehož vstupní napětí je dáno v mezích  $u_{IN} = 0$  V až  $U_{DD}$  úhlem natočení běžce trimru  $R_2$ . Pomocný generátor pravoúhlých kmitů s hradly 4011 generuje pomaluběžné kmity, jimiž je ovládán povolovací vstup  $\overline{EN}$  obvodu 4046. Bude-li právě  $\overline{EN} = L$ , budou na výstupu O generátoru vyráběny pravoúhlé kmity, při  $\overline{EN} = H$  je výroba kmitů zastavena, obvod je v klidu.

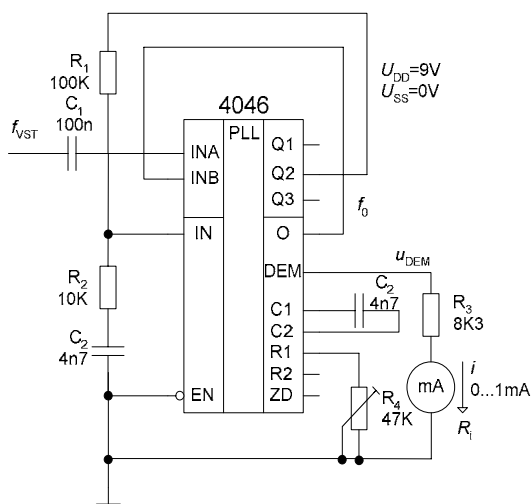
Kmitočtově modulované kmity s plynulou změnou kmitočtu můžeme vyrábět obvodem zapojeným podle schematu na obr. 8.12. Pomaluběžný generátor vyrábí pravoúhlé kmity s kmitočtem řádu jednotek Hz (podle volby  $C_1$  a nastavené hodnoty  $R_1$ ). Tyto pravoúhlé kmity procházejí pasivním integračním článkem RC, s časovou konstantou  $(R_2 \parallel R_3)C_2$ . Na jeho výstupu se objeví periodický signál, sestávající ze střídajících se úseků exponenciálně rostoucího a klesajícího napětí. V důsledku velkého vstupního odporu  $R_{IN} \approx 10^{12} \Omega$  vstupních obvodů generátoru se toto proměnné napětí dostává bez zkreslení na řídicí vstup a plynule přeladuje generátor mezi  $f_{\min}$  a  $f_{\max}$ . Po výkonovém zesílení výstupních FM kmitů můžeme v připojeném zvukovém měniči generovat pravidelně se zvyšující a snižující tón.



Obr. 8.11: Generátor modulovaných kmitů se stoprocentní amplitudovou modulací



Obr. 8.12: Generátor proměnného FM signálu



Obr. 8.13: Analogový měřič kmitočtu s obvodem 4046, pracujícím jako převodník  $f/U$

V uvedeném zapojení můžeme použít také rezistor  $R_5$  (na obr. 8.13 není nakreslen) připojený již známým způsobem mezi vývod  $R_2$  a zem. Pomocí tohoto rezistoru posouváme minimální hodnotu měřeného vstupního kmitočtu  $f_{VST}$ . Např. pro  $R_5 = 100 \text{ k}\Omega$  a  $i = 0,5 \text{ mA}$  při  $f_{VST} = 5 \text{ kHz}$ , bude měřicí rozsah asi 2,3 až 7 kHz.

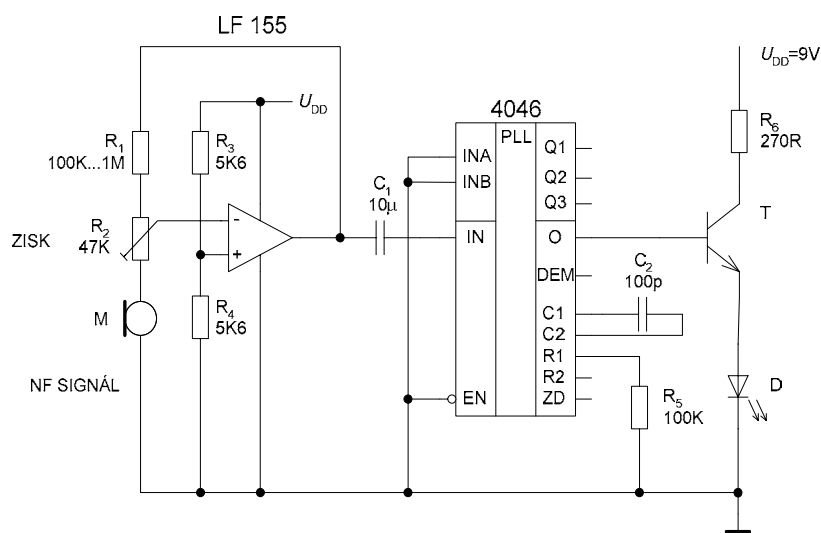
Už jsme probírali použití obvodu 4046 jako převodníku  $U/f$ . Je s ním však možný i opačný převod  $f/U$ , ilustrativní řešení ukazuje schéma na obr. 8.13. Jedná se o použití obvodu 4046 v analogovém měnič kmitočtu s vyhodnocovacím ss ručkovým měřidlem. Vstupní signál s měřeným kmitočtem  $f_{VST}$  je kapacitní vazbou přiváděn na vstup INA fázového komparátoru. Řídící napětí  $u_{IN}$  generátoru, které jak víme je ve smyčce fázového závěsu s dobrou linearitou úměrné okamžitému

kmitočtu, se převádí oddělovacím emitorovým sledovačem ze vstupu IN na výstup DEM. Vzhledem k tomu, že v pracovní oblasti nepřekračuje podle obr. 5.8 chyba linearit převodní charakteristiky  $f_0(u_{IN})$  hodnotu asi 0,3 % při  $U_{DD} = 5 \text{ V}$  a asi 0,8 % při  $U_{DD} = 15 \text{ V}$ , můžeme dostatečně přesně vyjádřit měřicí převodní charakteristiku magnetoelektrického miliampérmetru lineárním vztahem

$$i = \frac{u_{DEM}}{R_3 + R_i} \approx \frac{k \cdot f_{VST} - u_{BE}}{R_3 + R_i} \quad (8.21)$$

a měřicí přístroj pak ocejchovat v jednotkách kmitočtu  $f_{VST}$ . S použitými hodnotami součástek lze měřit kmitočty 100 až 8000 Hz.

Filtr s charakterem dolní kmitočtové propusti 2. řádu je navržen tak, aby se smyčka při změně  $f_{VST}$  co nejrychleji přeladila a zůstala přitom stabilní. Doporučuje se, aby byl odpor  $R_2 = (0,1 \text{ až } 0,3) \cdot R_1$ . Tím je zaručeno dostatečné tlumení, takže nedojde k překmitům a parazitním oscilacím při ustalování smyčky, přitom je odezva na skokovou změnu  $f_{VST}$  ještě dostatečně rychlá. Doporučené hodnoty jsou  $R_1 \approx 470 \text{ k}\Omega$ ,  $R_2 \approx 47 \text{ k}\Omega$ ,  $C_2 \approx 100 \text{ nF}$ . Delší časové konstanty RC způsobí podstatné prodloužení přeladění smyčky na novou hodnotu  $f_0 \approx f_{VST}$ . Naopak malá konstanta RC způsobí nepravidelné změny kmitočtu  $f_0$ , neboť řídicí napětí generátoru není dostatečně vyhlazeno.



Obr. 8.14: Vysílač kmitočtově modulovaných světelných kmitů

napětí. To se kapacitní vazbou přes kapacitor  $C_1$  přivádí na vstup IN generátoru. Výstupní pravoúhlé kmitý generátoru s okamžitým kmitočtem

$$f_0 = k \cdot u_{nf} \quad (8.22)$$

jsou výkonově zesíleny v emitorovém sledovači a v podobě proudových impulsů moduluji okamžitý svit svítivé diody D. S uvedenými hodnotami pracuje generátor na nosném kmitočtu asi 100 kHz. Obvod může být použit jako vysílač kmitočtově modulovaného světelného záření v infračervené oblasti.

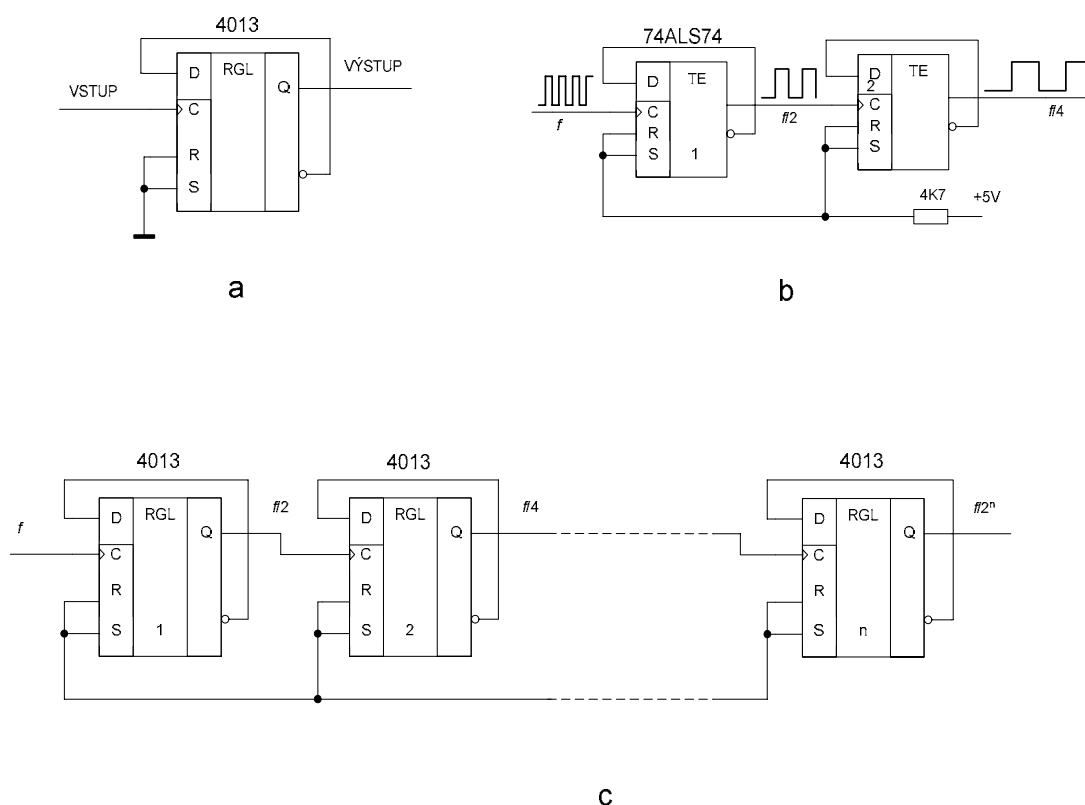
Takto modulovaný světelný signál může být přijat a zpracován přijímačem, jehož schéma je uvedeno na obr. 8.15. Infračervený kmitočtově modulovaný signál z vysílací diody LED vysílače podle obr. 8.14 je detekován fototranzistorem T a kapacitně z jeho kolektoru veden do zesilovače. Zesílené napětí je z výstupu operačního zesilovače vedeno kapacitní vazbou kapacitorem  $C_2$  na fázový komparátor. Obvod 4046 je použit jako převodník  $f/U$ . Oscilátor řízený napětím je pomocí  $R_6$ ,  $C_4$  nastaven tak, aby základní nosné kmitý měly opět stejný kmitočet asi 100 kHz jako vysílač. Kmitočtový filtr  $R_5$ ,  $C_3$  určuje dynamické chování obvodu a rozsah  $2f_c$  zachycení kmitočtu. V zapojení podle obr. 8.15 je šířka zachycení asi 12,6 kHz kolem středního kmitočtu  $f_0$ . Na výstupy  $Q_1$  a  $Q_3$  komparátorů (nebo lépe jen na  $Q_3$ ) je připojen kontrolní indikační obvod zachycení ve smyčce.

Zajímavé použití smyčky fázového závěsu 4046 ukazuje schéma modulátoru na obr. 8.14. Základním prvkem modulátoru je převodník  $U/f$ , již dříve popsany. Jeho vstupní řídicí napětí je dodáváno mikrofonním zesilovačem s operačním zesilovačem. Podle okamžitého vstupního nf akustického signálu působícího na mikrofon se mění odpor zpětnovazební sítě operačního zesilovače tak, že na jeho výstupu dostaneme zesílené nf



zpětné vazbě z inverzního výstupu zapíše vzestupnou hranou každého přicházejícího čítacího impulsu stav inverzní předchozímu. Je zřejmé, že vždy po příchodu dvou čítacích hran se tento elementární čítač vrací zpět do výchozího stavu a pracuje tedy jako jednobitový čítač ve dvojkové číselné soustavě (na případný přenos do vyššího dvojkového řádu není brán zřetel). Při buzení periodickým hodinovým pulsem může být proto použit pro dělení kmitočtu číslem 2.

Jestliže zapojíme takové elementární čítače do kaskády, jak je to naznačeno ve schématu na obr. 8.16b a c, bude každý následující čítač buzen z výstupu předcházejícího čítače a protože ten reaguje na dvě čítací hrany vyrobením jen jedné čítací hrany, dochází v celé kaskádě z  $N$  elementárních čítačů k redukci  $2^N$  čítacích hran na vstupu kaskády na jedinou čítací hranu na jejím výstupu. Diskuse postupného plnění takové kaskády  $N$  jednobitových dvojkových čítačů ukazuje, že tato kaskáda se chová jako  $N$ -bitový dvojkový asynchronní čítač, u něhož je dvojkové číslo vyjádřeno v obvyklém pozičním zápisu, pokud je čteno na výstupech jednotlivých klopných obvodů ve zpětném pořadí od  $N$ -tého klopného obvodu až po první klopný obvod. Kapacita tohoto čítače umožňuje načítat až  $2^N$  vstupních impulsů. Budeme-li uvažovat jednotlivé výstupní signály z hlediska kmitočtu, pak při opakovacím kmitočtu  $f$  vstupních impulsů můžeme z výstupů jednotlivých klopných obvodů odebírat pravoúhlé kmity se střídou 1 : 1 a s kmitočty po řadě  $f/2, f/2^2, \dots, f/2^N$ .



Obr. 8.16: a) Jednobitový dvojkový čítač, b) kaskádní uspořádání  $N$ -bitového dvojkového asynchronního čítače

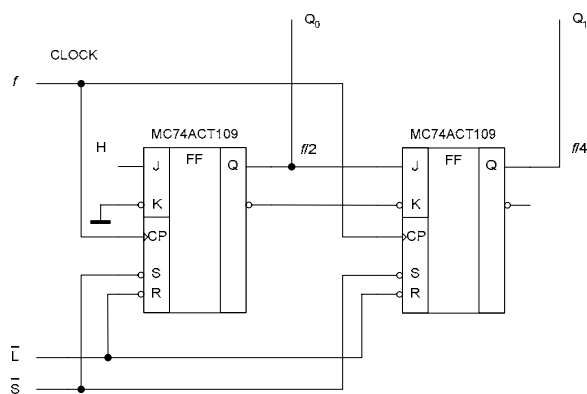




vstupy					výstup $Q$	výstup $\bar{Q}$
$\bar{S}$	$\bar{R}$	$CP$	$J$	$\bar{K}$		
L	H	X	X	X	H	L
H	L	X	X	X	L	H
L	L	X	X	X	H	H
H	H	$\uparrow$	L	L	L	H
H	H	$\uparrow$	H	L	překlopí se	
H	H	$\uparrow$	L	H	beze změny	
H	H	$\uparrow$	H	H	H	L
H	H	L	X	X	beze změny	

Výhodou tohoto čítače je, že se při čítání mění vždy jen stav jediného datového výstupu a nedochází proto k hazardním stavům jako např. u asynchronních čítačů.

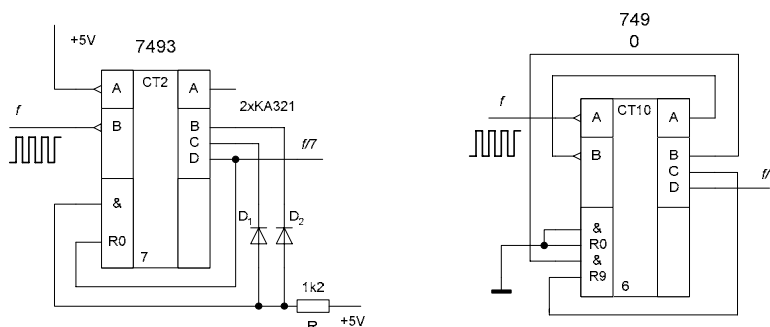
Pro sestavení čítačů se používají také klopné obvody JK. Například na obr. 8.18 je nakresleno schéma dvoubitového dvojkového čítače s klopnými obvody JK typu MC74ACT109, viz [13]. Pravdivostní tabulka tohoto obvodu je uvedena v tab. 8.2.



Obr. 8.18: Dvojkový dvoubitový čítač s klopnými obvody JK

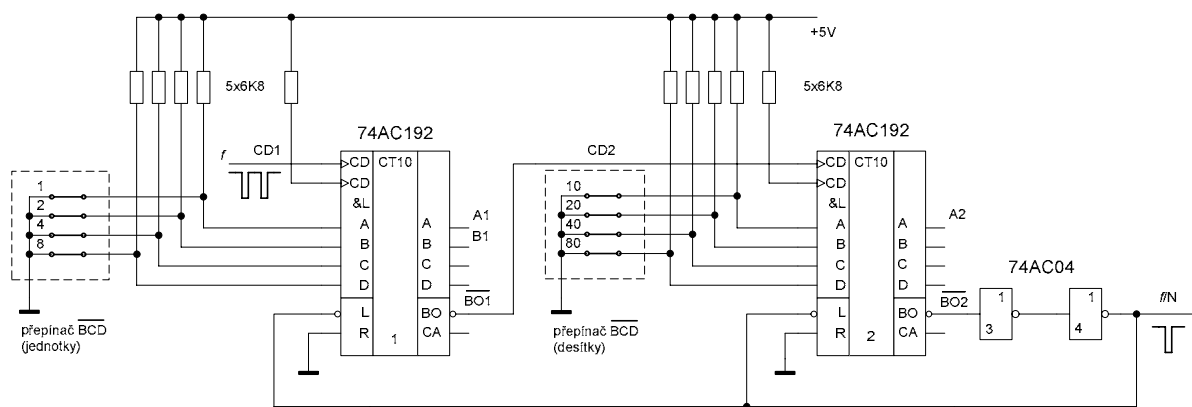
Tento čítač pracuje v synchronním režimu. Signál CLOCK přichází na oba hodinové čítací vstupy současně, takže odpovídající změny na výstupech  $Q_0$ ,  $Q_1$  (a obecně až  $Q_{N-1}$  u  $N$ -bitového čítače) se projeví prakticky současně, a to se zpožděním  $T_p$  jednoho klopného obvodu. Nerovnost (8.23) v tomto případě tedy nemá smysl. Hazardní stavy vznikají jen vyjimečně, jejich vznik je podmíněn rozdílem zpoždění  $T_p$  u jednotlivých kusů klopných obvodů JK, takže na rozdíl od asynchronních čítačů mají trvání jen po zlomek doby  $T_p$ .

Monolitické integrované čítače sestavené popsáním způsobem existují v mnoha typových variantách. Vesměs pracují ve dvojkovém kódu nebo v kódu BCD. Jiné dělicí poměry můžeme většinou docílit vhodným uzavřením pomocných zpětných vazeb z výstupů na nulovací a nastavovací vstupy. Jako příklad jsou na obr. 8.19 uvedena zapojení takových čítačů BIN a BCD pro dělení číslem 7. Člen  $R$ ,  $D_1$ ,  $D_2$  tvoří pomocný součinný člen, potřebný pro rozšíření počtu vstupů pro zavedení zpětné vazby.

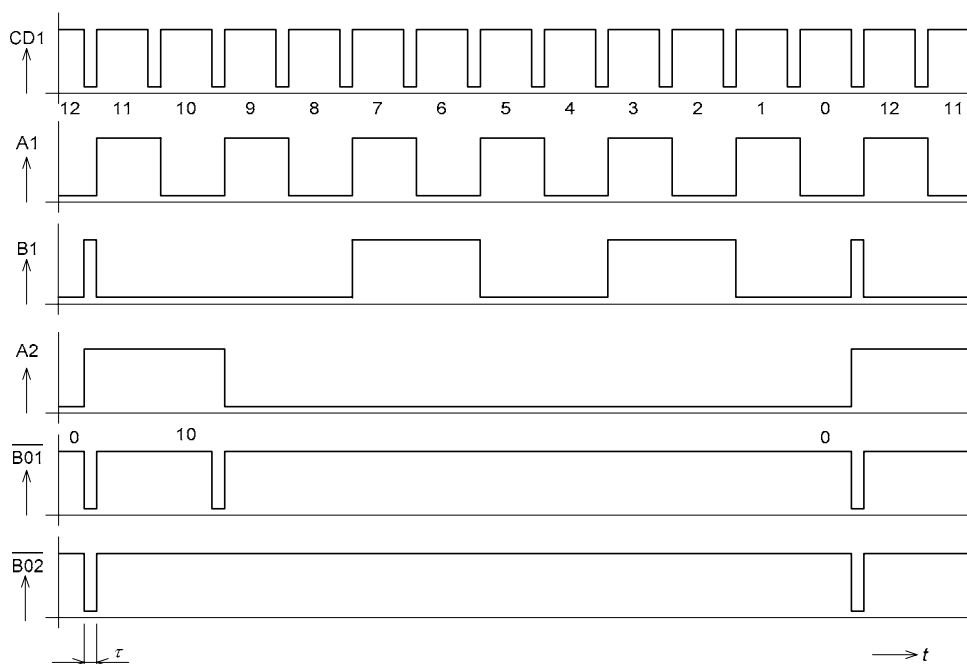


Obr. 8.19: Děliče kmitočtu s pomocnými zpětnými vazbami pro nastavení deličního poměru

**PŘEDNASTAVITELNÉ A PROGRAMOVATELNÉ ČÍTAČE A DĚLIČE KMITOČTU**  
 tvoří dvě vzájemně se prolínající skupiny digitálních subsystémů. Základem je logický obvod čítače s možností volby výchozího stavu čítání nebo obvod čítače doplněný pomocnými rozhodovacími logickými obvody pro ukončení cyklu čítání.



a



b

Obr. 8.20: Dělení kmitočtu nastavitelným děličem v poměru 1 : 1 až 99 : 1

Na obr. 8.20 je uvedeno zapojení nastavitelného děliče kmitočtu pro dělení v nastavitelném poměru 1 : 1 až 99 : 1. Dělicí poměr  $N : 1$  se nastavuje dvěma otočnými číslicovými spínači, pracujícími v inverzním kódu BCD (zřejmě  $N = 10 N_d + N_j$ ). Základními použitými obvody jsou integrované vratné čítače 74AC192 s možností nastavení počátečního stavu. Vstupní pravoúhlé kmitky s kmitočtem  $f$  přivádíme na vstup CD čítání dolů (zpět) čítače LO1. Předpokládáme, že po ukončení jednoho čítacího cyklu se právě čítače nově nastavily do stavu  $N$  (tj. LO1 do stavu  $N_j$  a LO2 do stavu  $N_d$ ). První vzestupnou hranou vstupních kmitů se obsah čítače zmenší o 1, tedy na číslo  $N - 1$  a toto zmenšování obsahu pak pokračuje s každým dalším čítacím impulsem až do úplného vyprázdnění čítače, viz obr. 8.20b (průběhy signálů jsou zde nakresleny pro dělení kmitočtu číslem  $N = 12$ ). Jakmile se dosáhne

výstupního stavu 0, přeneše se následující vstupní impuls na inverzní výstup BO čítače LO1 a odtud i na inverzní výstup BO čítače LO2 a přes časovou zdrž s inventory LO3 a LO4 se dostává na nastavovací vstupy L obou čítačů. Ty se znovu asynchronně nastaví na číslo  $N$ , na jejich inverzních výstupech BO se obnoví úroveň H a popsáný děj se cyklicky opakuje. Výstupní impulsy z inverzního výstupu BO čítače LO2 se generují s kmitočtem  $f/N$ . Všimněte si, že výstupy čítačů se dostávají do předvoleného stavu  $N$  pouze na dobu do ukončení vstupního impulsu, který vyvolal vydání zápisového impulsu na vstupy L a nastavení čítačů na číslo  $N$ .

Celý obvod může být použit i jako přednastavitelný čítač, ovšem pouze pro čítání směrem dolů. Opět je nutné eliminovat přechodný děj při přednastavování čítačů, kdy se číslo  $N$  objeví na výstupech jako nežádoucí údaj vždy na konci intervalu vyhrazeného pro nulu.

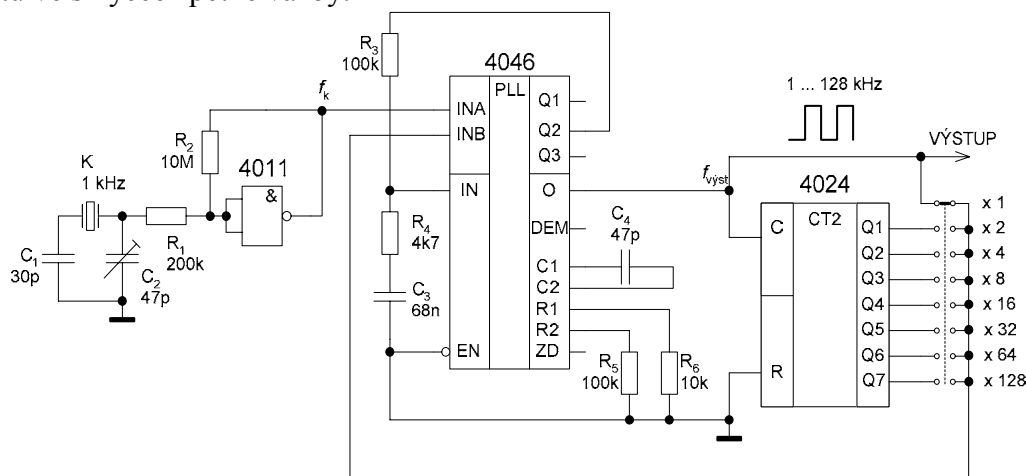
Zdrž s inventory LO3 a LO4 slouží jen k prodloužení doby zápisu přednastavených čísel tak, aby zápis byl spolehlivý. Zmenší se tím ovšem horní mezní kmitočet, na kterém může celý přednastavitelný čítač pracovat. Při vyšších nárocích na horní mezní kmitočet čítače je možné zdrž LO3, LO4 vynechat, ovšem jen za předpokladu, že bude impuls na výstupu BO čítače LO2 schopen spolehlivě nastavit i čítač LO1. Ten totiž může být pomalejší a nemusí stačit zapsat nastavené číslo v době, kdy LO2 již ukončil zápis přechodem svého inverzního výstupu BO do úrovně H. Zde bude asi na místě předepsat výběr čítačů z hlediska jejich dynamických parametrů a osadit LO1 čítačem, který má výrazně kratší dobu zápisu přednastavených čísel než čítač použitý na místě LO2.

Místo digitálních přepínačů je možno k zadávání nastavovacích čísel použít i vhodné paměťové registry, jimž se dodávají údaje po sběrnici formou paralelního nebo sériového kódu. Tím se mění přednastavitelný čítač na čítač programovatelný, schopný spolupráce se složitějšími číslicovými řídicími systémy, např. s počítači.

Velmi vhodnými typy čítačů pro návrh podobných programovatelných děličů kmitočtu jsou ryze synchronní čítače typového označení 74160, 74162, 74ALS560, 74ALS568, 74ALS569, 74AS867 a 74AS869.

## 8.5 Kmitočtové syntézátory

Typické je použití obvodu smyčky fázového závěsu a děliče kmitočtu při návrhu a stavbě elementárního kmitočtového syntézátoru. Jeho skupinové schéma jsme uvedli na obr. 8.2, příklad jednoduché realizace zapojení ukazuje obr. 8.21. Je zde použit pouze dělič kmitočtu ve smyčce zpětné vazby.



Obr. 8.21: Schéma jednoduchého kmitočtového syntézátoru

Opěrný referenční signál je dodáván generátorem s krystalem kmitajícím na kmitočtu  $f_k = 1\text{kHz}$ . Pravoúhlé kmity z jeho výstupu jsou vedeny na vstup INA fázového komparátoru obvodu 4046. Výstupní impulsy z třístavového výstupu Q2 vnitřního komparátoru B jsou filtrovány dolní kmitočtovou propustí s prvky  $R_3, R_4, C_3$ . Vyhlazený stejnosměrný signál je veden na řídicí vstup IN generátoru řízeného napětím. Výstupní pravoúhlé kmity z generátoru nejsou vedeny na vstup INB fázového komparátoru přímo, ale jejich kmitočet je nejprve upraven v děliči kmitočtu s celočíselným dělicím poměrem

$$N : 1 = 2^i : 1, \quad i = 0, 1, 2, \dots, 7. \quad (8.24)$$

V ustáleném stavu ve smyčce platí

$$f_{\text{INA}} = f_{\text{INB}} = \frac{f_0}{N}, \quad (8.25)$$

takže v daném uspořádání

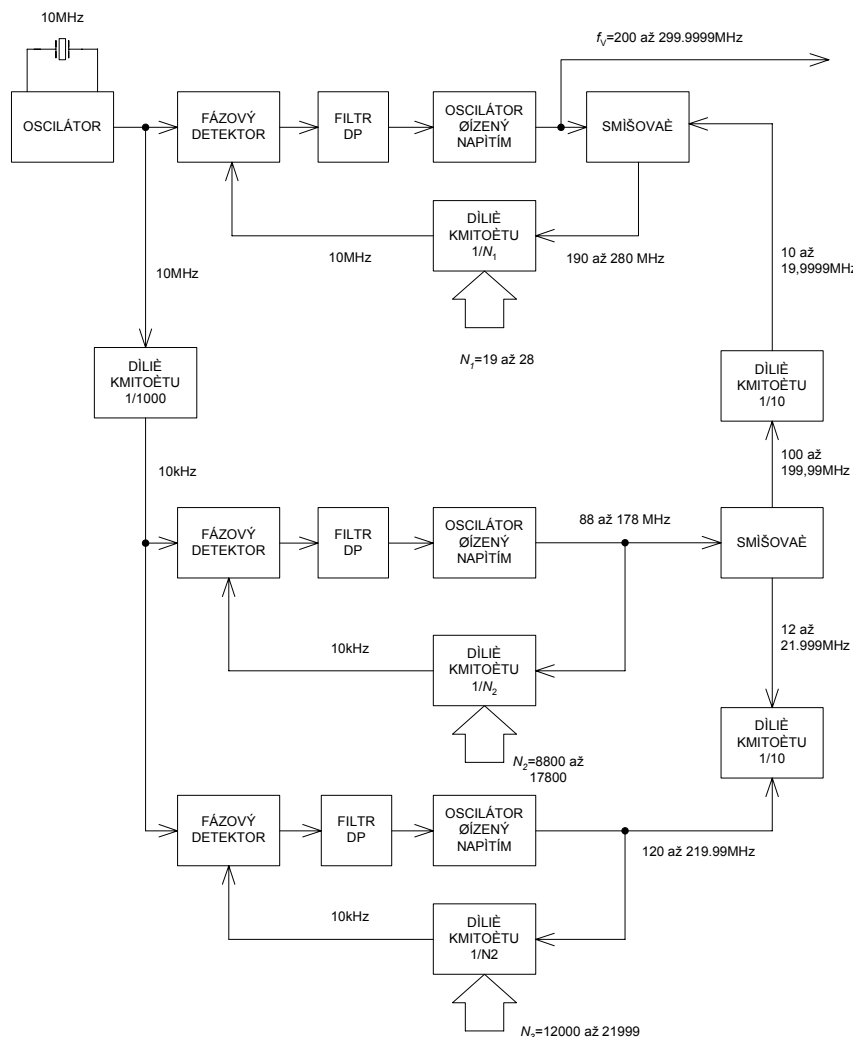
$$f_0 = N \cdot f_{\text{INB}} = N \cdot f_{\text{INA}} = 2^i \cdot f_{\text{INA}}. \quad (8.26)$$

Přesnost a stabilita kmitočtů  $f_0 = 1, 2, 4, 8, \dots, 128\text{ kHz}$  je dána výhradně přesností a stabilitou krystalem řízeného generátoru opěrných kmitů.

Místo čítače 4024 a přepínače můžeme použít programovatelný čítač, dělicí kmitočet v poměru  $N : 1$ , kde  $N$  je libovolné přirozené číslo, a rozšířit tak počet nastavitelných kmitočtů  $f_0$  výstupních kmitů syntézátoru. Pokud doplníme ještě další programovatelný čítač ve funkci děliče kmitočtu s dělicím poměrem  $M : 1$  mezi krystalový generátor pracující na kmitočtu  $f_{\text{KG}}$  a vstup INA detektoru, vytvoříme kmitočtový syntézátor, který realizuje rovnici

$$f_0 = N \cdot f_{\text{INA}} = f_{\text{KG}} \cdot \frac{N}{M} \quad (8.27)$$

Můžeme tak nastavovat libovolné kmitočty  $f_0$ , které lze z kmitočtu  $f_{\text{KG}}$  odvodit násobením zlomkem, jenž představuje podíl dvou přirozených čísel.



Obr. 8.22: Blokové schéma nepřímého kmitočtového syntezátoru

Na obr. 8.22 je nakresleno zjednodušené blokové schéma nepřímého kmitočtového syntezátoru se třemi smyčkami fázového závěsu. První smyčka pracuje s opěrným kmitočtem 10 MHz, obě zbývající s opěrným kmitočtem 10 kHz. Dalšími bloky syntezátoru jsou ještě přídavné děliče kmitočtu a směšovače s příslušnými filtry, zabezpečující přímou syntézu signálů, odvozených ve smyčkách fázových závěsů. Kmitočet výstupního signálu lze nastavit v mezích  $f_v = 200$  až  $299,9999$  MHz s krokem  $f_v = 100$  Hz. Také v tomto případě závisí přesnost a stabilita výstupního kmitočtu pouze na přesnosti a stabilitě kmitočtu krystalem řízeného oscilátoru, generujícího opěrné kmitočty.

## 8.6 Časové základny

Kmitočtové syntezátory umožňují nastavit jednoznačným způsobem kmitočet nejčastěji realizací vztahu  $f_{\text{OVT}} = (M/N) \cdot f_{\text{IN}}$ . Pro mnohé aplikace je však důležitější nastavovat periodu kmitů nebo časový interval. Pak hovoříme o časových základnách.



32 MHz. Pouze je nutné vybrat multiplexer 74151 tak, aby pracovat na vstupu D0 spolehlivě při  $f_0 = 20$  MHz.

Střidu 1 : 1 výstupních pravoúhlých kmitů však můžeme docílit i následující úpravou. Měníme periodu  $T_0$  pravoúhlých kmitů z generátoru ( $f_0 = 20$  MHz) dělením v přednastavovaném děliči 11, potom dělíme kmitočet výstupního impulsového signálu děličem dvěma a dostáváme pravoúhlé kmity se střídou 1 : 1. Teprve potom dělíme kmitočet po dekádách v děličích SN74LS90, které jsou zapojeny pro symetrické dělení deseti (vstupní kmity se přivádějí na vstup B, z výstupu D je buzen vstup A a z výstupu A se odebírají pravoúhlé kmity se střídou 1 : 1). Multiplexerem LO11 pak vybíráme kmity s požadovanou periodou  $T = M \cdot 10^{E-7}$  a se střídou 1 : 1.

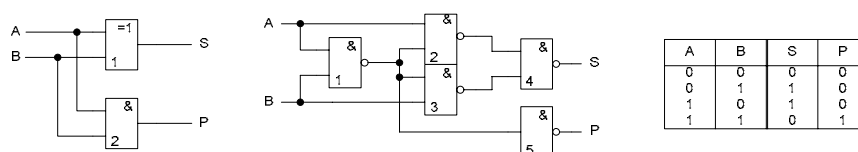
## 9 ZPRACOVÁNÍ A ZVIDITELNĚNÍ VÍCEBITOVÝCH DIGITÁLNÍCH SIGNÁLŮ

V mnoha elektronických přístrojích jsou potřebné aritmetické operace s digitálními signály vykonávány vestavěnými mikroprocesory. Pro aplikace, kde se vyžaduje vysoká rychlost těchto operací, však rychlost mikroprocesoru nevyhoví a používají se rychlé specializované aritmetické obvody.

Výsledky logických a aritmetických operací bývá někdy nutno zobrazit tak, aby je mohl člověk svými smysly přímo vnímat. K tomu účelu slouží zobrazovací jednotky - displeje. Při provozu elektronických přístrojů je často nutné zobrazovat informaci o stavu zařízení, vykonaných operacích nebo výsledcích výpočtů apod. K tomu slouží řada součástek a obvodů, které umožňují graficky znázornit některé znaky, číslice, písmena nebo obrazce. Zobrazovací jednotky (displeje) můžeme rozdělit podle druhu zobrazovacího media do tří základních skupin: displeje se svítivými diodami (LED), displeje s tekutými krystaly (LCD), displeje obrazovkové.

### 9.1 Obvody pro sčítání a odčítání

Nejdůležitější aritmetickou operací ve dvojkové číselné soustavě je sčítání, protože je základem i pro další aritmetické operace: odčítání, násobení a dělení. Základní obvody jsou jednobitové sčítačky, které umožňují elementární operace sčítání. Mohou být neúplné (poloviční) nebo úplné.



Obr. 9.1: Realizace neúplné sčítačky a) s obvodem EX-OR a AND, b) s obvody NAND a invertorem a c) její pravdivostní tabulka

Neúplná sčítačka má dva vstupy A, B a dva výstupy S, P. Výstup S udává výsledek součtu jednobitových čísel A a B, výstup P generuje přenos vznikající při součtu. Pro výstupy platí logické funkce

$$S = \overline{A}B + A\overline{B} = A \oplus B, \quad (9.1)$$

$$P = AB.$$

Neúplná sčítačka je tedy obvodem EX-OR (vykonávajícím logickou funkci exklusivního součtu), doplněným obvodem pro logický součin. Možné zapojení je nakresleno na obr. 9.1a, kde je uvedena i kombinační tabulka (obr. 9.1c). Neúplné sčítačky lze sestavovat i z obvodů NAND (viz obr. 9.1b) a NOR.

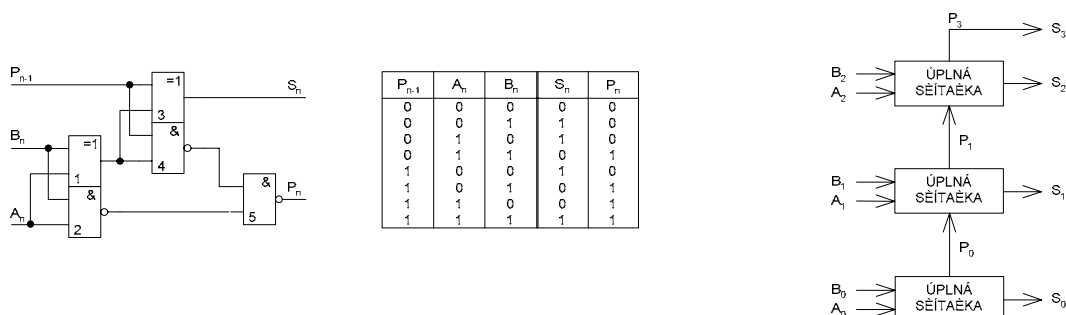
Úplná sčítačka jednobitová je sestavena ze dvou neúplných sčítaček. Má tři vstupy, ke vstupům A a B přibývá vstup pro přenos ze sčítačky nižšího bitu. Na obr. 6.2 je nakresleno schéma jednobitové úplné sčítačky pro sčítání jednobitových čísel  $A_n$  a  $B_n$  s respektováním přenosu  $P_{n-1}$  z předchozí sčítačky. Pro výstupní veličiny platí



$$S_n = A_n \oplus B_n \oplus P_{n-1} \quad (9.2)$$

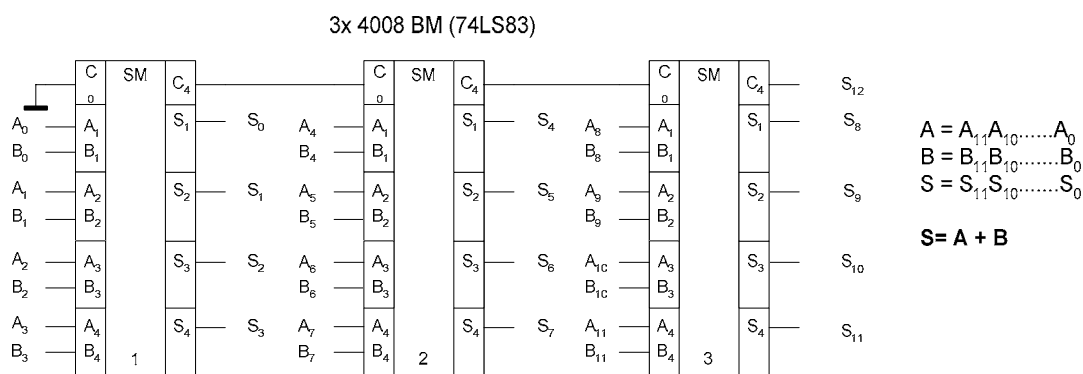
$$P_n = A_n B_n + P_{n-1} A_n + P_{n-1} B_n$$

Řazením úplných sčítaček do kaskády podle obr. 9.2 lze navrhnout sčítačku pro sečítání dvou  $n$ -bitových dvojkových čísel (slov). Podle způsobu úprav funkcí (9.2) je možné sestavovat úplné sčítačky i z jiných druhů logických obvodů.



Obr. 9.2: a) Úplná dvojková sčítačka s b) pravdivostní tabulkou, c) expanze pro větší počet bitů

Úplné vícebitové sčítačky se vyrábějí také v integrované podobě, např. obvody SN7483 a CD4008BM (čtyřbitová úplná sčítačka), 74181, 74LS381 a 74AS881 (velmi rychlá aritmeticko-logická jednotka pro 16 aritmetických a 16 logických operací se dvěma čtyřbitovými čísly), případně 74AS888 (8-bitový bipolární řez velmi rychlého procesoru). Na obr. 6.3 je uvedeno zapojení sčítačky dvou 12-bitových dvojkových čísel s integrovanými sčítačkami typu 4008. Sčítance A a B jsou vyjádřeny 12-bitovými slovy ve dvojkovém kódu. Index 0 značí nejnižší bit (LSB), index 11 nejvyšší bit (MSB).



Obr. 9.3: Sčítání dvou 12-bitových dvojkových čísel

**Úplná odčítačka.** Aritmetické operace odčítání se obvykle realizují pomocí součtu doplňkových čísel v zapojení se sčítačkami. V některých případech však může být vhodnější použít přímé odčítačky. Neúplná odčítačka z obr. 9.4a má zapojení podobné jako neúplná sčítačka, pouze se liší invertorem signálu A do vstupu obvodu AND při rozdílu A-B. Použitím dvou neúplných odčítaček se sestavuje úplná odčítačka. Zapojení a pravdivostní tabulka úplné odčítačky jsou uvedeny na obr. 9.4b. Pro odčítání vícebitových čísel se dají odčítačky řadit do kaskády. Neúplnou odčítačku můžeme pro rozdíl popsat logickými funkcemi

$$R = A \oplus B, \quad (9.3)$$

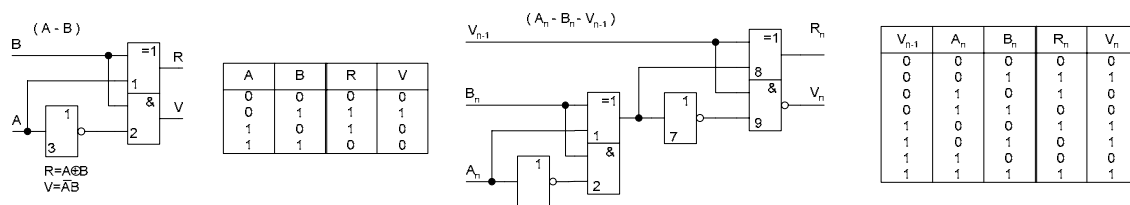
$$V = AB$$

a úplnou odčítačku pro rozdíl  $A_n - (B_n + V_{n-1})$  funkcemi

$$R_n = A_n \oplus B_n \oplus V_{n-1} \quad (9.4)$$

$$V_n = A_n B_n + A_n V_{n-1} + B_n V_{n-1}$$

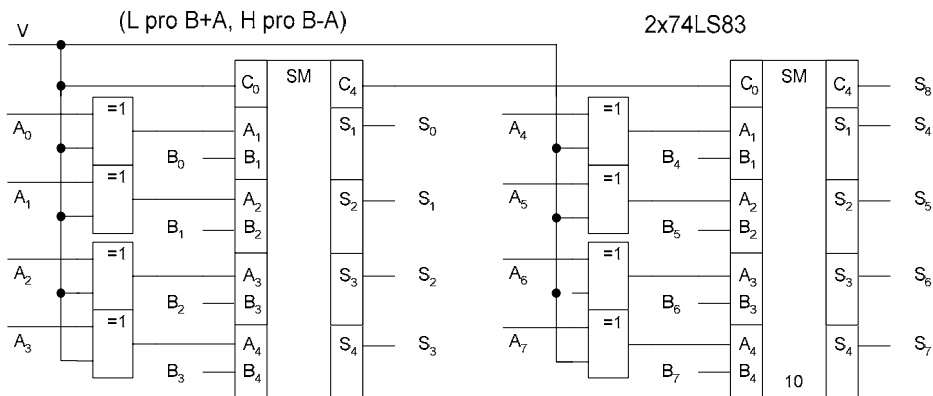
Veličinou  $V_{n-1}$  rozumíme vypůjčku nižšího řádu  $n-1$  z řádu  $n$ .



Obr. 9.4: a) Schéma neúplné sčítačky a b) úplné sčítačky

Odčítání pomocí dvojkového doplňku převádí aritmetickou operaci rozdílu na součet dvou čísel. Pokud pracujeme s dvojkovými čísly, můžeme záporná čísla vyjádřit ve dvojkovém doplňkovém kódu. Pro doplňkový kód je typické, že kladná čísla mají 0 na pozici nejvyššího bitu, naopak čísla záporná zde mají 1. Kladná čísla jsou tedy ve dvojkovém doplňkovém kódu vyjádřena běžným způsobem (pouze MSB=0). Pro odvození záporného čísla v doplňkovém dvojkovém kódu používáme zvláštní algoritmus:

1. vyjádříme absolutní hodnotu čísla jako kladné dvojkové číslo,
2. komplementujeme bit po bitu (0→1, 1→0),
3. přičteme číslo 1,
4. zanedbáme jakýkoliv přenos z nejvyššího bitu.



Obr. 9.5: Využití integrované sčítačky pro součet a rozdíl dvou 8-bitových čísel

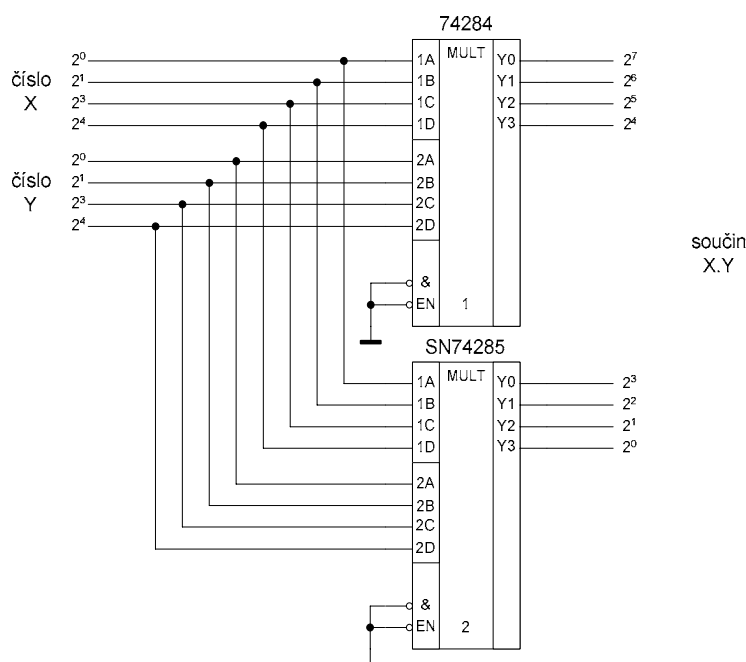
Pro odčítání součtem ve dvojkovém doplňkovém kódu můžeme opět použít sčítačku typu 4008 nebo 7483. Na obr. 6.5 je nakresleno zapojení kombinované 8-bitové sčítačky a odčítačky. Druh aritmetické operace se volí výběrovým signálem V ( $V=L$  pro sčítání  $B+A$  a  $V=H$  pro odčítání  $B-A$ ). Je-li  $V=L$ , pracují obvody EX-OR jako opakovače (neinvertory). Při  $V=H$  naopak invertují procházející signál a tedy přiváděné číslo B po bitech komplementují. Současně při  $V=H$  je i vstup přenosu  $C_0 = 1$  a číslo B se vlastně přičtením této jedničky vyjádří ve dvojkovém doplňkovém kódu. Výsledek  $S_8 S_7 S_6 \dots S_0$  je vyjádřen rovněž ve dvojkovém doplňkovém kódu.

Pomocí desítkového doplňkového kódu můžeme podobným způsobem odčítat čísla vyjádřená v kódu BCD.

## 9.2 Obvody pro násobení

Pro násobení vícebitových čísel nabízí například Texas Instruments [11] obvody 74LS261 - dvojková paralelní násobička pro násobení 2 bity x 4 bity, 74284 a 74285 - dvojkové paralelní násobičky pro násobení 4 bity x 4 bity, 74LS384 - kombinovaná sériová a paralelní násobička ve dvojkovém doplňkovém kódu pro násobení 8 bitů x 1 bit, SN74ALS1616 - 16-bitová vícemódová násobička.

Na obr. 9.6 je nakresleno jednoduché zapojení násobičky dvou 4-bitových čísel. Použité obvody 74284 a 74285 umožňují získat výsledek násobení nejvýše za 700 ns.



Obr. 9.6: Násobení dvou 4-bitových čísel

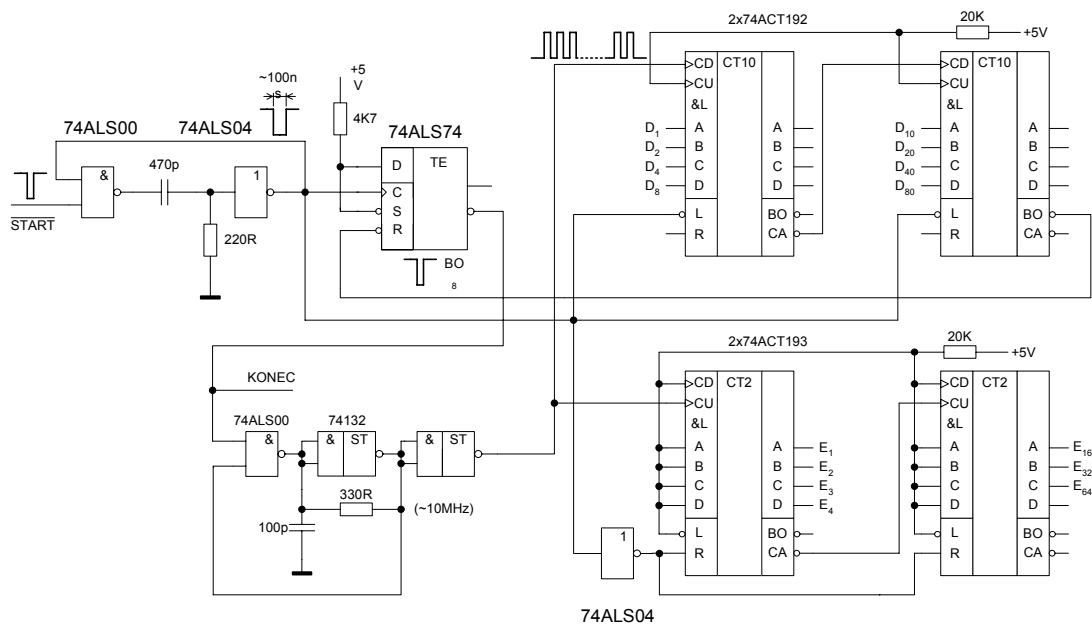
## 9.3 Převodníky kódu

Vzájemný převod mezi binárním kódem a kódem BCD je v mnoha případech potřebný, zejména tam, kde požadujeme přímou komunikaci člověk - stroj. V praxi se však často vyskytuje také potřeba převádět čísla mezi různými kódovými systémy. Pro řešení těchto úloh se používají interferované převodníky kódu (dekodéry, kodéry).

Čítací metoda patří mezi nejjednodušší způsoby jak realizovat převod mezi dvěma zejména neobvyklými kódy. Její princip si můžeme

objasnit v podstatě bez praktického přínosu podle schématu převodníku (dekodéru) pro převod BCD→BIN, uvedeného na obr. 9.7. Převod mezi oběma kódy se zahajuje impulsem START, který se přivádí na monostabilní klopný obvod s obvody 1 a 2. Jeho výstupním záporným impulsem s dobou trvání asi 100 ns se nastavuje dvojice dekadických čítačů 7 a 8 na převáděné číslo  $D_{80}D_{40}D_{20}D_{10}D_8D_4D_2D_1$ , vyjádřené v kódu BCD. Současně se tímž impulsem nuluje dvojice binárních čítačů 10 a 11. Vzestupnou hranou impulsu z monostabilního klopného obvodu se nastaví klopný obvod 3 a tím se uvede do chodu spouštěný oscilátor tvořený hradly 4 a 5. Generují se pravoúhlé impulsy a při každé vzestupné hraně těchto impulsů se v čítačích 7 a 8 sníží číslo  $D_{80}...D_1$  v kódu o jedničku a současně se o jedničku zvýší číslo  $E_{64}E_{32}E_{16}E_8E_4E_2E_1$  na výstupech dvojkových čítačů 10 a 11. Čítání impulsů pokračuje až do vynulování čítačů 7 a 8, kdy se na inverzním výstupu  $BO_8$  čítače 8 objeví záporný impuls do úrovně L. Tímto impulsem se okamžitě vynuluje klopný obvod 3 a přerušuje se generování dalších impulsů spouštěným oscilátorem. Počet generovaných impulsů odpovídá číslu  $D_{80}...D_1$  zadanému v kódu BCD. Protože dvojkový čítač 11 a 12 načítá tentýž počet impulsů, bude po skončení čítání číslo  $E_{64}...E_1$  ve dvojkovém kódu na výstupech čítačů 10 a 11 odpovídat číslu  $D_{80}...D_1$  v kódu BCD. Zařízení tedy pracuje jako převodník BCD→BIN.

Pro vzájemný převod BCD $\rightarrow$ BIN a BIN $\rightarrow$ BCD existuje dále několik *algoritmů*; jejich uplatnění přichází v úvahu zejména při nasazení mikropočítačů, neboť jsou obzvláště vhodné pro převod vykonáním určitého programu (podrobnosti například uvádí [10]).

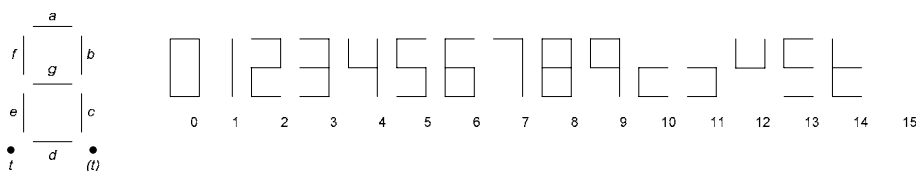


Obr. 9.7: Dekodér BCD/BIN založený na čítací metodě

Jiný způsob převodu, při němž je nejdůležitější rychlost převodu, je založen na využití *převodníků kódu naprogramovaných v pevné paměti*. Např. pro kódy BCD a BIN existují specializované integrované převodníky, které lze řadit do kaskády k dosažení větší šířky slova. Obecně lze naprogramovat libovolnou paměť ROM, EPROM příp. EEPROM pro funkci převodníku mezi dvěma libovolnými jednoznačnými kódy. Paměť se potom používá tak, že adresové vstupy jsou buzeny převáděným číslem ve vstupním kódu a na datových výstupech odebíráme totéž číslo, vyjádřené ve výstupním požadovaném kódu. Rychlost převodu závisí na konkrétním typu použité paměti, většinou však pro 8 až 12-bitová slova nepřesahuje zpoždění dobu několik desítek ns.

#### 9.4 Zobrazení informace na displeji LED ve statickém režimu

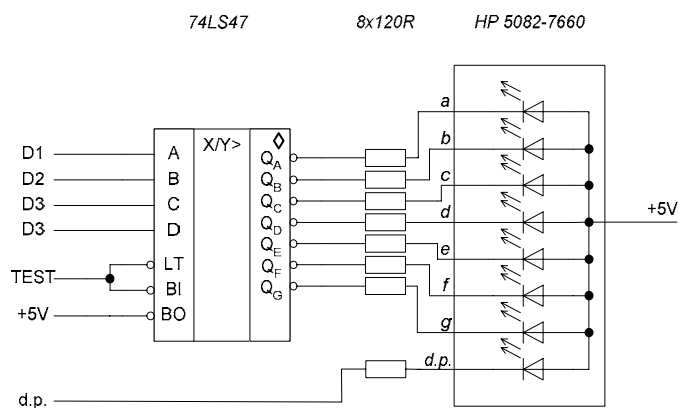
*Statický provoz displeje LED.* Displeje se svítivými diodami LED umožňují zobrazovat znaky pomocí sedmi segmentů nebo maticově. Na obr. 9.8 je nakreslen základní tvar sedmisegmentového zobrazovacího prvku. Kromě segmentů pro zobrazení číslic 0 až 9 a některých dalších znaků bývá zobrazitelná i desetinná tečka (vpravo nebo vlevo od číslice).



Obr. 9.8: Základní tvary zobrazitelné na sedmisegmentovém zobrazovací dekodéry řady x46 a x47

Každý segment zobrazovacího prvku může být pokládán za jednu svítivou diodu. Tyto svítivé diody segmentů mívají buď spojené anody a ovládají se buzením do katod nebo naopak. K

buzení sedmissegmentových zobrazovacích prvků jsou určeny dekodéry typu 7446 a 7447 a jejich nástupnické typy (v závorce je vždy uvedeno maximální provozní napětí připojeného zobrazovacího prvku): 74L46 (30 V), 74LS47 (15 V), 7448 a 74LS48 (5,5 V), 7449 a 74LS49 (5,5 V), 74246 (30 V), 74247 a 74LS247 (15 V), 74LS347 a 74LS447 (7 V), 74248 a 74LS248 (5,5 V), 74249 a 74LS249 (5,5 V).



Obr. 9.9: Základní zapojení displeje se statickým provozem (a desetinou tečkou)

znak. Na obr. 9.9 je nakresleno základní zapojení pro statické buzení sedmissegmentového zobrazovače se svítivými diodami.

Tab. 9.1: Pravdivostní tabulka budiče 74x46 a 74x47 displeje LED se sedmi segmenty

znak (funkce)	vstupy			BO (BI/RBO)	výstupy a b c d e f g
	LT/ BI	BI/ DC	BA		
0	1	1	0 0 0 0	1	0 0 0 0 0 0 1
1	1	X	0 0 0 1	1	1 0 0 1 1 1 1
2	1	X	0 0 1 0	1	0 0 1 0 0 1 0
3	1	X	0 0 1 1	1	0 0 0 0 1 1 0
4	1	X	0 1 0 0	1	1 0 0 1 1 0 0
5	1	X	0 1 0 1	1	0 1 0 0 1 0 0
6	1	X	0 1 1 0	1	1 1 0 0 0 0 0
7	1	X	0 1 1 1	1	0 0 0 1 1 1 1
8	1	X	1 0 0 0	1	0 0 0 0 0 0 0
9	1	X	1 0 0 1	1	0 0 0 1 1 0 0
10	1	X	1 0 1 0	1	1 1 1 0 0 1 0
11	1	X	1 0 1 1	1	1 1 0 0 1 1 0
12	1	X	1 1 0 0	1	1 0 1 1 1 0 0
13	1	X	1 1 0 1	1	0 1 1 0 1 0 0
14	1	X	1 1 1 0	1	1 1 1 0 0 0 0
15	1	X	1 1 1 1	1	1 1 1 1 1 1 1
vypnuto	X	X	X X X X	0	1 1 1 1 1 1 1
potlačená 0	0	L	0 0 0 0	0	1 1 1 1 1 1 1
test	X	X	X X X X	1	0 0 0 0 0 0 0

Při návrhu obvodů pro buzení displejů LED vycházíme z parametrů zvoleného displeje. Obvykle se používá pět základních grafů (viz také obr. 9.10 a katalog [5] Hewlett Packard):

A. pracovní charakteristiky  $I_p/I_{DCmax}(t_p)$  pro impulsní buzení v dynamickém režimu ( $I_p$  je vrcholový proud,  $I_{DCmax}$  maximální stejnosměrný proud,  $t_p$  doba trvání impulsu,

Jsou to převodníky z dvojkového kódu do kódu pro sedmissegmentové zobrazení s výstupy s otevřeným kolektorem. Zátěž lze připojit na napětí uvedené u jednotlivých typů v závorce, např. lze zátěž u typu 7447 připojit až na 15 V u typu 7556 dokonce na 30 V, při proudu výstupem až 40 mA. Znaky nakreslené na obr. 9.8 odpovídají standardní sadě dekodéru 7447. Při individuálním buzení diod v zobrazovací sedmissegmentové jednotce můžeme pochopitelně vytvořit v rámci segmentů libovolný

B. teplotní závislost maximálního stejnosměrného proudu  $I_{DCmax}(\theta_A)$  segmentu na teplotě  $\theta_A$  okolí s uvažovaným teplotním odporem  $R_{\theta JA}$ ,

C. relativní účinnost svícení na jednotku proudu vztažená na vrcholový proud segmentu,

D. AV charakteristika diody LED v propustném směru  $i_F(u_F)$ ,

E. relativní svítivost (vztažená na svítivost při 5 mA) jako funkce stejnosměrného proudu diodou  $E/E_{5mA}(I_{DC})$ .

Většinou se displej nastavuje pro maximální světelný výkon při určité teplotě okolí. Limitujícími údaji tedy jsou: maximální přípustný proud  $I_{DC}$  při dlouhé životnosti a přípustná teplota při dané konstrukci pouzdra. Maximální teplota přechodu LED bývá 100°C pro plastické pouzdro a 80 až 110°C pro ostatní typy.

Pro teplotu  $T_J$  přechodu LED platí

$$T_J = T_A + \Delta T_J = T_A + P_D \cdot R_{\theta JA} \quad (9.5)$$

kde  $T_A$  je teplota okolí a

$$\Delta T_J = P_D \cdot R_{\theta JA} \quad (9.6)$$

označuje zvýšení teploty vyvolené ztrátovým výkonem  $P$  na tepelném odporu přechodu  $R_{\theta JA}$  vůči okolí. Teplo se z přechodu diod LED většinou odvádí kovovým přívodem katody. Charakteristický tepelný odpor  $R_{\theta J, PIN}$  se uvádí většinou v technických parametrech displeje a musí se přičíst k tepelnému odporu  $R_{\theta PC, A}$  desky plošného spoje vůči okolí. Celkový tepelný odpor pak bude

$$R_{\theta JA} = R_{\theta J, PIN} + R_{\theta PC, A} \quad (9.7)$$

přičemž jednotkou je (°C/W)/ prvek LED.

Závislost maximálního proudu  $I_{DCmax}$  na teplotě okolí  $T_A$  podle obr. 9.10b se odvozuje z maximálního ztrátového výkonu  $P_{Dmax}$ , který klesá k nule při maximální teplotě  $T_A = T_{Jmax}$  přechodu a okolí. Hodnoty  $R_{\theta JA}$  jsou odvozeny

$$R_{\theta JA} = \frac{\Delta T_J}{P_{Dmax}} = \frac{T_{Jmax} - T_{Aprac}}{P_{Dmax}}, \quad (9.8)$$

kde index  $_{max}$  označuje maximum a  $T_{Aprac}$  je pracovní teplota okolí. Maximální výkon  $P_{Cmax}$  se počítá pro maximální hodnoty

$$P_{Dmax} = U_{Fmax} \cdot I_{DCmax} \quad (9.9)$$

přičemž maximální dopředné napětí na diodě LED je

$$U_{Fmax} = U_{ON} + I_P \cdot R_{dynLED} \quad (9.10)$$

kde  $R_{dynLED}$  je dynamický odpor diody v pracovním bodě. Nejhorší ztrátu pak vypočítáme pro stejnosměrný provoz

$$P_{WS} = I_{DC} \cdot U_{Fmax} \quad (9.11)$$

a pro impulsní buzení

$$P_{WD} = I_P \cdot K \cdot U_{F \max} \quad (9.12)$$

kde  $K$  označuje střidu budičích impulsů a  $U_{F \max}$  odpovídá vrcholovému proudu  $I_P$ .

Většina výstupů budičů LED je tvořena pouze otevřeným kolektorem výstupního tranzistoru. Proto je nutné omezit pracovní proud daného elementu LED

$$R_{LIM} = \frac{U_{CC} - U_{SAT} - U_F}{I_P}, \quad (9.13)$$

$U_{SAT}$  je saturační napětí tranzistoru budiče.

Střední intenzitu osvětlení  $E_V$  při teplotě  $\theta_A = 25^\circ\text{C}$  můžeme vypočítat použitím obr. 6.10e. Při stejnosměrném buzení LED bude intenzita osvětlení

$$E_{VDC} = E_{VP} \cdot e(I_{DC}) \quad , \quad (9.14)$$

přičemž intenzitu osvětlení  $E_{VP}$  najdeme v katalogu (např. [5]) a  $e(I_{DC})$  označuje relativní intenzitu  $E(I_{DC})/E_{5mA}$  podle obr. 9.10e.

Při impulsním buzení bude intenzita osvětlení

$$E_{VPULS} = \frac{I_{ST\dot{e}}}{I_{SD}} \cdot \eta(I_P) \cdot E_{VP} \quad (9.15)$$

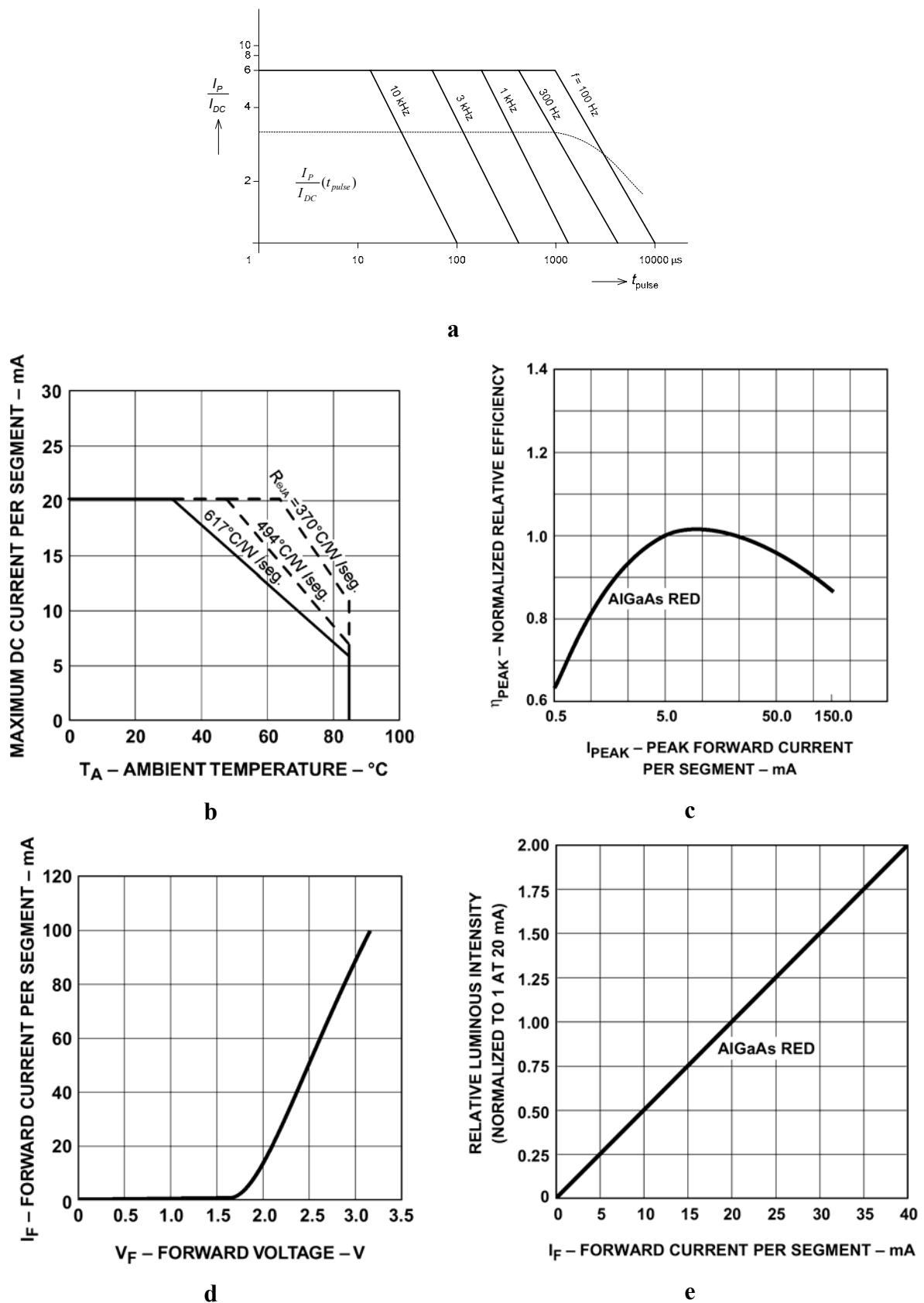
když  $I_{STR}$  je průměrný propustný proud elementem LED,  $I_{SD}$  je proud uvedený v katalogu pro udanou intenzitu  $E_{VP}$  a účinnost  $\eta(I_P)$  odečteme z obr. 9.10c. Pro intenzitu osvětlení  $E_V(\theta_A)$  při teplotě  $\theta_A$  platí

$$E_V(\theta_A) = E_V(25^\circ\text{C}) \cdot e^{k-(\theta_A-25)} \quad (9.16)$$

kde koeficient  $k$  závisí na typu diody LED, viz tab. 9.2.

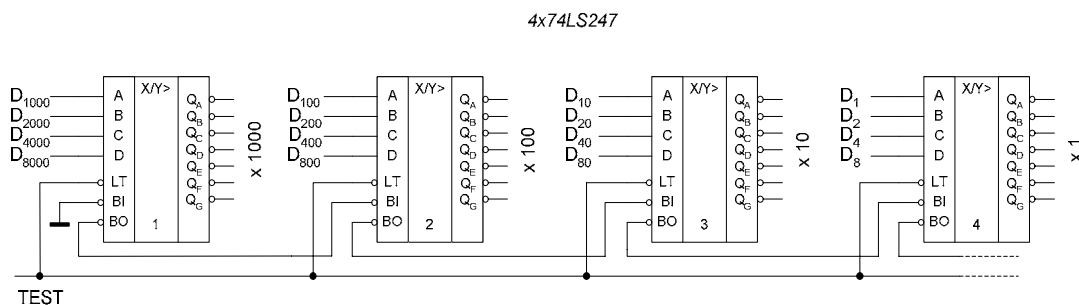
Tab. 9.2: Hodnoty korekčního koeficientu pro rovnici (9.16)

typ LED	$k [^\circ\text{C}^{-1}]$
standardní červená	-0,0188
vysoce účinná červená	-0,131
žlutá	-0,112
zelená	-0,104

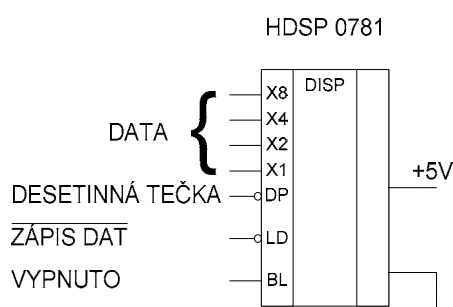


Obr. 9.10: Přehled charakteristik displeje LED. a) impulsní buzení, b) teplotní charakteristika, c) závislost účinnosti na proudu, d) propustná AV charakteristika, e) relativní svítivost





Obr. 9.11: Řízení vícemístného displeje



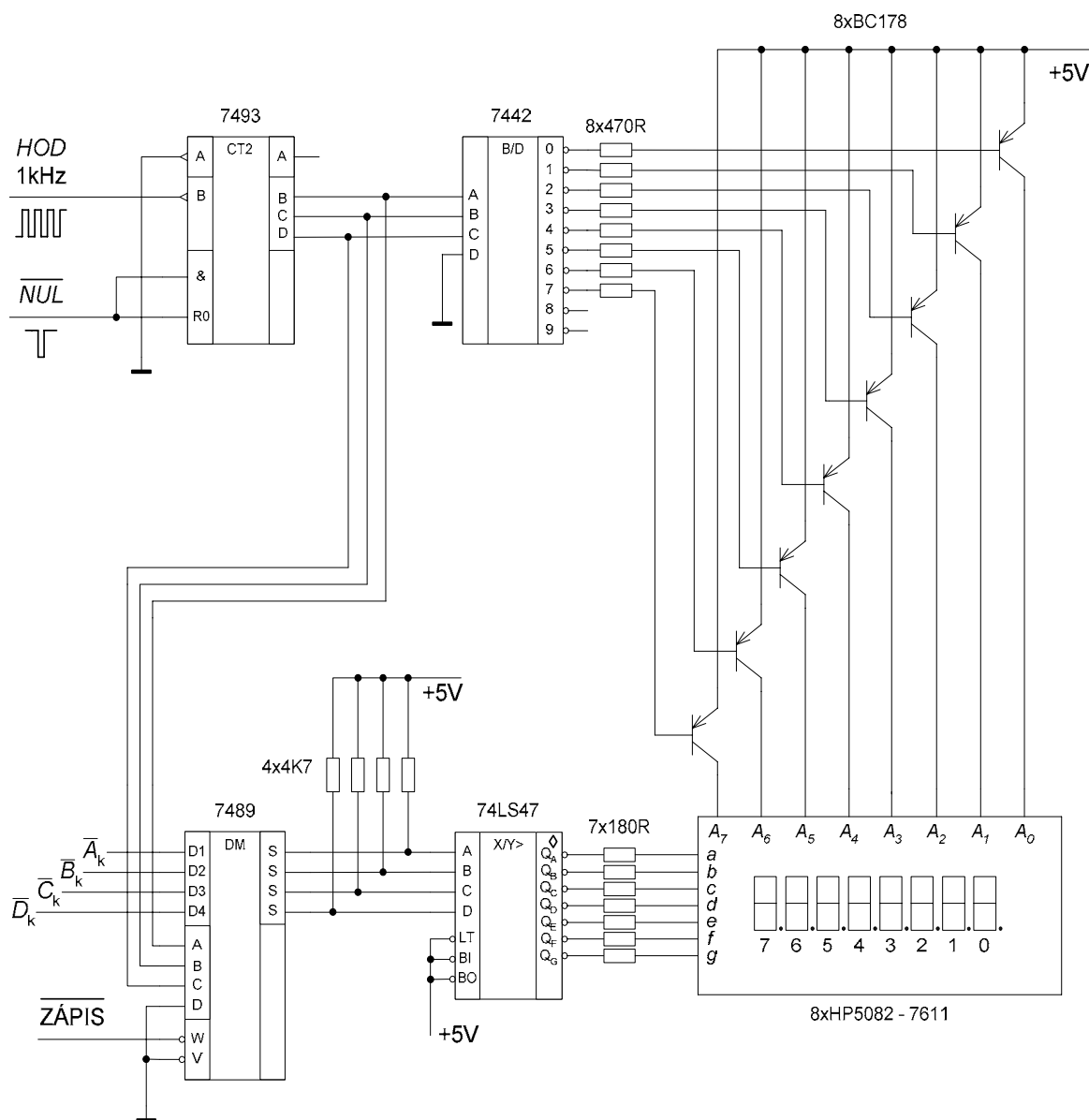
Obr. 9.12: Aplikční zapojení maticového zobrazovače s vestavěnou pamětí a převodníkem kódu

Další zjednodušení přináší použití maticových zobrazovačů s vestavěným převodníkem z kódu BCD. Schématická značka na obr. 9.12 představuje prakticky kompletní aplikační zapojení. Dvě základní varianty umožňují v matici 4x7 bodů (LED) zobrazovat dekadické číslice 0 až 9 (HDSP0781) nebo šestnáctkové číslice 0 až 9, A, B, C, D, E, F podle 4-bitového slova přivedeného na datové vstupy. Inverzní vstup DP/ je zapojen pouze u dekadického typu, při DP/ = L svítí desetinná tečka. Povolovací vstup LD/ umožňuje do vnitřní 4-bitové paměti zapsat při LD/ = L data ze vstupů X8, ... , X1. Šestnáctková číslice může být na displeji zhasnuta přivedením BL = H.

## 9.5 Zobrazení informace na displeji LED v dynamickém režimu

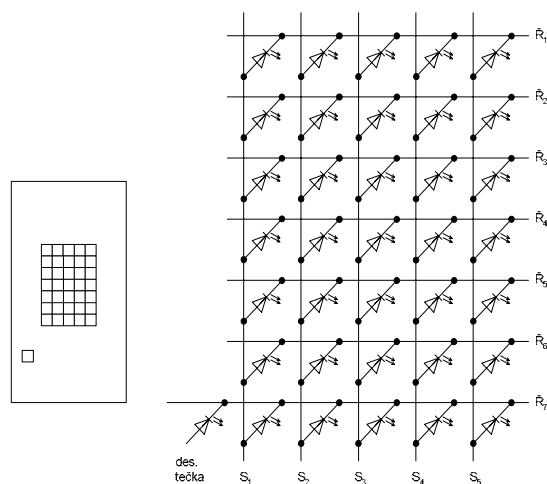
Účelným řešením je použití dynamického provozu displeje v tzv. *multiplexovaném režimu*. Příklad zapojení osmimístného displeje pracujícího v dynamickém režimu provozu je uveden na obr. 9.13. Obvody ovládání displeje obsahují pouze jediný dekodér (například) 74LS47. Všechny osm sedmissegmentových zobrazovacích prvků má propojeny odpovídající segmenty **a** až **g**. Zobrazované číslo je uloženo v paměti RAM MH7489 na adresách 0 až 7. Na adrese 0 je uložena hodnota 0. číslice v kódu BCD atd., až na adrese 7 je uložena hodnota 7. číslice. Přicházející pravoúhlé impulsy HOD jsou čítány dvojkovým čítačem 74LS93. Z jeho výstupů B, C, D se adresuje jednak dekodér SN7442, který vybírá pouze jediný sedmissegmentový prvek (tím, že sepne odpovídající tranzistor a připojí tak anodu vybraného zobrazovacího prvku na +5 V) a jednak se adresuje paměť RAM. Obsah adresované číslice se z paměti RAM vede na dekodér 74LS47, kde se převádí do sedmissegmentového kódu a rozsvěcuje segmenty vybraného zobrazovacího prvku, jehož anoda je připojena sepnutým tranzistorem na napájecí napětí. Příchodem dalšího impulsu HOD se inkrementuje obsah čítače, aktivuje se další zobrazovací prvek připojením jeho anody na +5 V a podle nové adresy se zobrazí v pořadí další číslice. Po dobu trvání jednoho impulsu HOD je rozsvícena pouze jediná číslice. Během osmi po sobě následujících impulsů HOD se postupně rozsvítí na dobu periody signálu HOD každá z osmi číslic. Rychlým periodickým opakováním tohoto děje a setrvačností zobrazovacího prvku i oka vznikne u pozorovatele vjem trvale rozsvíceného osmimístného čísla. Po dobu vybuzení prochází zobrazovacím prvkem několikanásobně větší proud než při statickém provozu. Velikost proudu a doba vybuzení musí odpovídat katalogovým údajům, viz postup návrhu v předchozí kapitole (impulsní buzení displeje LED). Střední proudový odběr je však menší než ve statickém provozu.

Nastane-li při dynamickém provozu porucha, která způsobí zastavení dynamiky displeje, může být zobrazovací prvek zničen nadměrným proudem. Během zobrazování čísla uloženého v paměti RAM je  $\overline{ZÁPIS} = H$ . Při změně zobrazovaného čísla se od adresy 0 (záznam tedy začíná impulsem  $NUL$ ) při úrovni  $\overline{ZÁPIS} = L$  uloží do paměti RAM nové hodnoty číslic v kódu BCD, tedy  $D_k C_k B_k A_k$  pro  $k = 0$  až 7. Další zobrazení pokračuje již při  $\overline{ZÁPIS} = H$ .

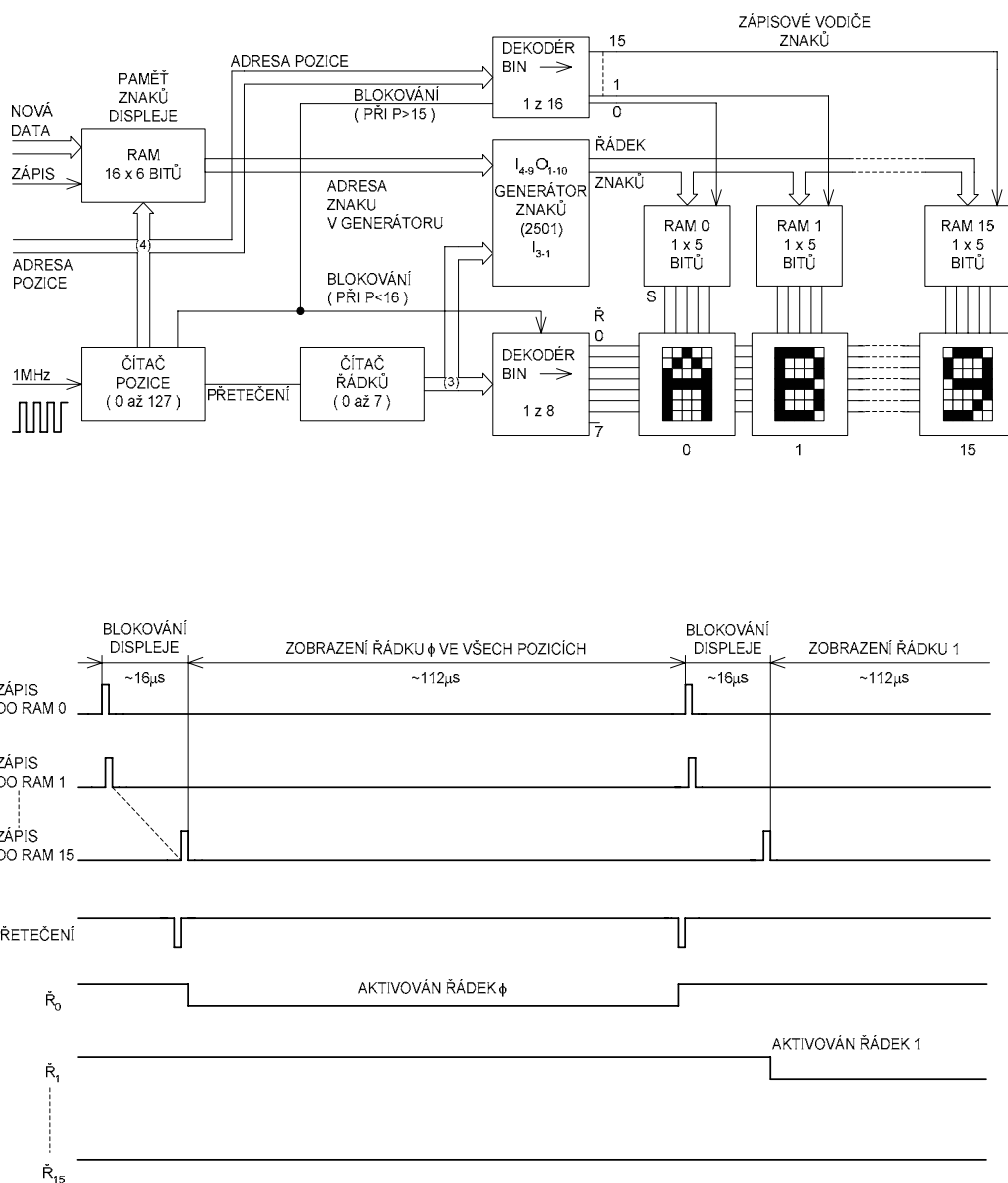


Obr. 9.13: Zapojení osmimístného displeje se sedmisegmentovými zobrazovači pro multiplexovaný dynamický provoz

Druhým nejrozšířenějším typem displejů se svítivými diodami jsou *maticové displeje*. Pro zobrazení prakticky libovolného alfanumerického znaku se používají svítivé diody uspořádané do matice nejčastěji z 5 x 7 bodů. Na obr. 9.14 je nakreslen tvar zobrazovací maticové jednotky s 5 x 7 svítivými diodami. Na obr. 9.14b je uvedeno ekvivalentní vnitřní elektrické zapojení takové maticové zobrazovací jednotky.



Obr. 9.14: Vzhled a propojení maticového zobrazovače

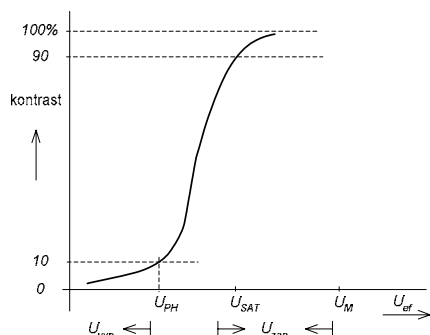


Obr. 9.15: Řízení vícemístného displeje s maticovými zobrazovači v dynamickém multiplexovaném provozu

Pro buzení maticových znakovek je většinou potřebné používat speciální dekodéry. Jedná se o pevné paměti ROM, tzv. *generátory znaků*, jejichž kapacita zpravidla odpovídá součinu počtu zobrazitelných znaků a počtu bodů v matici. Pro 64 znaků v kódu ASCII (AMERICAN STANDARD CODE FOR INFORMATION INTERCHANGE) a 5 x 8 bodů v matici je potřebná kapacita paměti  $64 \times 40 = 2\,560$  bitů. Pro znaky v ASCII se vyrábí generátor znaků pod označením 2501. Generátor obsahuje znaky kódované v rastru 5 x 8 bodů. Na obr. 9.15 je zobrazeno blokové schéma pro řízení vícemístného displeje.

## 9.6 Provoz displeje LCD

Zobrazovače LCD s kapalnými krystaly se vyznačují zejména nízkou spotřebou. Jedná se o pasivní zobrazovací prvky, které k dobré čitelnosti potřebují vnější osvětlení. S rostoucím osvětlením se zvětšuje kontrast.



Obr. 9.16: Závislost kontrastu zobrazení segmentu na jeho napětí proti společné elektrodě

Řídicí signál musí být *střídavý*. Má obdélníkový tvar. Hodnoty napěťových úrovní v jednotlivých časových úsecích určuje zobrazovaná informace. Při stejnosměrném napájení by v důsledku elektrolýzy došlo během několika hodin k trvalému poškození. Maximální přípustná hodnota stejnosměrné složky je uvedena v katalogovém listu, většinou bývá kolem 50 mV. V každém případě se musí již při návrhu tvaru a časového rozdělení řídicího signálu počítat s tím, že stejnosměrná složka nesmí překročit uvedenou hodnotu.

Kmitočet signálu by neměl být s ohledem na mihotání obrazu nižší než 25 Hz, ale také ne vyšší než asi 200 Hz, aby nedocházelo k "přeslechům" na segmenty, které nejsou aktivovány. Tato dílčí aktivace je důsledkem vnitřní kapacitní a odporové vazby a záleží na topologii zobrazovaného motivu. Nepoužité segmenty se musí spojit se společnou zadní elektrodou.

Kontrast segmentu je funkcí efektivní hodnoty rozdílového napětí mezi přední a zadní elektrodou (obr. 9.16) a závisí i na úhlu pozorování.

Dalšími důležitými parametry jsou *doba náběhu a doznívání*, jejich typická velikost bývá kolem 100 ms.

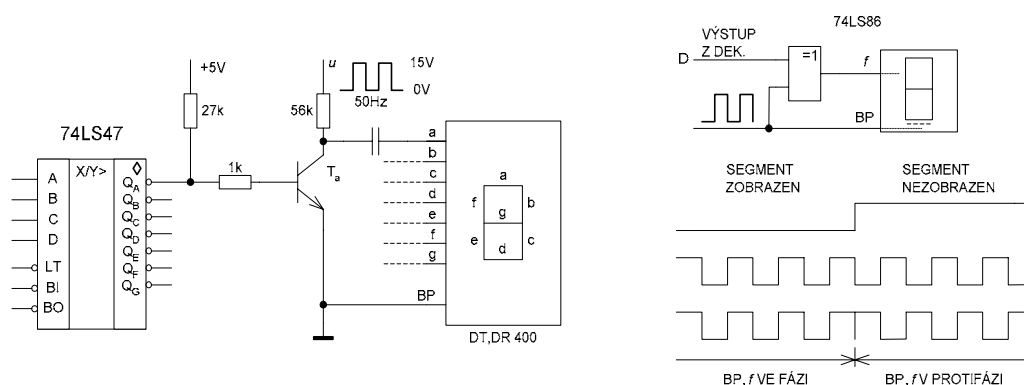
Při použití displejů LCD se rozlišuje statické a dynamické řízení. Pro *statické řízení* má zobrazovač jednu společnou zadní elektrodu. Počet předních elektrod a tedy i vývodů je stejný jako počet zobrazovaných segmentů. Při multiplexování se obecně použije  $n$  ( $n \geq 2$ ) zadních společných elektrod. Zobrazované segmenty vytvářejí skupiny po  $n$  prvcích, přičemž každý prvek skupiny přísluší jiné zadní elektrodě. Segmenty jsou ve skupině navzájem propojeny a tvoří přední elektrodu s jediným vývodem. Dále popsané metody řízení se týkají nematických kapalných krystalů řízených elektrickým polem. Na obr. 9.17 jsou uvedeny dva základní způsoby buzení sedmisegmentových zobrazovacích prvků s tekutými krystaly. V prvním případě je použit pravoúhlý signál pro napájení segmentů tak, že například segment a je kapacitní vazbou buzen pouze při zahrazení spínacím tranzistoru  $T_a$  proti společné elektrodě BP displeje.

*Multiplexní řízení* vychází z obecných vlastností časového multiplexu, který umožňuje řídit libovolné uspořádání segmentů (bodů) přiřazených k předním a zadním elektrodám. Základní podmínkou je, aby každý z  $m$  segmentů mohl být řízen nezávisle na ostatních segmentech, takže na výsledném motivu se může vyskytnout  $2m$  kombinací. Časové průběhy

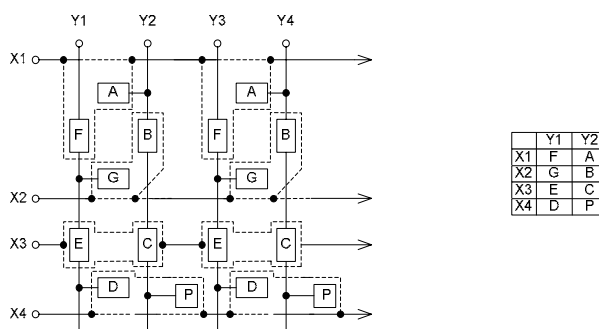
řídících signálů jsou však vzhledem ke specifickým vlastnostem kapalných krystalů (převodní charakteristika nezávisí na polaritě, nemá výraznou prahovou hodnotu, doby náběhu a doznívání jsou dlouhé), jiné než např. u luminiscenčních prvků.

Charakteristické jsou dva základní parametry:

- Počet napět'ových úrovní signálů pro přední a zadní elektrody. Prakticky se pohybuje od 2 do 6. Potom se mluví o dvou, tří až šestiúrovňové metodě řízení.
- Stupeň multiplexu  $n$  je roven počtu zadních elektrod ( $n \geq 2$ ). Někdy se uvádí multiplexní poměr  $1 : n$ . Provozní režim se potom nazývá duplexní, triplexní atd. Zobrazovač je rozdělen jako matice na řádky a sloupce. Zadní elektrody představují řádkové vodiče, přední elektrody sloupcové vodiče. Přední elektroda představuje vývod od skupiny segmentů, z nichž každý přísluší jiné zadní elektrodě. Plochy, kde se přední a zadní elektrody překrývají, vztvářejí zobrazované segmenty. Jako matice se posuzuje i známé 7-segmentové uspořádání podle obr. 9.18.



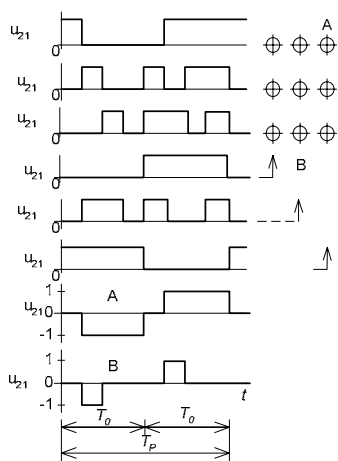
*Obr. 9.17: Statický provoz displeje LCD*



*Obr. 9.18: Možné rozmístění elektrod maticového uspořádání segmentového zobrazovače*

Důležitou veličinou je napěťový řídící signál buňky zobrazovače  $U(t)$ . Jeho velikost se musí udávat efektivní hodnotou, neboť kapalný krystal se aktivuje při obou polaritách. Vznikne odečtením napětí přední elektrody  $U_p(t)$  od zadní elektrody  $U_z(t)$ . Další důležité veličiny řídícího signálu jsou napětí  $U_{zap}$  a  $U_{vyp}$ . Jejich vztah k prahovému napětí  $U_{PH}$  je znázorněn na obr. 9.16.

Časové průběhy jmenovaných signálů je výhodné obecně popisovat normovanými veličinami. Vztažnou napětíovou hodnotou je rozkmit signálu zadní elektrody  $U_z$ . Vzniknou tak bezrozměrné veličiny, např.  $u = U/U_z$ . Pro minimalizaci stejnosměrné složky v řídicím signálu se musí zvolit střední hodnoty signálů přední i zadní elektrody stejné a perioda obou

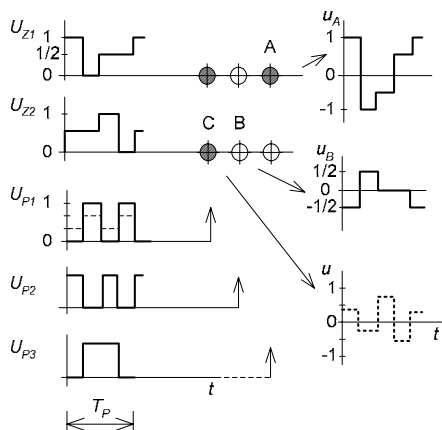


Obr. 9.19: Časové průběhy signálu při dvojúrovňové metodě řízení při  $n = 3$

dvojúrovňová metoda prakticky nepoužívá. Největším nedostatkem je malý poměr  $u_{zap}/u_{vyp}$ , metoda má i další nevýhody. Průběhy signálů ukazuje obr. 9.19. Pro eventuální realizaci přicházejí v úvahu jen hradla CMOS, protože integrovaný obvod se nevyrábí.

*Tříúrovňová metoda řízení* je v praxi velmi často používána. Mimo úrovně H a L je zde třetí, střední úroveň, ale jen u signálů zadních elektrod. Každá obrazová perioda má  $n$  fází. Zadní signály jsou aktivovány postupně.

V první obrazové periodě je signál aktivní při úrovni H, ve druhé periodě při L. Ve střední úrovni se neaktivuje. U vybuzeného segmentu má přední signál inverzní úroveň vůči zadnímu, takže vznikne maximální rozdílové napětí.



Obr. 9.20: Signály při tříúrovňovém řízení při  $n = 2$  (čárkované je pětiúrovňový způsob)

uzavíracím bitem, podle kterého se rozhoduje, zda se slovo uloží do registru A nebo B. Impulsem v délce 35 period hodinového signálu se přesun uskuteční. Segment se aktivuje, je-li datový bit na úrovni H. Strobem signálu DLEN se data uloží do vyrovnávací paměti. Jeho kmitočet může být nejvýše roven kmitočtu oscilátoru (pracovnímu kmitočtu), od něhož se přes napěťový dělič a analogový přepínač získávají budicí signály pro přední a zadní elektrody.

signálů  $T_p$  se rozdělí na dvě stejné části  $T_0$ , jejichž průběhy jsou vůči sobě inverzní (obr. 9.17, 9.19).

Dále jsou popsány prakticky možné metody řízení a ukázána jejich implementace v řídicím obvodu. Výhodou zvětšování počtu napěťových úrovní je zvětšování poměru  $p = U_{zap}/U_{vyp}$ , který jde samozřejmě na úkor materiálových nákladů řídicího obvodu. Limitace nastává při šesti úrovních. Obráceně působí zvětšování multiplexu, při kterém materiálové náklady klesají, ale klesá i  $p$ .

*Dvojúrovňová metoda řízení* používá pravoúhlé signály pro přední i zadní elektrody. Oba mají stejné úrovně L i H. Přes tuto přednost se

U neaktivovaného segmentu mají přední i zadní signál stejnou úroveň, takže v této fázi je rozdílové napětí nulové. Na obr. 9.20 jsou tři případy časového průběhu předních signálů. U nevybuzeného segmentu je podle fáze buď napětí  $U/2$  nebo 0. Ve srovnání s dvojúrovňovou metodou se dosáhne zřetelně nižší hodnoty  $u_{vyp}$ .

Prakticky nejčastěji se zde vyskytuje stupeň multiplexu  $n = 2$ . Typickým představitelem řídicího obvodu této kategorie je PCF 2111 firmy Valvo, který se stal evropským standardem. Jedná se o integrovaný obvod CMOS, umožňující řízení až 64 segmentů v duplexním režimu. Třívodičová sběrnice umožňuje sériový přenos dat z mikroprocesoru. Data přecházejí do posuvného registru. Délka slova je 32 bitů, ohraničených zaváděcím bitem s hodnotou 0 a 33.

*Čtyřúrovňová metoda* používá maximální a minimální úrovně ( $U_z = 0$ ) a zároveň dvě mezihodnoty  $U_z/3$  a  $2U_z/3$ , a to jak u předních, tak i u zadních signálů. Pro generování těchto napětí se používá přepínaný napěťový dělič. V první obrazové periodě má aktivující zadní signál úroveň  $U_z$ , neaktivující  $U_z/3$ . Ve druhé zobrazovací periodě má aktivující zadní signál úroveň 0, neaktivující  $U_z/3$ . Přední signály se vytvářejí v závislosti na zobrazované informaci. V každé obrazové periodě je napěťový zdvih předního signálu pouze  $2U_z/3$ . Na principu této metody pracují např. budiče ICM 7231-34 firmy Intersil.

## 10 SYSTÉMY PRO DIGITÁLNÍ ZPRACOVÁNÍ ANALOGOVÝCH SIGNÁLŮ

Komunikace digitálních obvodů s reálným vnějším okolím v mnoha případech nevystačí s dvouhodnotovými signály. Potřebná vzájemná přeměna analogových spojitých signálů s digitálními signály se pak realizuje pomocí digitálně analogových převodníků (digital to analog DAC), při převodu digitálních dat na (rekonstruovaný) analogový signál nebo zpětně pomocí analogově digitálních převodníků (analog to digital ADC) při digitalizaci analogových signálů. V případě elektronických přístrojů s vestavěným mikroprocesorem pak většinou používáme označení analogové vstupně-výstupní periferie.

V elektronických přístrojích s digitálním zpracováním vstupních analogových signálů bývá nutné použít vzorkovače s analogovou pamětí. Paměťové vzorkovače se používají pro vzorkování analogového signálu s požadavkem tento odebraný vzorek signálu udržet ve vnitřní analogové paměti po dobu  $T_H$  potřebnou k dalšímu zpracování. Ideální paměťový vzorkovací obvod by měl vzorkovat vstupní analogový signál tak, že vlastní odebírané vzorky by byly velmi krátké. Přitom se požaduje, aby i během krátké doby vzorkování odpovídal vzorek okamžité hodnotě vzorkovaného signálu. Po ukončení vzorkování přechází vzorkovač do režimu pamatování. Odebraný a zapamatovaný vzorek musí být na výstupu vzorkovače k dispozici alespoň po dobu  $T_H$  s nulovou odchylkou od skutečné hodnoty.

### 10.1 Neinvertující paměťový vzorkovač

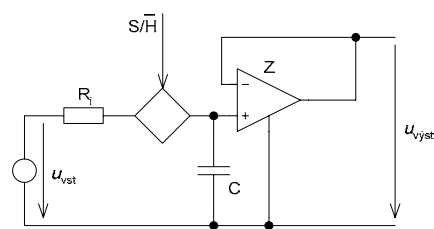
Neinvertující paměťový vzorkovač je zapojen podle obr. 10.1. Při sepnutém spínači S je paměťový kapacitor C připojen ke zdroji snímaného napětí. Po dobu  $T_S$  sepnutí se kapacitor C nabíjí na napětí odpovídající skutečné hodnotě vstupního signálu. Současně se odpovídajícím způsobem mění výstupní napětí oddělovacího zesilovače Z, kterým je většinou OZ v neinvertujícím zapojení. Po rozpojení spínače S se na kapacitoru C a tedy i na výstupu zesilovače udržuje napětí sejmutého vzorku. Doba  $T_S$  odběru vzorku je velmi krátká a je proto použit elektronický spínač. Protože však u těchto spínačů nejsou splněny podmínky pro ideální spínače, tj.  $R_{ON} = 0$ ,  $R_{OFF} \rightarrow \infty$ , nabíjí se paměťový kapacitor exponenciálně s časovou konstantou

$$\tau = R_S C, \quad (10.1)$$

přitom

$$R_S = R_{ON} + R_i \quad (10.2)$$

zahrnuje odpor  $R_{ON}$  sepnutého spínače a odpor  $R_i$  zdroje vstupního signálu. V každém případě tedy bude  $T_S > \tau$ . Například pro povolenou chybu = 0,1% úrovně vzorkování musí být  $T_S \approx 6,9 \tau$ . Po dobu  $T_H$  pamatování je paměťový kapacitor vybíjen nebo nabíjen, a to jednak proudem ze zdroje vstupního napětí, dodávaným přes nedokonale uzavřený spínač s odporem  $R_{OFF}$ , jednak vstupním proudem připojeného napěťového sledovače. Tím vyvolaná změna výstupního napětí vzorkovače omezuje dobu  $T_H$  pamatování.



Obr. 10.1: Neinvertující vzorkovač s analogovou pamětí



Dobu  $T_S$  vzorkování lze zkrátit zmenšením časové konstanty  $\tau$ . Možná varianta zapojení je uvedena na obr. 10.2. Toto *zpětnovazební zapojení* s pomocným zesilovačem umožňuje zmenšit nabíjecí časovou konstantu  $\tau$  až  $(A_1 + 1)$  krát, kde  $A_1$  je napěťové zesílení pomocného zesilovače.

Invertující paměťový vzorkovač je zapojen podle obr. 10.3. Dosažitelná doba  $T_S$  vzorkování je opět limitována nabíjecí konstantou  $\tau$ , přičemž

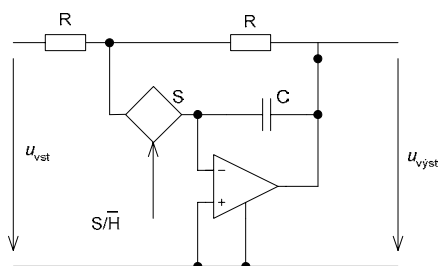
$$\tau = (R/2 + R_{ON})C. \quad (10.3)$$

Chyba výstupního napětí v paměťovém režimu je jako u prvního typu vyvolána zejména nežádoucím působením vstupního signálu přes nedokonale uzavřený spínač a vstupním proudem zesilovače.

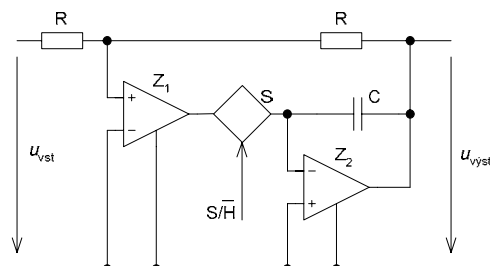
Vzorkovací dobu  $T_S$  lze zkrátit použitím pomocného zesilovače pro proudové zesílení při nabíjení paměťového kapacitoru. Podle zapojení na obr. 10.4 je nabíjecí konstanta potom dána

$$\tau = (R_{01} + R_{02} + R_{ON})C \quad (10.4)$$

kde  $R_{01}$  a  $R_{02}$  označuje výstupní odpor zesilovače  $Z_1$  a  $Z_2$ . Pomocný zesilovač může mít i jednotkové zesílení, např. napěťový sledovač. Důležité je, aby měl co nejmenší výstupní odpor  $R_{01}$ .

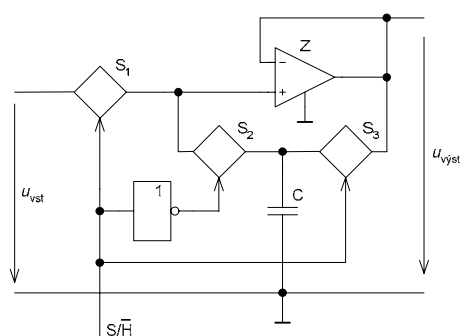


Obr. 10.3: Zapojení invertujícího paměťového vzorkovače



Obr. 10.4: Zpětnovazební zapojení invertujícího vzorkovače s analogovou pamětí

Nejrychlejší paměťové vzorkovače používají oba základní typy zapojení, elektronické spínače bývají osazeny Schottkyho diodami v můstkovém zapojení nebo rychlými tranzistory řízenými polem (JFET, MOS FET).



Obr. 10.5: Kombinované zapojení vzorkovače s analogovou pamětí

Na obr. 10.5 je uvedeno zajímavé zapojení paměťového vzorkovače s jediným zesilovačem a třemi spínači. V režimu vzorkování jsou sepnuty spínače  $S_1$  a  $S_3$  a paměťový kapacitor je proudově nabíjen z výstupu napěťového sledovače. Po přechodu do režimu pamatování se naopak sepne pouze spínač  $S_2$  a připojí tak nabitý paměťový kapacitor  $C$  na vstup zmíněného napěťového sledovače.

Do skupiny paměťových vzorkovačů částečně náleží i řada zesilovačů T/H, které se liší od obvodů S/H pouze v režimu vzorkování.

Zesilovače T/H mají totiž režim vzorkování nahrazen režimem sledování, kdy je elektronický spínač S (viz např. obr. 10.1) trvale otevřen a uzavírá se až na počátku  $T_H$ . Po skončení  $T_H$  se opět hned otevírá.

## 10.2 Kódy používané převodníky DAC a ADC

*Přímý dvojkový kód* (případně se znaménkem) patří k často používaným kódům. Je vhodný pro převodníky DAC pracující s jednou polaritou výstupního napětí nebo proudu. S vyjádřeným znaménkem je vhodný pouze pro DAC převodníky pracující v okolí nuly, neboť jako jediný váhový kód nemění při přechodu nulou všechny bity. Pro digitální počítače tento kód vhodný není (dva různé výrazy pro nulu).

*Dvojkový kód prvního doplňku* (inverzní kód) vyjadřuje záporná čísla komplementací jednotlivých bitů dvojkového ekvivalentu absolutní hodnoty převáděného čísla, včetně bitu MSB.

*Dvojkový doplňkový kód* (druhý doplněk) vyjadřuje kladná čísla jako přímý dvojkový kód, záporná jako druhý doplněk absolutní hodnoty. Číslo  $C < 0$  převedeme do dvojkového kódu podle vztahu

$$C_2^I = \overline{C_2} + 1, \quad (10.5)$$

přičemž inverzí  $\overline{C_2}$  se rozumí komplementace každého bitu jednotlivě (inverzní kód). Kód je vhodný pro aritmetické operace, protože rozdíl dvou čísel převádí na součet.

*Posunutý dvojkový kód* je nejvhodnějším kódem pro převodníky, s oběma polaritami napětí nebo proudu stačí pouhý úrovňový posun analogové veličiny. Většinou je přímo sloučitelný s kódy digitálních počítačů nebo jej lze převést pouhou inverzí bitu MSB na dvojkový doplňkový kód. Pro nulu má jediný výraz, nevýhodou je změna všech bitů při přechodu nulou.

*Dvojkově desítkový kód (BCD)* patří k méně užívaným kódům. V rámci dekád jsou čísla 0 až 9 vyjádřena 4-bitovým dvojkovým přímým kódem, ve vyšších dekadách se váhy vždy desetkrát zvětšují.

Nejrozšířenější kódy pro převodníky DAC a ADC jsou uvedeny v tab. 10.1. Dva z nejrozšířenějších kódů jsou přímý dvojkový a dvojkově desítkový kód BCD. První nejlépe využívá délku slova, druhý je vhodný k zobrazení na desítkovém displeji. Jednotka na pozici posledního místa označuje hodnotu nejméně významného bitu (**LSB** z anglického *least significant bit*).

Na rozdíl od unipolárního ADC je potřebný další bit ve výstupním slově bipolárního ADC, kde vyjadřuje polaritu vstupního signálu.

Posunutý dvojkový kód je nejsnáze realizovatelný. Lze ho například získat z unipolárního ADC, když se k vstupnímu napětí připočítá napětí posuvu představující polovinu rozsahu. Kromě jednoduché implementace je jeho další předností snadný převod na dvojkově komplementární kód inverzí nejvýznamnějšího bitu (**MSB** z anglického *most significant bit*). Tento kód je vhodnější pro digitální zpracování. Jeho hlavním nedostatkem je, že největší změna ve výstupním údaji nastává v okolí nulového napětí. Tato změna je totiž provázána i největší změnou vnitřních stavů ADC a následně největší chybou v převodní charakteristice. Tím i relativní chyba ve velmi významném bodě převodní charakteristiky, v okolí nuly největší. Velikostní kód BCD pro přímé vyjádření na desítkovém displeji se využívá i u bipolárního ADC, kde jeden bit určuje znaménko.

Tab. 10.1: Nejčastěji používané kódy bipolárních převodníků ADC a DAC

díl vstupního rozsahu	dvojkový kód s vyjádřeným znaménkem	dvojkový doplňkový kód prvního doplňku	dvojkový doplňkový kód druhého doplňku	posunutý dvojkový kód
+ 7/8	0 1 1 1	0 1 1 1	0 1 1 1	1 1 1 1
+ 6/8	0 1 1 0	0 1 1 0	0 1 1 0	1 1 1 0
+ 5/8	0 1 0 1	0 1 0 1	0 1 0 1	1 1 0 1
+ 4/8	0 1 0 0	0 1 0 0	0 1 0 0	1 1 0 0
+ 3/8	0 0 1 1	0 0 1 1	0 0 1 1	1 0 1 1
+ 2/8	0 0 1 0	0 0 1 0	0 0 1 0	1 0 1 0
+ 1/8	0 0 0 1	0 0 0 1	0 0 0 1	1 0 0 1
+ 0/8	0 0 0 0	0 0 0 0	0 0 0 0	1 0 0 0
- 0/8	1 0 0 0	1 1 1 1	(0 0 0 0)	(1 0 0 0)
- 1/8	1 0 0 1	1 1 1 0	1 1 1 1	0 1 1 1
- 2/8	1 0 1 0	1 1 0 1	1 1 1 0	0 1 1 0
- 3/8	1 0 1 1	1 1 0 0	1 1 0 1	0 1 0 1
- 4/8	1 1 0 0	1 0 1 1	1 1 0 0	0 1 0 0
- 5/8	1 1 0 1	1 0 1 0	1 0 1 1	0 0 1 1
- 6/8	1 1 1 0	1 0 0 1	1 0 1 0	0 0 1 0
- 7/8	1 1 1 1	1 0 0 0	1 0 0 1	0 0 0 1
- 8/8			1 0 0 0	0 0 0 0

### 10.3 Digitálně analogové převodníky DAC

Pro převod čísla na analogový signál se používají digitálně analogové převodníky. Umožňují převést digitální signál  $D$  na výstupní napětí  $u$  nebo proud  $i$  podle vztahů

$$u = U_R \cdot D, \quad \text{resp. } i = I_R \cdot D, \quad (10.6)$$

kde  $u_R$  a  $i_R$  jsou referenční hodnoty napětí a proudu.

Typické blokové uspořádání digitálně analogového převodníku DAC ukazuje obr. 10.6. Podle rov. (10.6) je výstupní napětí převodníku odvozováno z referenčního napětí, které

je dodáváno z referenčního zdroje. Podle přivedeného čísla  $D$  se vhodně spínají spínače větvi váhové rezistorové sítě a vyrábějí tak odpovídající proud  $i$ , který je ve výstupním zesilovači převeden na výstupní napětí  $u$  převodníku.

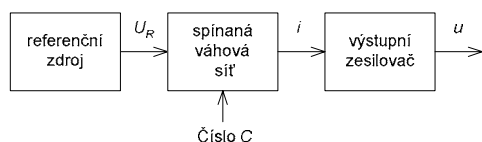
Hodnota  $D \in \langle 0; 1 \rangle$  digitálního signálu se nejčastěji vyjadřuje zlomkem ve dvojkové číselné soustavě a ve dvojkovém kódu.

$$D = \sum_{k=1}^n a_k 2^{-k} = \frac{1}{2^n} \sum_{m=0}^{n-1} b_m \cdot 2^m = \frac{1}{2^n} C \quad (10.7)$$

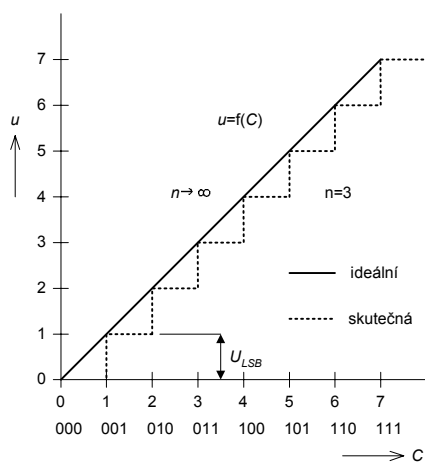
nebo zlomkem ve dvojkově desítkovém kódu BCD

$$D = \frac{1}{10^p} \sum_{l=1}^4 \sum_{k=1}^4 a_{kl} 2^{k-1} \cdot 10^{l-1}, \quad (10.8)$$

kde  $n$  je počet bitů dvojkového digitálního signálu a  $p$  je počet dekád signálu v kódu BCD. Číslice  $a_k$  resp.  $b_m$  nabývají hodnoty 0 nebo 1, číslo  $C$  hodnot 0, 1, ...,  $(2^n - 1)$ .



Obr. 10.6: Skupinové schéma paralelního digitálně analogového převodníku



Obr. 10.7: Převodní charakteristika ideálního ( $n \rightarrow \infty$ ) a 3-bitového převodníku DAC ( $n = 3$ )

s počtem bitů vstupního slova. Na výstupu např. osmibitového převodníku DAC může být celkem 256 různých úrovní napětí, což odpovídá rozlišovací schopnosti přibližně 0,4% rozsahu. Použijeme-li však dvojkově-desítkový kód, pak při zachování celkového počtu osmi bitů mohou vyjádřit pouze desítkové řády a rozlišovací schopnost klesá na 1% rozsahu.

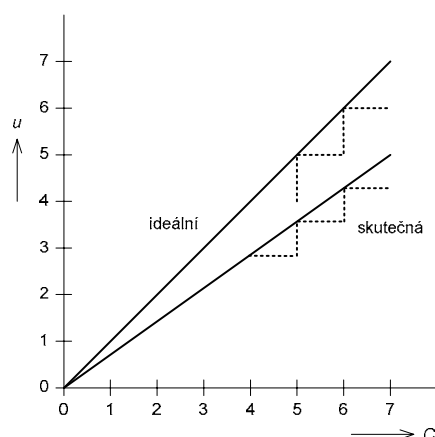
Kvantovací chyba je způsobena konečným počtem diskrétních úrovní výstupního napětí a může dosahovat maximálně  $\pm 1/2$  hodnoty LSB.

Přesnost výstupního napětí resp. proudu převodníku DAC se pak udává maximální odchylkou mezi skutečnou a ideální převodní charakteristikou převodníku.

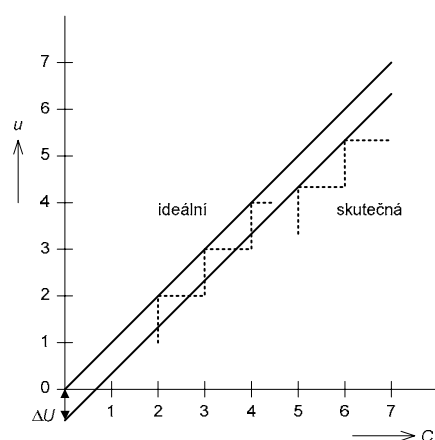
*Statické vlastnosti převodníku DAC*  
vystihuje jeho převodní charakteristika, uvedená na obr. 10.7. Porovnáním skutečné a ideální převodní charakteristiky převodníku DAC lze určit chybu nuly (resp. minima), chybu maxima, chybu linearitu a chybu monotónosti. Chyba převodu se nejčastěji vyjadřuje v jednotkách nejmenší kvantovací úrovně příslušející bitu převáděného čísla s nejmenší vahou LSB. Většinou se požaduje chyba menší než  $\pm 1/2$  LSB (správně  $1/2 u_{\text{LSB}}$ , resp.  $\pm 1/2 i_{\text{LSB}}$ ). Zmíněné chyby jsou ilustrovány na obr. 10.8.

Na obr. 10.8a je nakreslena převodní charakteristika převodníku DAC se špatnou hodnotou zisku (zesílení), resp. menším referenčním napětím než odpovídá rov. 10.6. Na obr. 10.8b je převodní charakteristika rovnoběžně posunutá o chybu  $\Delta u$  nuly. Charakteristika na obr. 10.8c charakterizuje nelineární převodník. Pokud by převodní charakteristika neměla monotónní růst nebo pokles při růstu  $C$ , pak je takový převodník nemonotónní.

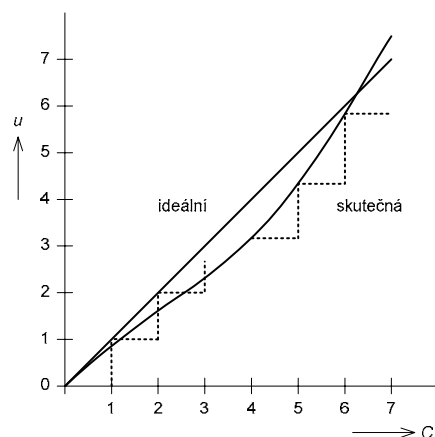
Rozlišovací schopnost převodníku DAC se vyjadřuje počtem diskrétních úrovní výstupního analogového napětí nebo proudu a přímo souvisí



a



b



c

Obr. 10.8: Převodní charakteristika 3-bitového převodníku a) s chybou zisku, b) s chybou nuly, c) s chybou linearity

odstupňovány v poměru  $1 : 2 : 2^2 : 2^3 : \dots : 2^{n-1}$  pro rostoucí  $m = 0, 1, 2, \dots, n-1$ . Výstupní proud  $i$  převodníku je pak dán superpozicí proudových příspěvků jednotlivých zdrojů proudu. Ze sčítacího bodu lze tedy odebírat proud závislý na vstupním čísle  $C$

*Dynamické vlastnosti* jsou určeny dobou převodu  $T_p$ , což je maximální doba potřebná k ustálení výstupní analogové veličiny na správnou hodnotu s povolenou chybou za předpokladu konstantní hodnoty digitálního signálu  $C$  během převodu.

Maximální rychlost převodu (správně četnost převodu) je určena počtem vstupních slov  $C$ , která mohou být převodníkem převedena na analogovou výstupní veličinu za jednotku času. Je převrácenou hodnotou doby převodu  $T_p$ .

Přechod výstupního analogového napětí z jedné úrovně na jinou může být doprovázen přechodným dějem. Jestliže neuvažujeme případné překmity zesilovače, je přechodný jev způsoben konečnou dobou sepnutí, resp. rozepnutí elektronických spínačů uvnitř struktury převodníku. U bipolárních tranzistorů bývá doba rozepnutí delší než doba sepnutí.

Typy digitálně analogových převodníků se rozlišují zejména podle způsobu převodu vstupního čísla  $D$ , resp.  $C$  na výstupní napětí nebo proud.

*Paralelní převodníky DAC* patří mezi nejrozšířenější typy, velmi často se vyrábějí monoliticky. Základní paralelní převodník čísla na proud je zapojen podle obr. 10.9 a jeho činnost přímo odpovídá rov. (10.6) a (10.7). Pro jeho výstupní proud platí

$$i = I \cdot D = I \frac{C}{2^n}, \quad (10.9)$$

kde  $I$  označuje referenční proud převodníkem. Převodník obsahuje celkem  $n$  řízených zdrojů konstantních proudů, které jsou ovládány logickými signály  $b_{n-1}, \dots, b_0$  vstupního převáděného čísla ve dvojkovém kódu. Při  $b_m = 0$  ( $m = 0, 1, \dots, n-1$ ) daným zdrojem proud neteče, takže  $i_m = 0$ .

$$i_m = 0 \quad (10.10)$$

při  $b_m = 1$  teče  $m$ -tým zdrojem proud

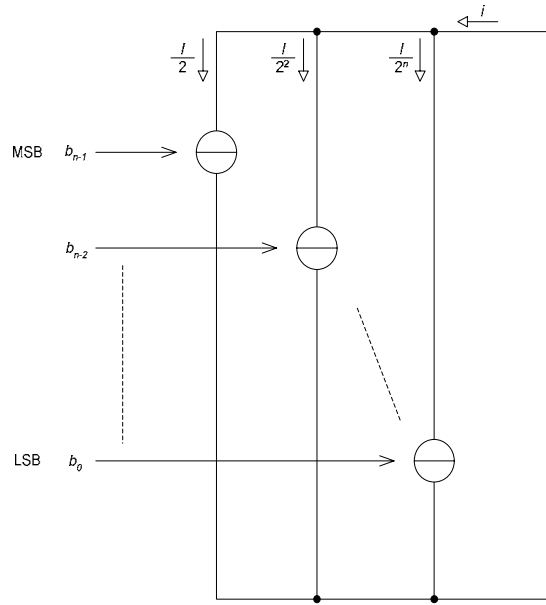
$$i_m = \frac{I}{2^n} \cdot 2^m \quad (10.11)$$

V případě přímého dvojkového kódu vyjadřuje číslo  $C = b_{n-1} \dots b_0$  jsou jednotlivé proudy  $i_m$  váhově

$$i = \sum_{m=0}^{n-1} b_m \cdot i_m = \sum_{m=0}^{n-1} \frac{I}{2^n} \cdot b_m \cdot 2^m = \frac{I}{2^n} \cdot C = ID. \quad (10.12)$$

Pokud požadujeme, aby se číslo  $C$  převádělo na napětí, stačí zařadit za popisovaný převodník jen převodník proudu na napětí, například podle obr. 10.10. Pro výstupní napětí platí v souladu s rov. (10.12)

$$u = R \cdot i = RID = R \frac{I}{2^n} C \quad (10.13)$$



Obr. 10.9: Základní zapojení paralelního převodníku čísla na proud

Podle způsobu konstrukce zdrojů váhových proudů můžeme rozlišit u paralelních převodníků DAC typy se spínanými proudovými zdroji nebo spínanými rezistory sítěmi (váhové nebo kombinované rezistorové sítě, rezistorové sítě s články tvaru T).

*Digitálně analogové převodníky s váhovými rezistory* mohou být zapojeny podle obr. 10.11. Váhové proudy se generují pomocí rezistorů s váhově odstupňovanými odpory ze společného zdroje referenčního napětí  $U_R$ . Pro napětí na výstupu operačního zesilovače můžeme odvodit vztah

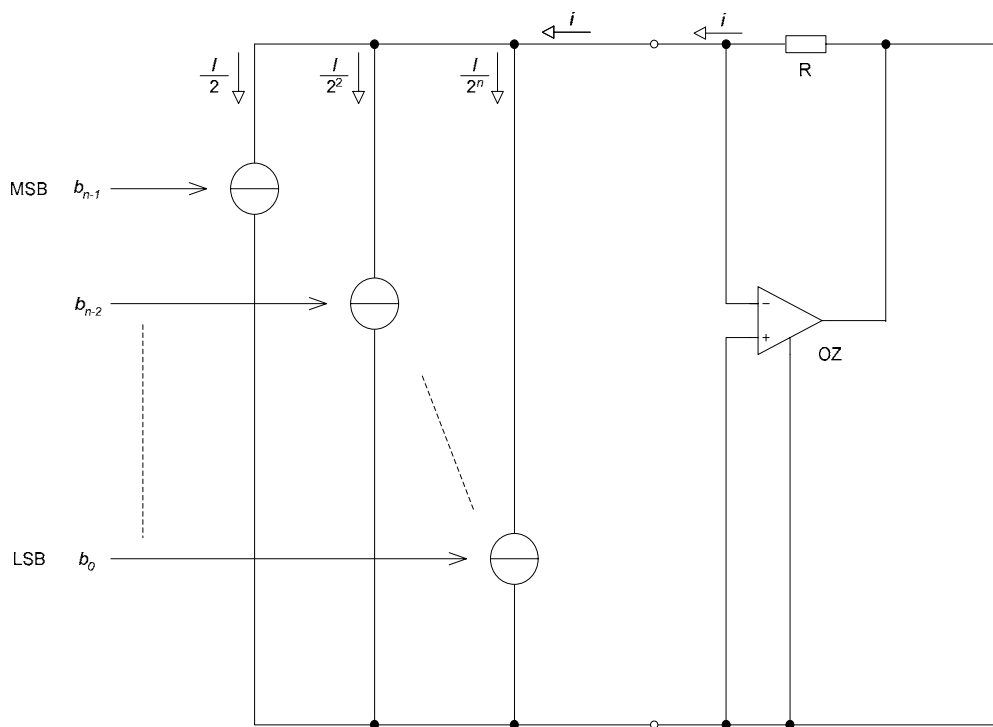
$$u = -iR = -R \sum_{k=1}^n a_k I_k = -U_R R \sum_{k=1}^n \frac{a_k}{R_k}, \quad (10.14)$$

kde pro hodnotu bitu  $a_k = 0$  připojí spínač  $S_k$  rezistor  $R_k$  na zem a pro  $a_k = 1$  jej připojí ke zdroji referenčního napětí  $U_R$ . Pro dvojkový kód mají váhové rezistory odpor

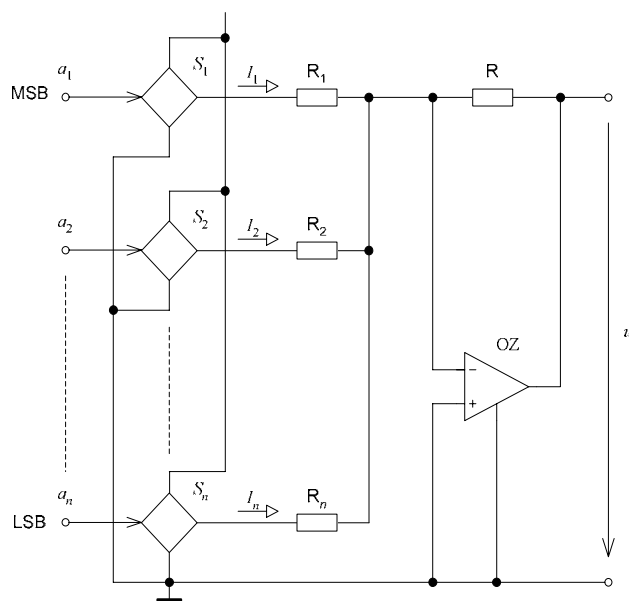
$$R_k = 2^{k-1} R_R \quad (k = 1, 2, \dots, n) \quad (10.15)$$

a tedy rovnici (10.14) lze dále upravit

$$u = 2U_R \sum_{k=1}^n a_k 2^{-k} = -2U_R \frac{R}{R_R} D. \quad (10.16)$$



Obr. 10.10: Zapojení převodníku čísla na napětí

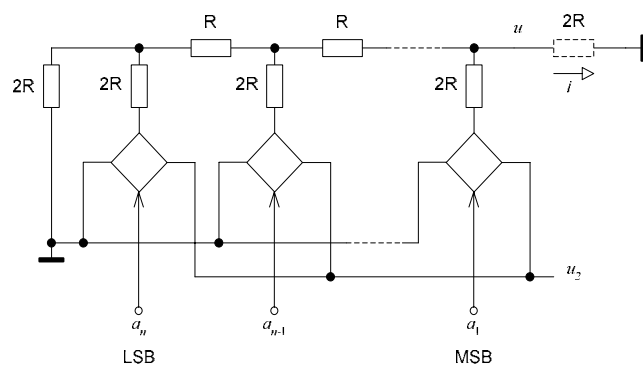


Obr. 10.11: Zapojení převodníku DAC s váhovou rezistorovou sítí

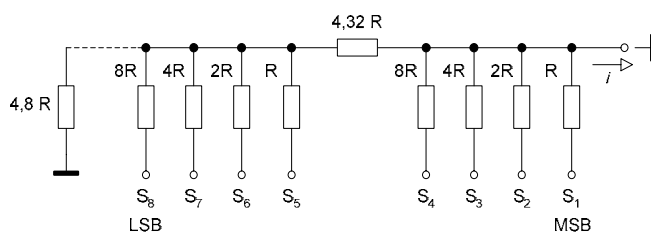
Bude-li  $R = R_R/2$ , pak

$$u = -U_R \cdot D. \quad (10.17)$$

Předností rezistorové váhové sítě je malý počet rezistorů v síti a konstantní hodnota proudu tekoucího spínače. Nevýhodou je naopak velké rozpětí odporů váhových rezistorů. Pro  $n$ -bitové dvojkové číslo je poměr odporů  $1:2^{n-1}$ , pro převod  $p$  – dekadového čísla v BCD pak  $1:(8 \cdot 10^{p-1})$ .



a



b

Obr. 10.12: Základní typy rezistorové sítě a) pro dvojkový kód, b) pro kód BCD

Proto se rezistorové sítě upravují zařazením sériových rezistorů do některých míst sítě. Tyto kombinované váhové sítě jsou tvořeny sekcemi váhových rezistorů opět spínaných řízenými spínači na zem nebo referenční napětí. Převodník je pak konstruován způsobem uvedeným na obr. 10.11. Rezistorová síť je však kombinovaná a je uspořádána podle obr. 10.12.

Výhodou použití kombinované rezistorové sítě je snížení poměru nejmenšího a největšího odporu použitých rezistorů v paralelních větvích na hodnotu  $1:2^{s-1}$ , přičemž  $s$  udává počet rezistorů v sekcích (na obr. 10.12a je  $s = 1$ , na obr. 10.12b pak  $s = 4$ ). Nevýhodou je větší počet rezistorů a obtížnější konstrukce spínačů, neboť spínaný proud spínači se mění podle vstupních kombinací čísel.

#### Paralelní převodníky DAC

s rezistorovou sítí typu T jsou zapojeny podle schématu na obr. 10.13a. V paralelních větvích jsou použity dělené váhové rezistory, jejichž středy se uzemňují řízenými spínači. Velké hodnoty odporů se modelují zeslabovacími články T podle obr. 10.13b. Výhodou těchto převodníků je poměrně snadná konstrukce spínačů, jejichž jeden konec je trvale připojen na společný vodič.

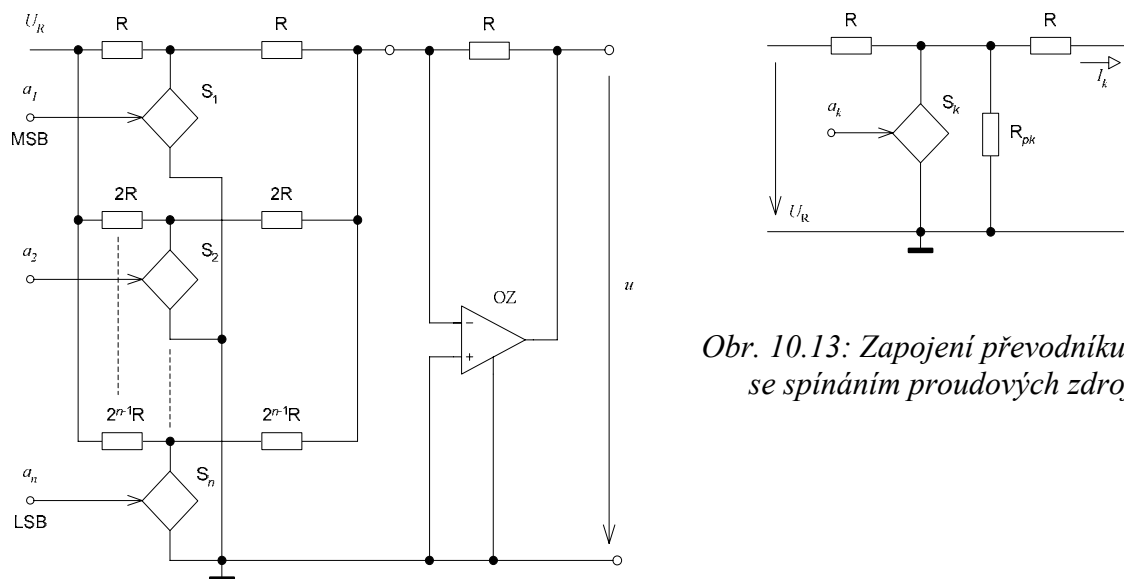
Paralelní převodníky DAC se spínanými proudovými zdroji jsou obecně zapojeny podle schématu na obr. 10.9 nebo 10.10. Nevýhodou této varianty je nutnost konstruovat  $n$  proudových zdrojů s různými váhovými proudy  $I_k$ . proto můžeme sestavit převodník DAC např. podle schématu na obr. 10.14, kde je použito celkem  $n$  proudových zdrojů se stejným proudem  $I$ , přičemž ostatní váhové proudy  $I_k$  se z tohoto proudu odvozují dělením v rezistorové síti typu R-2R. Je zřejmé, že je výhodné použít sadu zdrojů stejného konstantního proudu a proud (nulový nebo  $I_k$ ) do daného uzlu sítě přivádět přes proudový přepínač.

Násobící digitálně analogové převodníky nejsou zvláštním typem převodníků. Pouze tak označujeme převodníky, které jsou schopny místo konstantního referenčního napětí  $U_R$  nebo proudu  $I_R$  zpracovávat na referenčním vstupu i časově proměnné napětí  $u_1$  nebo proud  $i_1$ . Pro napěťový převodník pak bude výstupní napětí

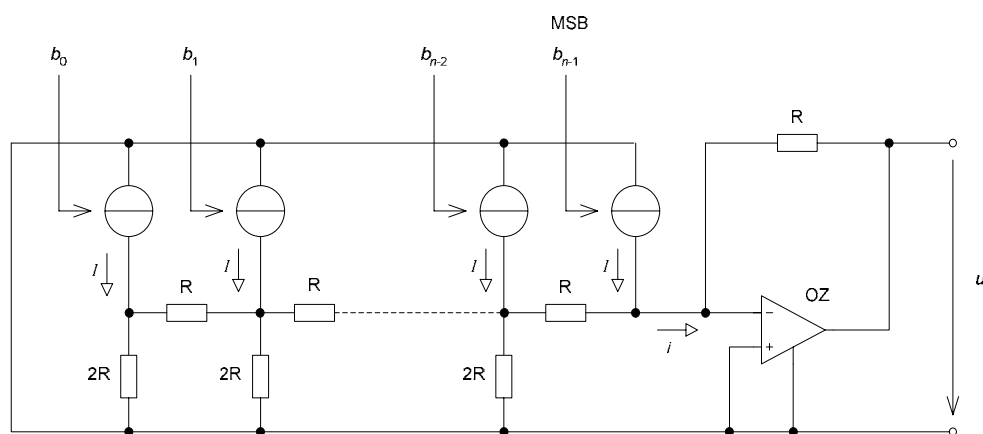
$$u_2 = D \cdot u_1 \quad (10.18)$$

Bude-li číslo  $D$  v rozsahu kladných i záporných hodnot a napětí  $u_1$  pouze jedné polaroty, mluvíme pak o dvoukvadrantovém násobícím převodníku DAC. Bude-li možné navíc přivádět i napětí  $u_1$  obojí polaroty, bude násobící převodník čtyřkvadrantový. Je pochopitelné, že jeho elektronické spínače musí být schopny spínat pro obě polaroty i velký rozsah hodnot napětí nebo proudu. Spínače bývají většinou realizovány s tranzistory FET.





Obr. 10.13: Zapojení převodníku DAC se spínáním proudových zdrojů



Obr. 10.14: Zapojení převodníku DAC se spínáním proudových zdrojů

Zapojíme-li násobící převodník DAC do zpětné vazby operačního zesilovače podle obr 3.21, můžeme vstupní napětí  $u_1$  dělit vstupním číslem  $D$ . Výstupní napětí je v tomto případě určeno vztahem

$$u_2 = -\frac{R_2}{R_1} \frac{u_1}{D}, \quad (10.19)$$

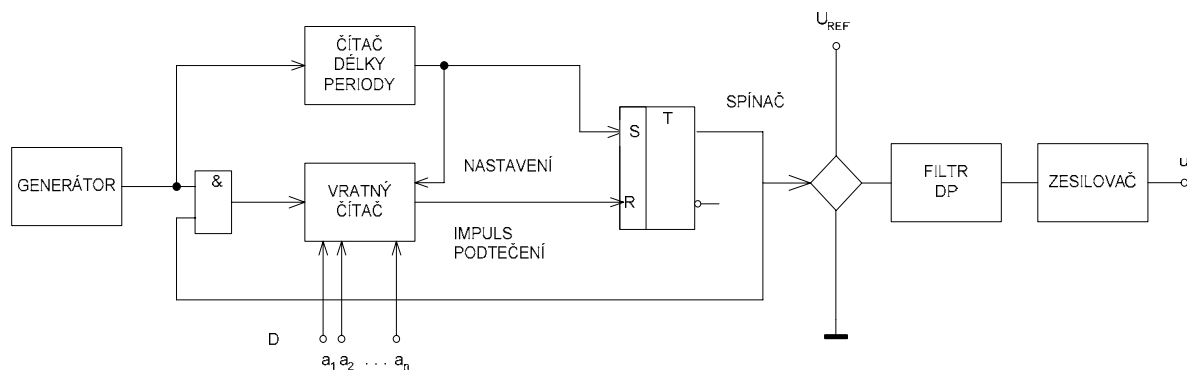
který lze snadno odvodit s uvažáním rovnic pro násobící převodník DAC

$$u_{DAC} = u_2 \cdot D \quad (10.20)$$

a pro invertující zesilovač s operačním zesilovačem

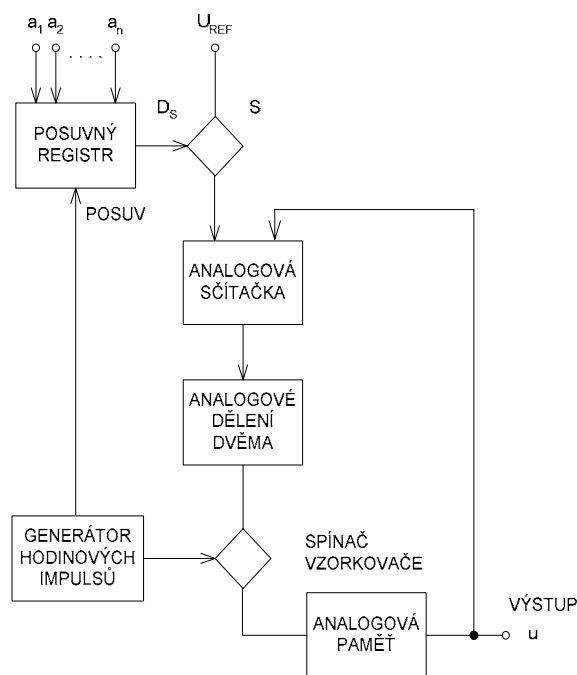
$$u_{DAC} = -\frac{R_2}{R_1} \cdot u_1 \quad (10.21)$$

Nepřímé převodníky DAC používají mezipřevod vstupní číslicové kombinace na jiný diskretní signál, který je teprve převeden na výstupní analogový signál  $u$ . Podle druhu měronosné veličiny pomocného signálu rozeznáváme nepřímé převodníky DAC a mezipřevodem na šířku impulsů a na počet impulsů.



Obr. 10.15: Princip převodníku DAC s mezipřevodem na šířku impulsu

Uvedeme si pouze blokové schéma převodníku DAC pracujícího s mezipřevodem na šířku impulsu (obr. 10.15). Vstupním číslicovým signálem  $D = a_1 a_2 \dots a_n$  je přednastaven vratný čítač a současně přepínač S připojí na vstup filtru napětí  $U_{REF}$ . Čítač potom odečítá impulsy z generátoru hodinových impulsů. Jakmile se výstup čítače dostane do stavu 00 ... 00, přeplojí se impulsem podtečení klopný obvod RS tak, že se zastaví přísun impulsů do čítače a rozpojí se spínač referenčního napětí. Druhým čítačem je přitom souběžně čítána celá perioda převodu. Po uběhnutí doby  $T_p$  převodu se přeplojí obvod RS, vratný čítač se nastaví a celý děj se opakuje. Na vstupu filtru tedy dostaneme pravoúhlý puls konstantní amplitudy  $U_{REF}$ , jehož třída je určena vstupním číslem  $D$ . Na výstupu filtru bude stejnosměrné napětí odpovídající střední hodnotě pulsu a tedy přímo úměrné číslu  $D$ .



Obr. 10.16: Blokové schéma sériového převodníku DAC

Sériové převodníky DAC pracují na principu postupného řízeného kvantování referenčního napětí číslicovým signálem a sčítání váhových kvant jednotlivých bitů číslicového signálu (obr. 3.24). Sériový číslicový signál  $D_s$  řídí spínač S, který při  $D_s = 1$  připojuje kladné referenční napětí  $U_R$  do analogové sčítačky. Ve sčítačce se toto napětí sčítá s napětím  $u_{k-1}$ , jež je udržováno na výstupu analogové paměti jako výsledek předchozího taktu převodu  $T_{k-1}$ . Součet napětí se dělí dvěma a uloží opět do analogové paměti. Vstupní  $n$ -bitové číslo se tedy převede na analogový signál postupně, a to celkem v  $n$  taktech. Taktování zajišťuje řídicí obvod s generátorem hodinových impulsů. Tento typ se velmi často vyrábí v technologii s přepínanými kapacitami, přičemž dělením náboje na polovinu paralelním spojením dvou stejných kapacitorů dosahujeme přesné dvojkové kvantování výstupního napětí.

## 10.4 Analogově digitální převodníky ADC

Pro digitalizaci analogových signálů se používají analogově digitální převodníky. Převádějí vstupní napětí  $u$  nebo proud  $i$  na číslicový signál  $D$  podle vztahů

$$D = \frac{u}{U_R} + \Delta_k u, \quad D = \frac{i}{I_R} + \Delta_k i, \quad (10.22)$$

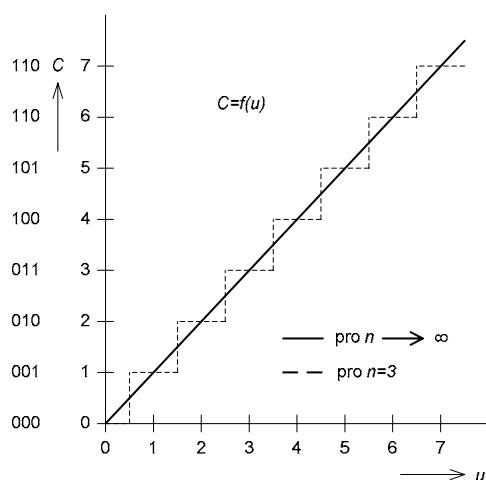
kde

$$\Delta_k u = \frac{\Delta u}{U_R}, \quad \Delta_k i = \frac{\Delta i}{I_R} \quad (10.23)$$

jsou kvantovací chyby převodníku. Tato chyba je nejvýše

$$\Delta_k u = \frac{u_{LSB}}{2}, \quad \Delta_k i = \frac{i_{LSB}}{2} \quad (10.24)$$

Každý analogově-digitální převod je charakterizován kvantování analogového signálu v čase (vzorkování), kvantování referenčního signálu v amplitudě, kódování a dekódování číslicového signálu.



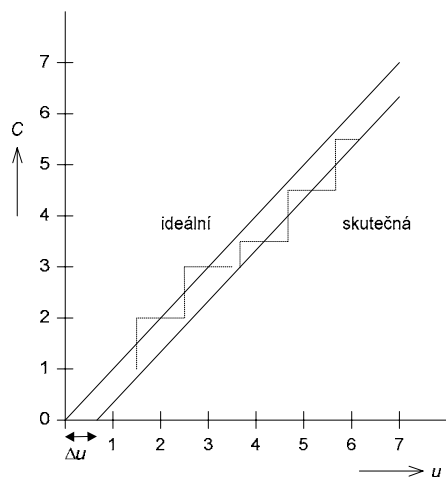
Obr. 10.17: Převodní charakteristika 3-bitového analogově-digitálního převodníku

*Rozlišovací schopnost převodníku ADC* je určena počtem úrovní, do kterého je rozdělen rozsah vstupního analogového signálu. Jelikož výstupní slovo analogově-digitálního převodníku vyjadřuje obvykle číslo v binárním kódu, je často rozlišovací schopnost vyjadřována počtem bitů výstupního slova. Sestává-li např. výstupní slovo z 10 bitů, pak vstupní rozsah je rozdělen na 1024 diskretních úrovní. Rozlišovací schopnost je  $1/2^n$ , kde  $n$  je počet bitů výstupního slova. Vstupní analogový signál, který může nabývat libovolné úrovně v mezích vstupního rozsahu, je tedy kvantován do určitého počtu diskretních úrovní (kvantovacích úrovní). Tímto procesem může vzniknout kvantovací chyba. Kvantovací chybu lze zmenšit pouze použitím více diskretních úrovní, tj. použitím více bitů výstupního slova, nebo přídavným následným zpracováním.

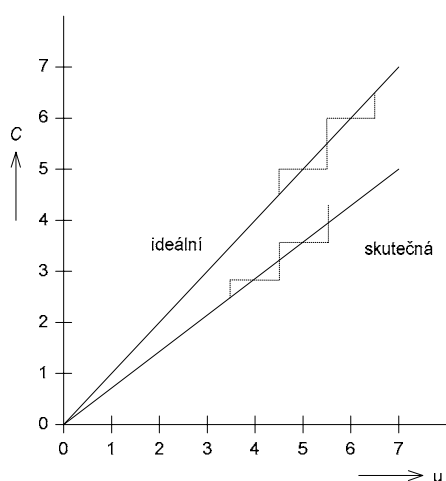
*Ideální převodní charakteristika tříbitového převodníku ADC* je nakreslena na obr. 10.17. Jelikož se snadno definují polohy přechodů z jedné výstupní úrovně do druhé, jsou chyby převodníku ADC měřeny v jednotkách vstupních analogových veličin nebo v počtu  $u_{LSB}$ , resp.  $i_{LSB}$ . Přesnost převodníku je potom dána odchylkou skutečné převodní charakteristiky od ideální. Odchylka charakteristik může být vyvolána podobně jako u převodníku DAC chybou způsobenou napěťovým posunem, chybou zisku nebo nelinearitou analogově-digitálního převodu (obr. 10.18a, b, c), případně nemonotónností. Statické parametry se tedy uvádějí podobně jako u převodníku DAC.

*Dynamické vlastnosti* se hodnotí podle doby převodu nebo přesněji rychlostí nebo četností převodů ADC. Často uváděná doba převodu je reciproká hodnota rychlosti převodu. U mnohých převodníků ADC je doba převodu totožná s dobou vzorkování.

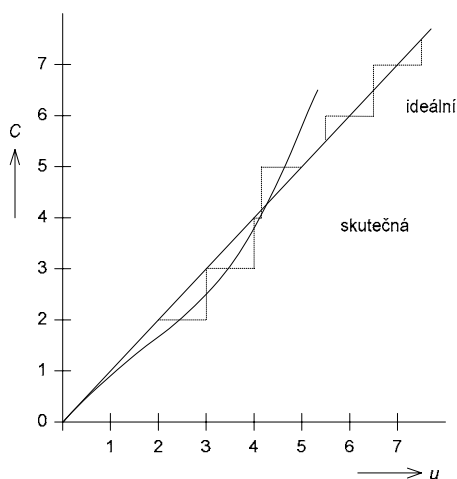
*Četnost nebo rychlost analogově-digitálních převodů* určuje největší počet možných převodů za jednotku času při zaručené přesnosti převodu. Chyba způsobená nenulovou dobou vzorkování vzniká v důsledku změny vstupního analogového signálu během vzorkování a vyjadřuje se rozdílem hodnot vstupní veličiny na začátku a na konci převodu. Tuto chybu můžeme podstatně zmenšit, použijeme-li vzorkovací obvod s analogovou pamětí. Po odebrání



a



b



c

Obr. 10.18: Chyby převodní charakteristiky převodníku a) posunu, b) zisku, c) linearity

jednotky vstupního napětí. Proto například napětí  $u \in (2,5; 3,5 \text{ V})$  se vyhodnotí aritmeticky

vzorku během doby  $T_S$  je hodnota tohoto vzorku udržována konstantní po celou dobu převodu  $T_P = T_H$ .

Typy analogově digitálních převodníků můžeme označit podle způsobu zjištění číselného ekvivalentu vstupní analogové veličině.

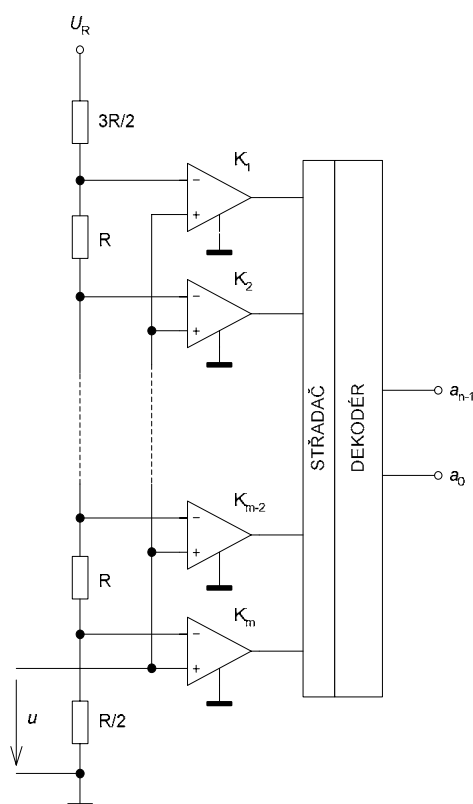
Komparační převodníky ADC využívají přímou komparaci kvantovaného měřeného a referenčního napětí. Mohou dosáhnout extrémně krátké doby převodu. Nevýhodou je velký počet komparátorů a složitost dekodéru, uplatňující se u vícebitových převodníků. Kompenzační převodníky ADC pracují na základě kompenzace měřeného napětí výstupním napětím řízeného převodníku DAC. Z hlediska způsobu generace kompenzačního napětí lze rozlišovat ještě kompenzační převodníky s přírůstky kompenzačního napětí shodné a odstupňované velikosti. Integrační převodníky ADC využívají řízené integrace měřeného a referenčního napětí, umožňují dosáhnout vysoké přesnosti převodu. Navíc mají filtrační účinek pro superponovaná střídavá rušivá napětí. Jejich nevýhodou je poměrně dlouhá doba převodu.

Přímé převodníky ADC převádějí vstupní analogové napětí přímo na výstupní slovo. U nepřímých převodníků ADC je vstupní analogové napětí převedeno nejprve na jinou analogovou veličinu (např. čas, kmitočet) a teprve potom je tato pomocná analogová veličina převedena do číslicového tvaru.

Komparační převodníky ADC srovnávají vstupní napětí s kvantovaným referenčním napětím. Hodnota  $D$  číslicového výstupního signálu je určena počtem odpovídajících kvant referenčního napětí. Komparace vstupního a referenčního napětí se může z časového hlediska uskutečnit současně nebo postupně.

U paralelního typu (obr. 10.19) je vstupní signál přiveden paralelně na řadu komparátorů. Na každý komparátor je rovněž připojena poměrná část referenčního napětí získaná na rezistorovém děliči zhotoveném z řady shodných rezistorů s odpory  $R$ . Pro každou možnou kvantovací hladinu existuje komparační úroveň. Komparační úrovně jsou v souladu s převodní charakteristikou na obr. 10.17 voleny do středu intervalů mezi

správně jsou  $u = 3 \text{ V}$ . Posun o polovinu kvantovacího bloku je způsoben spodním rezistorem s odporem  $R/2$  v rezistorové síti převodníku.



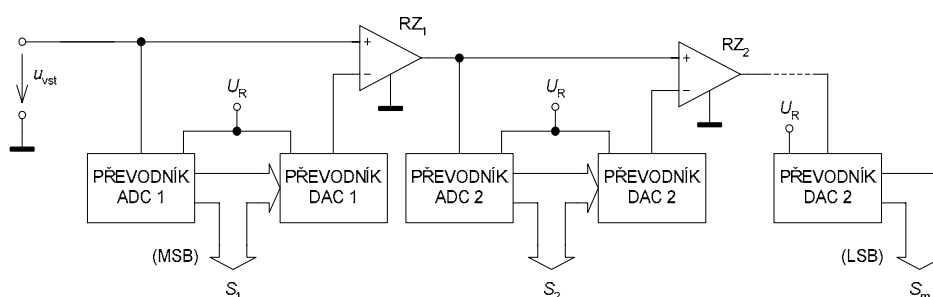
Obr. 10.19: Zapojení paralelního komparačního převodníku ADC

Přivedeme-li libovolné dovolené vstupní napětí, všechny komparátory srovnávají jeho hodnotu s kvantovacími hladinami. Tyto komparátory, jejichž referenční úroveň je menší než vstupní napětí, nastaví na svém výstupu úroveň logické jedničky, u ostatních komparátorů bude na jejich výstupech logická nula. Výstupy všech komparátorů jsou vedeny na dekodér, kde se získá paralelní výstupní kód. Tento převodník je extrémně rychlý. Jeho rychlost je prakticky limitována jen rekreační dobou komparátorů a dekódovací logiky. Jeho složitost však exponenciálně s počtem bitů.

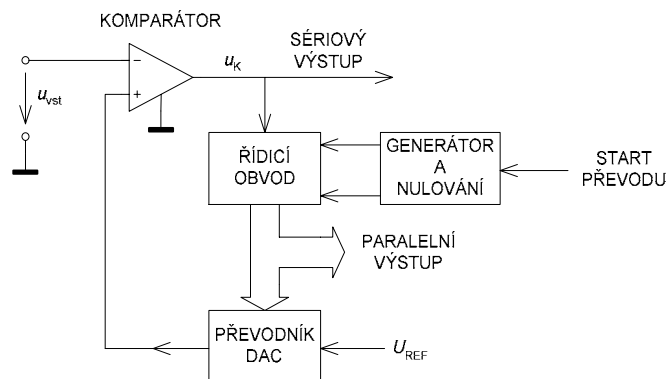
V zájmu zmenšení počtu komparátorů a dodržení velké rychlosti převodu byly vyvinuty převodníky ADC s postupnou komparací. Blokové schéma na obr. 10.20 ukazuje způsob řešení převodníku s postupnou komparací.

Vlastní analogově-digitální převod se uskutečňuje po sekcích od nejvyšších bitů. Číselný výsledek  $S_1$  prvního převodu AD vstupního napětí se převádí zpět převodníkem DAC na napětí, které se odečítá od vstupního napětí. Na výstupu rozdílového zesilovače RZ1 pak dostáváme napětí, které komparujeme v další sekci. Číselný výsledek

$S_2$  druhého převodu AD můžeme opět převést převodníkem DAC zpět na napětí, které znovu odečteme od vstupního napětí. V následující sekci pak komparujeme na úrovni další skupiny nižších bitů. Naposledy se již nepoužívá zpětný převod DA. Zapojení se používá například u rychlých převodníků, pracujících v kódu BCD. Každé sekci 4 bitů pak odpovídá jedna dekáda v kódu BCD.



Obr. 10.20: Skupinové schéma převodníku ADC s postupnou aproximací



Obr. 10.21: Blokové zapojení kompenzačního ADC převodníku

Kompenzační převodníky ADC jsou zapojeny podle blokového schématu na obr. 3.29 a pracují na principu kompenzace vstupního napětí  $u_{vst}$  kompenzačním napětím  $u_{DAC}$  generovaným převodníkem DAC, který je řízen řídicím obvodem. Analogově-digitální převod je ukončen, je-li rozdíl

$$|u_{vst} - u_{DAC}| < u_{LSB} \quad (10.25)$$

Řídicí obvod je časován impulsy z generátoru hodinových impulsů a řízen napětovým vyhodnocovacím komparátorem. Číslicový signál D odebíráme z výstupu řídicího obvodu v paralelním tvaru. Z výstupu komparátoru může být odebírán výsledek převodu v sériovém tvaru. Podle způsobu funkce řídicího obvodu rozlišujeme kompenzační převodníky ADC s přírůstky napětí převodníku DAC shodné velikosti (kompenzační převodníky) nebo odstupňované velikosti (převodníky s postupnou aproximací).

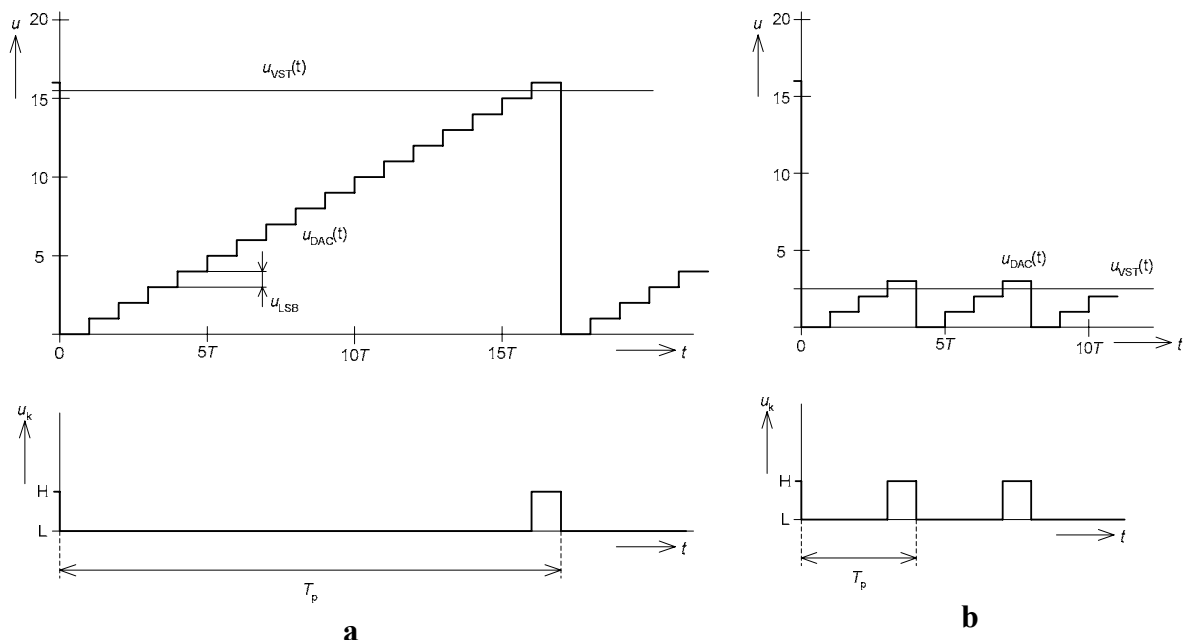
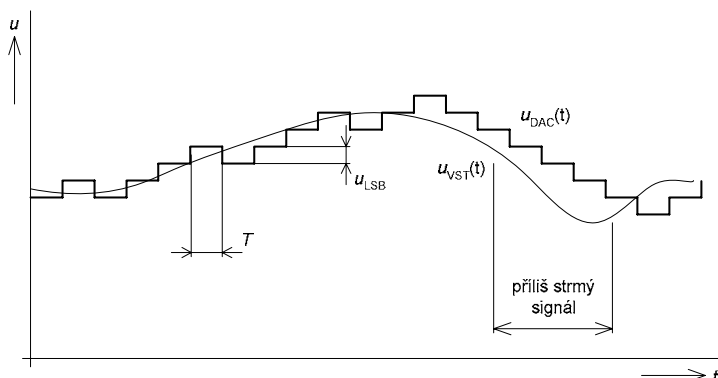
Obr. 10.22: Časový průběh napětí v kompenzačním převodníku ADC a) pro velké  $u_{vst}$ , b) pro malé  $u_{vst}$ 

Schéma jednoduchého kompenzačního převodníku ADC odpovídá obecnému zapojení na obr. 10.21. Jako řídicí obvod stačí použít čítač, kompenzace vstupního napětí probíhá v souladu s obr. 10.22 po kvantech  $u_{LSB}$ . Z obrázku je patrná proměnná doba převodu  $T_p$ ,

závisující na velikosti měřeného napětí. Převod je vždy ukončen změnou výstupního signálu komparátoru z logické nuly do jedničky. Právě v tuto dobu je údaj  $D$  na výstupu řídicího obvodu ekvivalentem měřeného napětí  $u_{VST}$ . Je pochopitelné, že napětí  $u_{VST}$  musí být po dobu měření  $T_p$  konstantní.



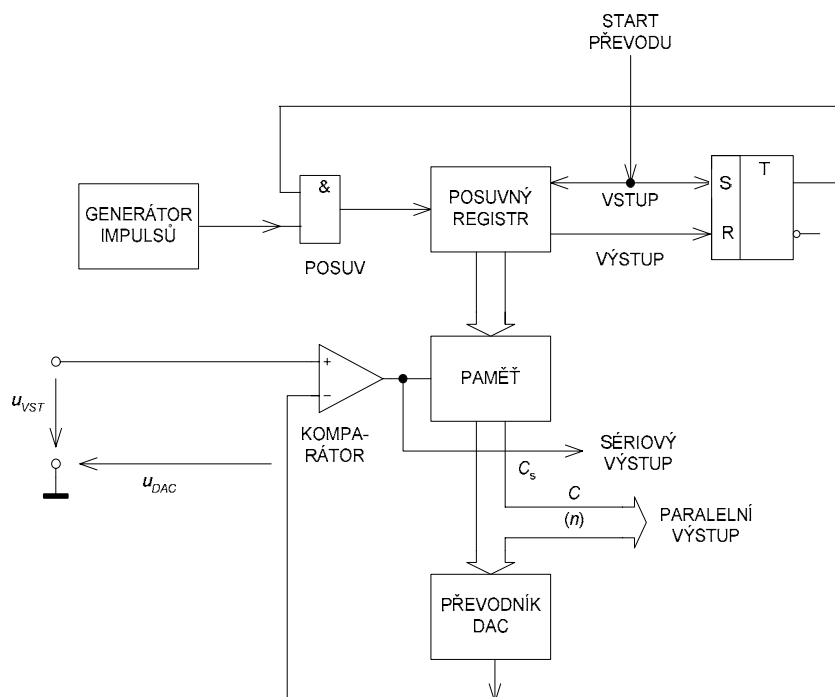
Obr. 10.23: K principu činnosti sledovacího převodníku ADC

Použitím o něco složitějších rozhodovacích obvodů a vratného čítače můžeme kompenzační převodník provozovat jako poměrně rychlý sledovací převodník ADC. Podle časových průběhů na obr. 10.23 je zřejmé, že při správné činnosti může být chyba kompenzačního napětí  $u_{DAC}$  proti správné hodnotě  $u_{VST}$  nejvýše  $\pm u_{LSB}$ .

Přípustná strmost  $S$  vstupního napětí může být

$$S \leq \frac{u_{LSB}}{T}, \quad (10.26)$$

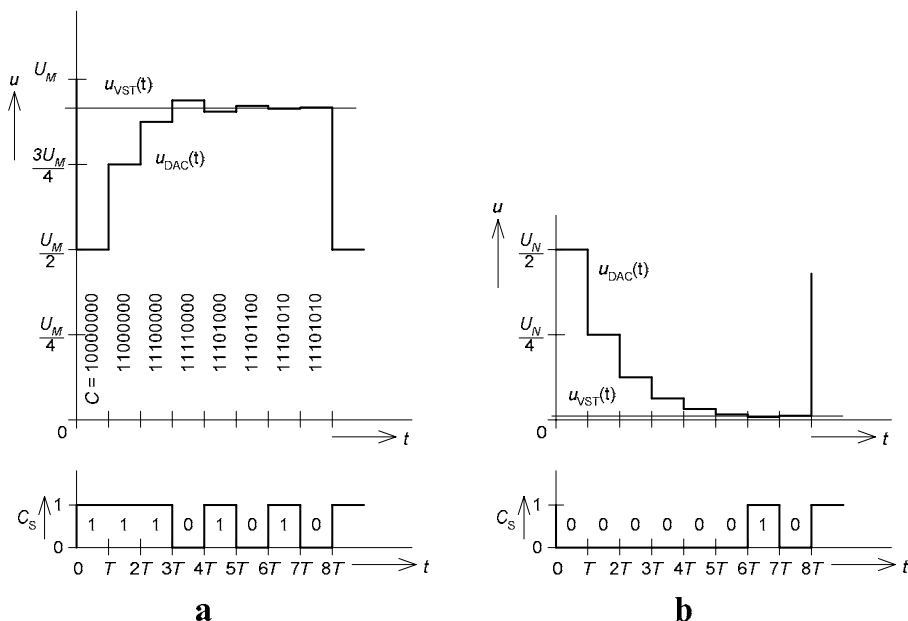
kde  $T$  označuje dobu trvání jednoho testovacího kroku převodníku (viz obr. 10.23). Je-li strmost vstupního signálu větší než dovoluje nerovnost 3.37, dojde k odtržení kompenzačního



Obr. 10.24: Blokové zapojení převodníku ADC s postupnou aproximací

napětí  $u_{\check{C}A}$  od průběhu  $u_{VST}(t)$ . Potom je chyba větší než  $\pm u_{LSB}$ . Výhodou tohoto převodníku je mnohem větší rychlost převodu než u základního typu kompenzačního převodníku ADC.

*Kompenzační převodníky ADC* s postupnou aproximací srovnávají vstupní napětí postupně s napětími odpovídajícími jednotlivým vahám, nejvyšší vahou (MSB) počínaje a nejmenší (LSB) konče. V zapojení podle obr. 10.24 se jako řídicí obvod používá posuvný registr. Převod se začíná v souladu s obr. 10.25a zápisem logické jedničky do posuvného registru na pozici nejvyššího bitu. Tato jednička se postupně v dalších krocích posouvá po všech bitech v dalších krocích posouvá po všech bitech  $n$  –bitového slova  $C$ . Tím se postupně přidávají jednotlivá váhová napětí a komparují se se vstupním napětím převodníku. Podle reakce komparátoru se na dané pozici bitu jednička  $i$  v dalších krocích ponechá (když  $u_{VST} > u_{DAC}$ ) nebo se nahradí nulou (když bylo už  $u_{VST} \leq u_{DAC}$ ). Pro libovolně velké vstupní napětí z povoleného rozsahu  $u_{VST} \in < 0; U_M$ ) probíhá převod v  $n$  –bitovém převodníku vždy právě v  $n$  taktech. Nezávislost doby  $T_P$  na velikosti  $u_{VST}$  dokumentují obr. 10.25a, b.



Obr. 10.25: Časový diagram převodu s postupnou aproximací a) pro velké  $u_{VST}$ , b) pro malé  $u_{VST}$

*Integrační převodníky ADC* používají princip integrace vstupního napětí a mezipřevodu doby integrace na výstupní číslicový signál. Převodníky lze dělit na převodníky s mezipřevodem na kmitočet a s mezipřevodem na šířku impulsu. Základní stavební jednotkou těchto převodníků ADC je spínaný integrátor.

*Převodník ADC s mezipřevodem na kmitočet* pracuje podle obecného zapojení uvedeného na obr. 10.26. Vstupní napětí  $u_{VST}$  je integrováno po dobu

$$T_i = \frac{U_R}{u_{VST}} RC, \quad (10.27)$$

Za kterou výstupní napětí zesilovače dosáhne úrovně  $U_1 > 0$ . Potom komparátor KOMP. 1 překlápí a vyrobí proudový impuls o náboji

$$Q_1 = -I \cdot T_R = -CU_R, \quad (10.28)$$

který sníží výstupní napětí zesilovače na nulu. Kmitočet  $f$  překlápění komparátoru určuje za předpokladu  $T_R \rightarrow 0$  hodnotu

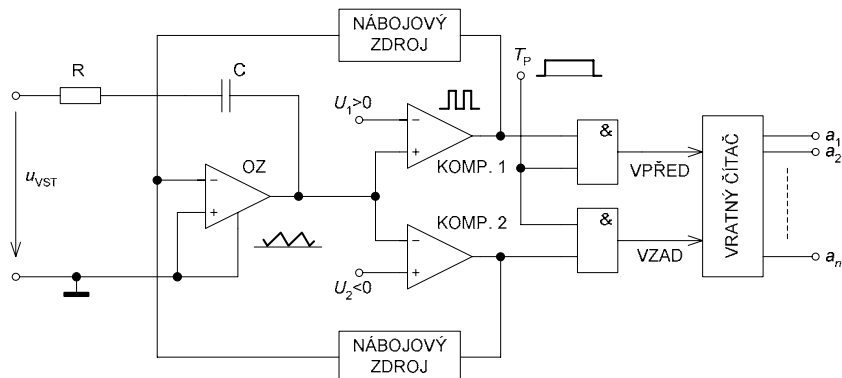


$$f = \frac{1}{T_1} = \frac{u_{VST}}{U_R \cdot RC}. \quad (10.29)$$

Číslicový signál odebíraný na výstupu  $n$  –bitového vratného čítače čítajícího po dobu  $T_P$  převodu je

$$D = \frac{T_P}{T_i} = \frac{u_{VST} T_P}{U_R \cdot RC} = \text{konst.} \cdot u_{VST}. \quad (10.30)$$

Pro vstupní napětí opačné polaridy pracuje větev s druhým komparátorem. Poznamenejme, že u konkrétních realizací je nábojový zdroj tvořen monostabilním klopným obvodem, který po přesně definovanou dobu spíná analogový spínač, připojující referenční k rezistoru, jímž pak protéká definovaný proud  $I$  podle rov. 10.28.



Obr. 10.26: Princip zapojení integračního převodníku ADC s mezipřevodem na kmitočet

Integrační převodník ADC s mezipřevodem na časový interval existuje v několika variantách. Na obr. 10.27 je uvedena jedna z nich. Jde o typ s dvojsklonnou integrací, který proti základnímu typu s jednosklonnou integrací má řadu výhod. Odstraňuje vliv nestability rezistoru a kapacitoru v integračním zesilovači a nestability kmitočtu z pomocného generátoru. Převodník v prvním kroku integruje vstupní napětí a ve druhém kroku referenční napětí. Příchodem startovacího impulsu na vstup S se klopný obvod KO<sub>1</sub> na výstupu Q nastaví a sepne spínač S<sub>1</sub>. Integrátor integruje vstupní napětí  $u_{VST}$  po dobu

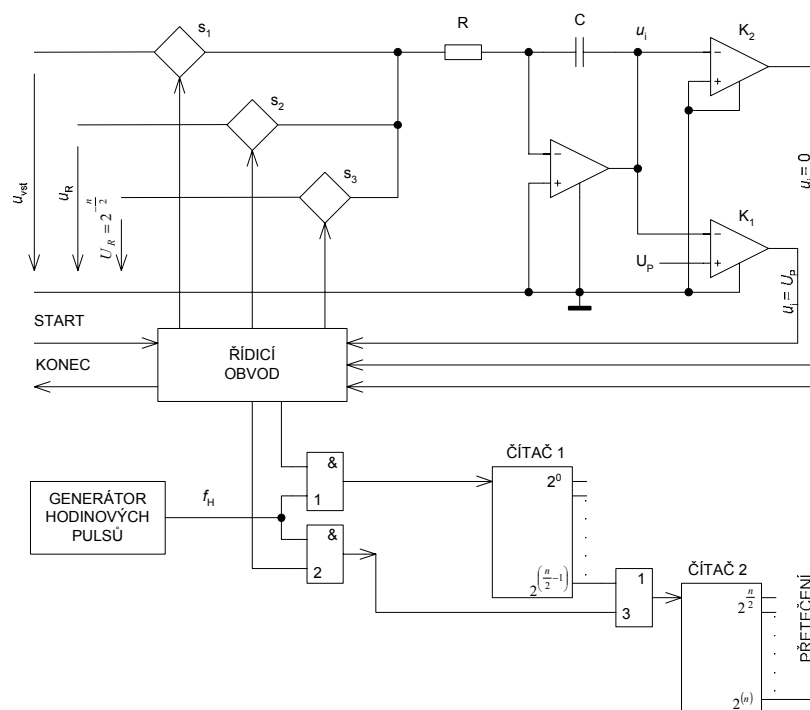
$$T_1 = \frac{2^n}{f}, \quad (10.31)$$

určenou naplněním čítače s kapacitou  $2^n$  impulsy s kmitočtem  $f$  s pomocného generátoru, které procházejí přes otevřené hradlo H<sub>1</sub>. Na konci prvního kroku bude výstupní napětí integrátoru

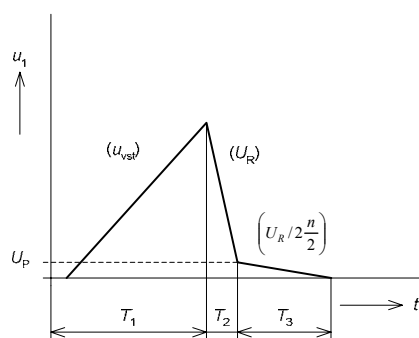
$$u_i(T_1) = u_{VST} \frac{T_1}{RC}. \quad (10.32)$$

Po naplnění čítače se jeho signálem přepnutí vynuluje obvod KO<sub>1</sub> a spínač S<sub>1</sub> se rozpojí. Naopak se nastaví klopný obvod KO<sub>2</sub>, z jehož výstupu se ovládá spínač S<sub>2</sub>, který připojí na vstup integrátoru záporné referenční napětí  $U_R < 0$ . Čítač nyní čítá impulsy z generátoru přes otevřené hradlo H<sub>2</sub>. Integrátor integruje referenční napětí po dobu  $T_2$ , danou dosažením nulové hodnoty výstupního napětí  $u_i$ . Jakmile výstupní napětí integrátoru projde nulou, signalizuje tuto situaci komparátor a vynuluje klopný obvod KO<sub>2</sub>. Signálem z jeho výstupu se rozpojí spínač S<sub>2</sub> a uzavře hradlo H<sub>2</sub>. Na výstupu čítače zůstane číslo D odpovídající době





a



b

Obr. 10.28: K principu činnosti převodníku ADC s trojsklonnou integrací

integrací, je  $n$  –bitový čítač rozdělen na dvě stejné části, přičemž impulsy z generátoru mohou být podle potřeby přiváděny na vstup kterékoliv části. Na počátku převodu se vynuluje celý čítač a sepne spínač  $S_1$ . Vstupní analogové napětí  $u_{VST}$  je integrováno po určitou konstantní dobu  $T_1$ , závislou na počtu hodinových impulsů potřebných pro naplnění druhé části čítače,

přičemž každý hodinový impuls mění stav čítače o hodnotu  $2^{n/2}$ . Jelikož pro naplnění celého čítače je potřeba  $N_1$  impulsů (v tom případě je také vyslán impuls přeplnění), je doba  $T_1$  určena vztahem

$$T_1 = N_1 / (2^{n/2} \cdot f_H), \quad (10.36)$$

Kde  $f_H$  je opakovací kmitočet hodinových impulsů. V okamžiku, kdy dojde k přeplnění čítače je rozpojen  $S_1$  spínač a sepnut spínač  $S_2$ . Na vstup integrátoru je připojeno napětí  $U_R$ , které má opačnou polaritu než  $u_{VST}$ , takže výstupní napětí integrátoru se nyní zmenšuje. Po tuto dobu jsou hodinové impulsy opět přiváděny do druhé části čítače. Integrace napětí  $U_R$  probíhá až do doby, kdy se výstupní napětí integrátoru zmenší na hodnotu  $U_p$ , která není kritická, avšak musí být větší než  $-U_R \cdot 2^{-n/2}$ . V tomto okamžiku  $t = T_1 + T_2$  se překlápí komparátor  $K_1$

a v důsledku toho se rozpojí spínač  $S_2$  a sepne spínač  $S_3$ . Současně se řídící obvody přepnou tak, že hodinové impulsy jsou přiváděny na vstup první části čítače. Nyní probíhá integrace napětí  $U_R \cdot 2^{-n/2}$ , a to tak dlouho, až výstupní napětí integrátoru dosáhne nulové hodnoty. V tom okamžiku se překloupí komparátor  $K_2$  a převod se ukončí. Pro doby  $T_2$  a  $T_3$  platí následující vztahy

$$T_2 = \frac{N_2}{2^{n/2} \cdot f_H}, \quad (10.37)$$

$$T_3 = \frac{N_3}{f_H}, \quad (10.38)$$

kde  $N_2$  a  $N_3$  jsou počty impulsů, které odpovídají stavům jednotlivých částí čítače po uplynutí doby  $T_2$ , případně  $T_3$ . Na konce převodu platí pro výstupní napětí integrátoru vztah

$$u = -\frac{1}{RC} \left( \int_0^{T_1} u_{VST} dt' + \int_{T_1}^{T_1+T_2} U_R dt + \int_{T_1+T_2}^{T_1+T_2+T_3} U_R \cdot 2^{-n/2} dt \right). \quad (10.39)$$

Za předpokladu, že vstupní napětí je po dobu převodu konstantní, můžeme předcházející vztah upravit na tvar

$$u_{VST} T_1 + U_R T_2 + \frac{U_R}{2^{n/2}} T_3 = 0. \quad (10.40)$$

Použijeme-li předchozích rovnic, dostaneme

$$u_{VST} \cdot \frac{N_1}{2^{n/2} f_H} - U_R \cdot \frac{N_2}{2^{n/2} f_H} - \frac{U_R}{2^{n/2}} \cdot \frac{N_3}{f_H} = 0 \quad (10.41)$$

Úpravou této rovnice získáme konečný vztah pro napětí

$$u_{VST} = -U_R \frac{N_2 + N_3}{N_1}. \quad (10.42)$$

Pro srovnání doby převodu převodníků s dvojsklonnou a trojsklonnou integrací uvažujeme u obou převodníků maximální vstupní napětí. Převodník s dvojsklonnou integrací načítá  $N_D = 2 \cdot 2^n$  hodinových impulsů, zatímco převodník s trojsklonnou integrací načítá pouze  $N_T = 3 \cdot 2^{n/2}$  hodinových impulsů. Protože počet načítaných impulsů je přímo úměrný době převodu, platí

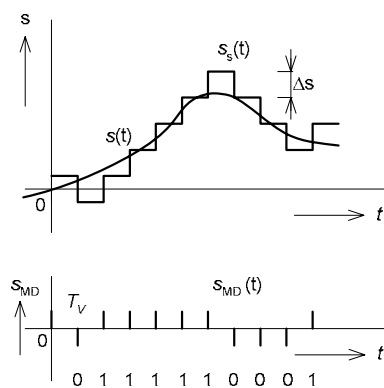
$$\frac{T_D}{T_T} = \frac{N_D / f_H}{N_T / f_H} = \frac{2 \cdot 2^n}{3 \cdot 2^{n/2}} = \frac{2^{1+n/2}}{3}, \quad (10.43)$$

kde  $T_D$  je doba převodu převodníku s dvojsklonnou integrací a  $T_T$  je doba převodu převodníku s trojsklonnou integrací. Uvažujeme-li například oba převodníky s rozlišovací schopností 12 bitů, pak u převodníku s dvojsklonnou integrací je doba převodu přibližně čtyřicetkrát delší.

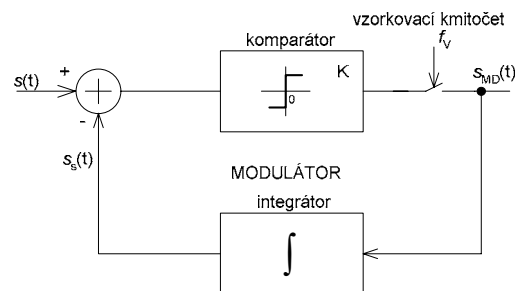
## 10.5 Modulace sigma-delta

Modulace delta umožňuje snížit tok dat nutných pro přenos číslicového signálu. Místo přenosu hodnoty vzorku se přenáší pouze přírůstek hodnoty vůči hodnotě předchozího vzorku (obr. E), blokové schéma ukazuje obr. F. Komparátor vyhodnocuje pouze rozdíl vstupního napětí  $u_{VST}(t)$  a aproximačního napětí  $S_S(t)$ , sestávajícího ze stupínků  $\pm \Delta S$  s délkou  $T_V$ .

Zpětná rekonstrukce analogového signálu je relativně jednoduchá. Digitální signál  $S_{MD}(t)$  se pouze integruje a výsledný signál se vyhladí filtrem typu dolní kmitočtová propust.

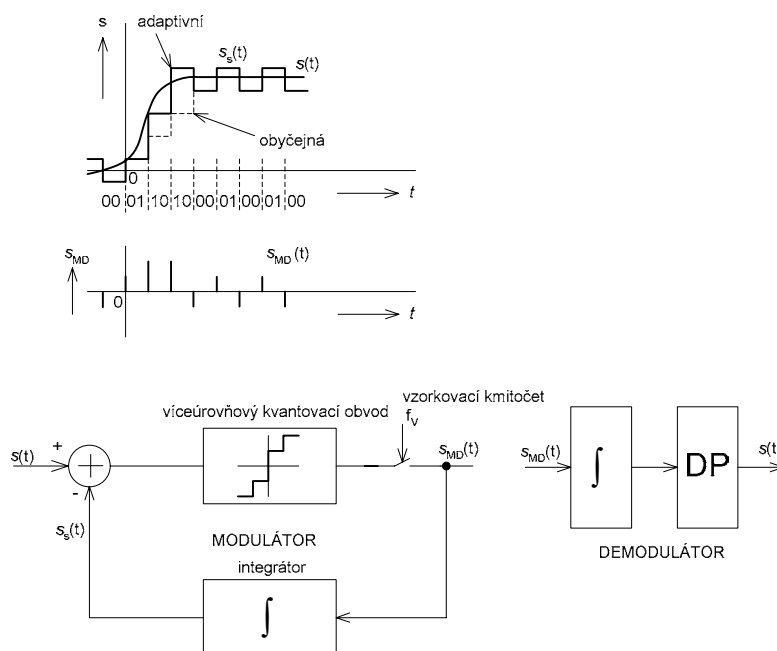


Obr. 10.29: Princip modulace delta



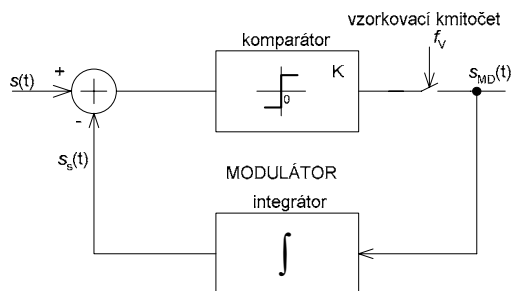
Obr. 10.30: Blokové schéma pro modulaci delta

Adaptivní modulace delta (víceúrovňová) zlepšuje vlastnosti modulátoru při rychlých změnách vstupního signálu ovšem za cenu větší složitosti a většího počtu přenášených bitů.



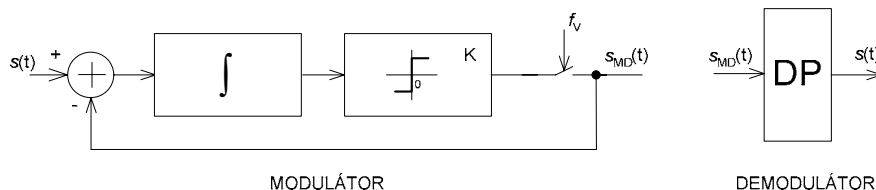
Obr. 10.31: Princip a blokové schéma pro adaptivní modulaci delta

**Modulace sigma-delta.** Jedná se v podstatě o obvyčejný delta modulátor, na jehož vstup se zařadí integrátor. Delta modulátor bude tedy převádět integrál vstupního signálu.



Obr. 10.32: Blokové schéma pro modulaci sigma-delta

Zapojení lze zjednodušit tak, že dva integrátory nahradíme jedním, který zařadíme za rozdílový obvod (viz obr. 10.33)

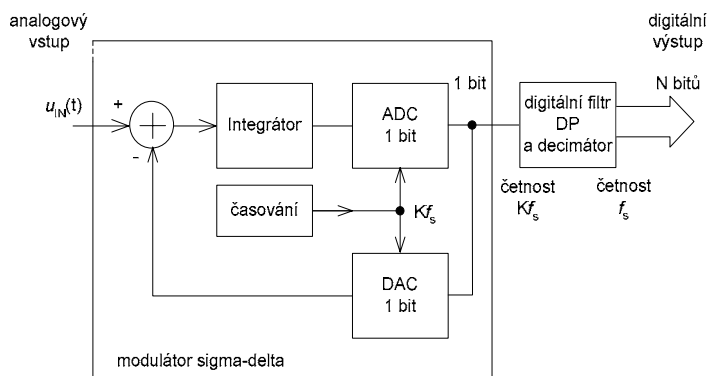


Obr. 10.33: Zjednodušené zapojení pro modulaci sigma-delta

V principu má obvod tytéž bloky jako obyčejný delta modulátor, pouze jsou jinak uspořádány. Demodulace je však jednodušší.

## 10.6 Převodníky ADC typu sigma-delta

Používají se zejména v aplikacích, kdy má být přesné zpracování signálu, protože mají vysokou rozlišovací schopnost. O rozvoj komerčně dostupných součástek se zasloužila submikronová technologie CMOS. Ta umožňuje na jednom čipu kombinovat analogové i digitální obvody. Obecně lze říci, že v architektuře  $\Sigma\text{-}\Delta$  převyšuje význam digitální služby nad složkou analogovou.



Obr. 10.34: Převodník ADC s modulátorem sigma-delta 1. řádu

Podstatnou součástí převodníků ADC i DCA tohoto typu je modulátor  $\Sigma\text{-}\Delta$ .

Modulátor  $\Sigma\text{-}\Delta$  převádí vstupní analogový signál na jednobitový digitální signál. Sériová posloupnost jedniček a nul vystupuje s četností určenou vzorkovacím hodinovým signálem s kmitočtem  $K_{fs}$ .

Jeho hlavními součástmi jsou součtový integrátor a komparátor. Komparátor generuje zmíněný jednobitový výstupní signál a v uvedeném zapojení vlastně zjišťuje znaménko analogového výstupního integrátoru. Komparátor je ve skutečnosti jednobitovým převodníkem ADC. Jednička na jeho výstupu znamená, že výstupní signál integrátoru byl v okamžiku komparace kladný, nula indikuje zápornou hodnotu. Posloupnost nul a jedniček se v rámci bloku vede zpět do jednobitového převodníku DAC.

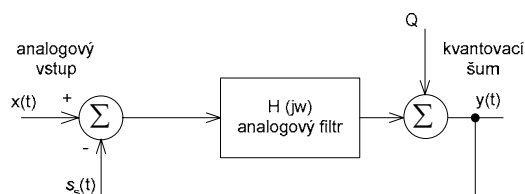
Výstupní analogový signál převodníku DAC může nabývat pouze hodnoty kladného nebo záporného referenčního napětí. To se na vstupu součtového integrátoru od vstupního signálu odečítá.

Jedna nula nebo jednička, kterou komparátor pro nějakou hodnotu vstupního napětí v jediném vzorkovacím intervalu vygeneruje, nemá téměř žádný význam. Ten se objeví až tehdy, budeme-li výstupní posloupnost čítat po jistý časový interval a určíme-li její průměrnou hodnotu. Obvod, který tento průměr počítá, je označen jako decimátor. Čím více vzorku se průměruje, tím vyššího dynamického rozsahu převodníku se dosáhne. Průměrováním čtyř vzorků se dosáhne dvoubitového rozlišení průměrováním osmi vzorků tříbitového, atd.

Délka časového intervalu čítání souvisí s kmitočtem vzorkovacího signálu. Výstup decimátoru s požadovaným rozlišením je k dispozici až po proběhnutí potřebného počtu vzorků. Četnost čtení číslicového výstupu decimátoru a kmitočet vzorkovacího signálu se tedy liší. Jejich vzájemný poměr je označen  $K$ . Tento poměr se obvykle nazývá koeficient převzorkování a je pro vlastnosti těchto převodníků rozhodující.

Decimátor vlastně vykonává funkci jako číslicový dolnoproustný filtr. Jeho nejjednodušší digitální podobou je čítač. Pro  $n$ -bitové rozlišení by ale musel být koeficient převzorkování roven  $K = 2^n$ . Složitější decimátory proto provádějí výpočet průměru za několik po sobě jdoucích vzorkovacích intervalů a převzorkování obvykle nebývá vyšší než 128. Vzhledem k přirozené nahodilosti jednobitového výstupu modulátoru  $\Sigma - \Delta$  je jeho analýza chování v časové oblasti velmi obtížná. Pokud vstupní analogové napětí strmě narůstá, bude ve výstupním proudu mnohem víc jedniček než nul. V případě, že bude vstupní analogové napětí klesat, bude ve výstupním proudu převažovat více nul. Pro konstantní signály blízko středu rozsahu bude počet nul a jedniček stejný (budou se střídát). Střední hodnota výstupu převodníku ADC je úměrná vstupnímu signálu.

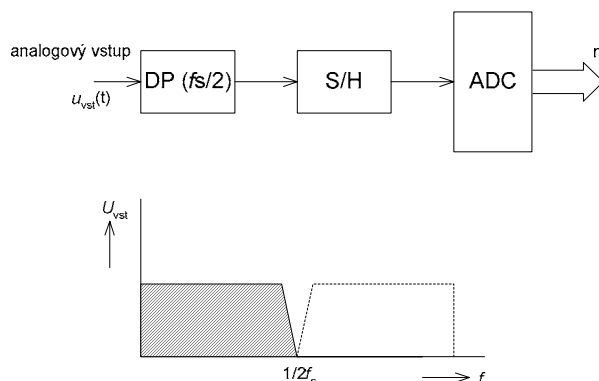
Při každém převodu AD se musí spojitá veličina kvantovat, tím že vzniká kvantovací chyba. Rozborem chování modulátoru  $\Sigma - \Delta$  v kmitočtové vstupní oblasti lze poměrně snadno ukázat, že přenos modulátoru  $\Sigma - \Delta$  lze matematicky vyjádřit součtem dvou členů (zlomků). Jeden z nich představuje přenos správného vstupního signálu a druhý obsahuje šumové složky (kvantovací šum).



Obr. 10.35: Linearizovaný model modulátoru s modelovým zdrojem kvantovacího šumu

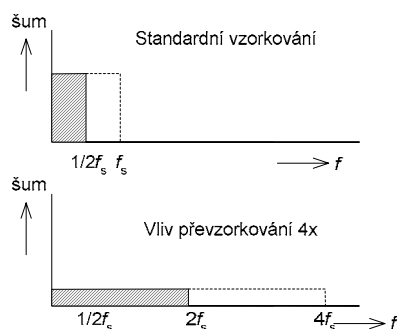
Na základě rozboru v kmitočtové oblasti lze na integrátor nahlížet jako na analogovou dolní propust pro užitečný signál a horní propust pro kvantovací šum.

Klasický systém digitalizace analogového signálu je sestaven podle blokového schématu na obr. 10.36a. Vstupní signál je filtrem typu dolní propust omezen nejvýše na  $f_s/2$ . V tom případě nenastává překrývání postranních pásem ve spektru vzorkovaného signálu (aliasing).



Obr. 10.36: Klasická digitalizace s předřazeným „antialiasing“ filtrem. a) blokové schéma, b) úprava signálu v kmitočtové oblasti

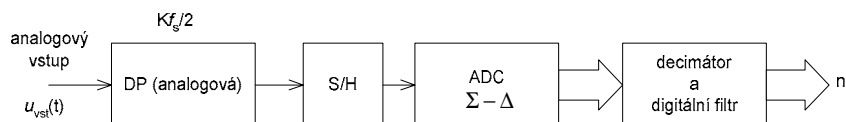
Kvantovací šum je rovnoměrně rozložen po celém pásmu propustnosti a jeho energie je úměrná vyšrafované ploše na obr. 10.37a.



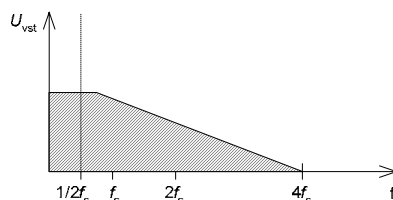
Obr. 10.37: Vliv převzorkování stejného signálu na výsledný šum a) klasická digitalizace právě při splnění vzorkovacího teoremu b) snížení šumu při čtyřnásobném převzorkování

Při digitalizaci převodníkem ADC typu sigma-delta se použije blokové schéma převodníku podle obr. 10.38a. Signál je nejprve ošetřen analogovou dolní kmitočtovou propustí, která nemusí mít strmý pokles propustnosti za mezním kmitočtem (jednoduché a levné řešení). Pouze stačí, aby nepropustila kmitočtové složky vyšší než  $K \cdot f_s/2$ , kde  $K$  je koeficient převzorkování (na obr. 1 je  $K = 4$ ). Amplituda šumu převzorkovaného signálu se sníží podle koeficientu převzorkování (viz obr. 10.37b).

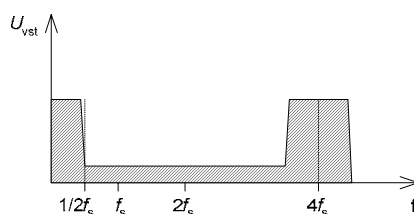




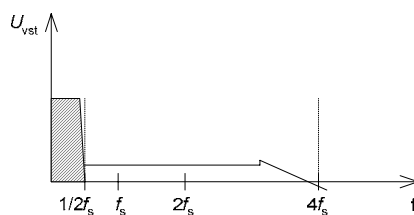
a



b



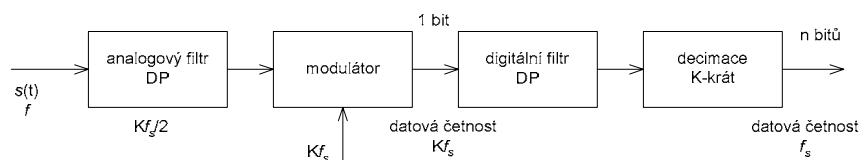
c



d

Obr. 10.38: Převodník ADC typu  $\Sigma - \Delta$  s kombinovanou analogovou a digitální filtrací. a) blokové schéma, b) až d) vliv převzorkování v kmitočtové oblasti

Blokové schéma z obr. 10.38 lze překreslit názorněji podle obr. Obr. 10.39.

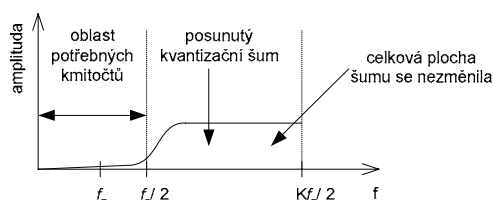


Obr. 10.39: Překreslené blokové schéma převodníku ADC typu  $\Sigma - \Delta$  s převzorkováním a decimací koeficientem  $K$

Zajímavě se v tomto převodníku projevuje vliv decimátoru (vlastně o digitální DP). Jeho  $n$  –bitový výstup můžeme odebírat s četností  $f_s$ . Podle Nyquistova kritéria tedy vstupní signál může obsahovat nejvýše kmitočty  $f_s/2$ . Vlastní vzorkování vstupního signálu se však v modulátoru  $\Sigma - \Delta$  provádí s kmitočtem  $K f_s$ . Vstupní antialiasingový filtr tedy musí být

navržen tak, aby ke zpracování nepropustil složky s kmitočtem vyšším než  $Kf_s/2$ . Z toho vyplývá, že ke splnění Nyquistova kritéria postačí, když bude mít tento antialiasingový filtr mezní kmitočet  $Kf_s/2$  a nikoliv  $f_s/2$ . Skutečným požadavkům aplikace, tedy efektivní mezní frekvenci filtru  $f_s/2$  je, ale díky decimátoru, automaticky vyhověno.

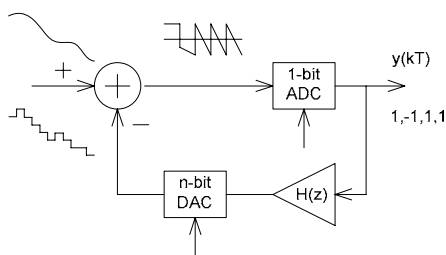
Kmitočtový rozbor chování modulátoru  $\Sigma - \Delta$  s ohledem na kvantovací šum byl zatím proveden jen na okrajích pásma ( $\omega = 0$  a  $\omega \rightarrow \infty$ ). Nejzajímavější výsledek ale je, že rozložení kvantovacího šumu se, díky analogové filtraci integrátorem modulátoru, změnilo. Není už takové, jako na obr. 10.36b, ale má tvar podle obr. 10.40.



Obr. 10.40: Vliv digitální filtrace na kvantování šum

Celková plocha obdélníku se nezměnila, změnil se však jeho tvar. Maximum teď neležel mezi kmitočty 0 a  $f_s/2$ , ale mezi kmitočty  $f_s/2$  a  $Kf_s/2$ . Tuto část spektra ale odfiltruje číslicový filtr (decimátor) převodníku. Popsaném jevu se říká posun kvantizačního šumu a právě ten je ve skutečnosti příčinou vynikajících dynamických vlastností převodníků  $\Sigma$ .

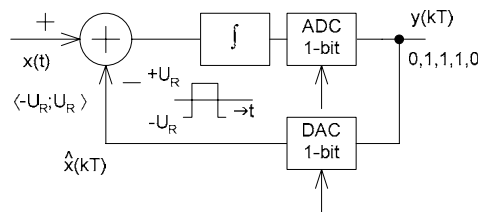
Samotný modulátor  $\Sigma - \Delta$  digitalizuje analogový signál s velmi malým rozlišením. Kombinací metod převzorkování (oversampling), posunutí šumu (noise shaping) a číslicové filtrace (digital filtering) je však výsledné rozlišení mnohem vyšší. K přizpůsobení vysokého vzorkovacího kmitočtu (díky převzorkování) reálným vzorkovacím požadavkům slouží decimace (decimation).



Obr. 10.41: Predikční převodník ADC

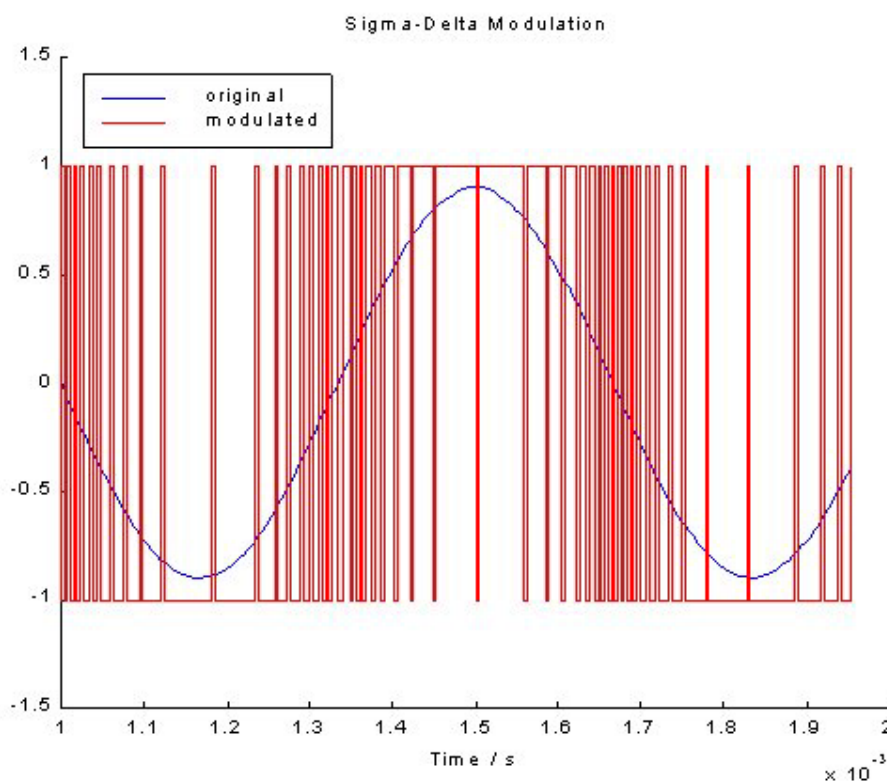
*Predikční převodník* (predictive converter) je zapojen podle obr. Obr. 10.41. Digitální integrátor má přenosovou funkci  $H(z)$  je číslicový integrátor. Pokud známe signál  $x(t)$  po určitou dobu, můžeme předpovědět signál  $x(t)$ , který je pokračováním  $x(t)$ . Tento extrapolací proces se nazývá predikace. K dosažení predikačního kódování je hodnota aktuálního vzorku použita pro výpočet vzorku následujícího. Chyba  $e(t)$  mezi aktuálním a předpovězeným vzorkem je kvantována jednobitovým A/D převodníkem. Protože je chyba kódována do číslicového tvaru, je k vypočtení analogové předpovědané hodnoty potřeba D/A převodu spolu s analogovým nebo číslicovým integračním článkem. Výhodou je, že se zmenšují požadavky na dynamický rozsah převodníku ADC odčítáním  $x(t)$  od  $x(t)$ . Velikost kroku kvantovače je přizpůsobena tomuto zmenšenému rozsahu, což má za následek zmenšení kvantizačního šumu.

*Převodníky ADC  $\Sigma - \Delta$*  mají základní vnitřní blokové schéma podle obr. Obr. 10.42.

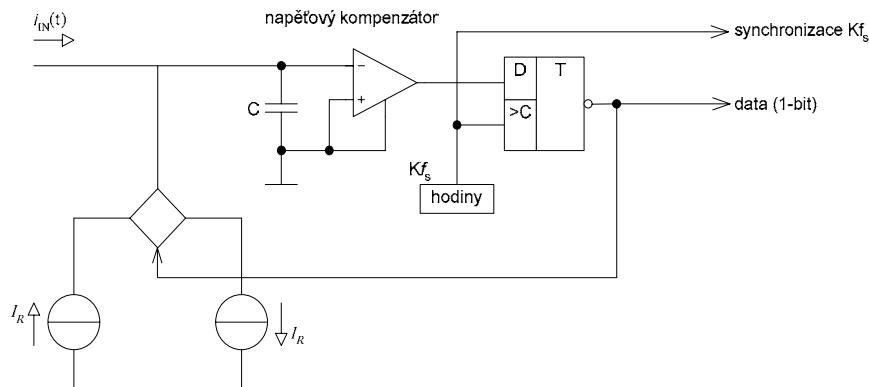


Obr. 10.42: Predikční převodník ADC

Odchylka (rozdíl) měřeného vstupního napětí  $x(t)$  a rekonstruovaného napětí  $x(kT)$  je nejprve integrována analogovým integrátorem (řád integrátoru určuje chování a řád převodníku) a pak digitalizována 1 –bitovým převodníkem ADC v časových okamžicích  $kT$ . Výsledný sled nul a jedniček ovládá ve zpětné vazbě 1-bitový převodník ADC, na jehož výstupu je napětí  $U_R$  při vstupní 1 a napětí  $-U_R$  při vstupní 0. Střední hodnota tohoto pravoúhlého signálu  $x(kT)$  musí odpovídat v ustáleném stavu okamžité hodnotě měřeného signálu  $x(t)$  v čase  $kT$  (viz obr. 10.43).

Obr. 10.43: Příklad časového průběhu vstupního signálu  $x(t)$  a rekonstruovaného signálu  $x(kT)$ 

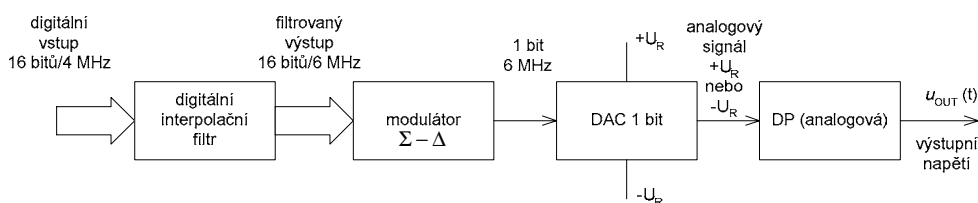
Příklad podrobnějšího zapojení převodníku ADC typu  $\Sigma - \Delta$  ukazuje obr. 10.44. Vstupním signálem je proud  $i_{IN}(t)$  v rozsahu  $-I_R$  až  $+I_R$ . Jako integrátor je použit kapacitor  $C$ , který integruje rozdíl měřeného proudu  $i_{IN}(t)$  a výstupního  $-I_R$  nebo  $+I_R$  z 1 –bitového DAC s proudovým výstupem.



Obr. 10.44: Příklad řešení převodníkem ADC typu  $\Sigma - \Delta$  bez decimátoru

### 10.7 Převodníky DAC typu sigma-delta

Tyto digitálně-analogové převodníky pracují na obdobném principu jako převodníky ADC  $\Sigma - \Delta$ . Blokové schéma na obr. 10.45 obsahuje vstupní filtr, modulátor  $\Sigma - \Delta$ , jednobitový převodník DAC a výstupní antialiasingový analogový filtr. Ten vyhlazuje průběh výstupního signálu a odstraňuje nežádoucí vysokofrekvenční složky, které s do signálu dostaly vzorkováním a chybami digitálního řetězce. Rozdíl je však v implementaci. Vstupní filtr i modulátor  $\Sigma - \Delta$  jsou digitální. Rozdíl mezi hodnotami přicházejícího vzorku a číslicovou hodnotou reference (její polaritu řídí vnitřní komparátor modulátoru) integrátor modulátoru integruje. Komparátor modulátoru vyhodnocuje polaritu jeho výstupu a podle ní ve vzorkovacích okamžicích přepíná na analogový výstup kladné nebo záporné analogové referenční napětí. Je-li vzorkování dostatečně rychlé, odpovídá střední hodnota výstupního napětí digitální hodnotě vstupu. Zde je nutné převzorkování. Čím přesnější chceme výstupní napětí mít, tím delší interval musíme střední hodnotu počítat, nebo tím vyšší musí být koeficient převzorkování. Převzorkování společně s integrátorem modulátoru funguje jako antialiasingový filtr. Ve výstupním řetězci je však signál číslicový a vstupní vzorky jsou k dispozici jen v určitých okamžicích. Právě proto je tu vstupní digitální filtr výstupního řetězce (interpolační filtr). Doplňuje ve vstupním proudu chybějící hodnoty, které jsou zapotřebí při převzorkování. Interpolační filtr dopočítává chybějící hodnoty pro převzorkování a odstraňuje tak ze vstupního signálu všechny ty vysokofrekvenční složky, které se v digitální formě objevily digitalizací. Díky intermodulačnímu zkreslení a ještě dalším nelineárním zkreslením, se mohou v použité části spektra objevit nepříjemné vedlejší efekty. Výstupní analogový filtr vyhlazuje skokové změny analogového výstupu převodníku DAC. Bývá to analogový filtr vyššího než druhého řádu. Jednodušší je v případě, kdy jsou  $\Sigma - \Delta$  modulátory vícebitové.



Obr. 10.45: Příklad řešení převodníkem DAC typu  $\Sigma - \Delta$

## 11 MIKROPROCESOROVÁ TECHNIKA

Dlouhodobá koncepce vývoje laboratoře Mikroprocesorové techniky je založena na mikroprocesorech firmy MOTOROLA MC68HC11. V současnosti se při výuce využívá dvou programovacích přípravků: MS11–A10 student a EDU11.

V systému MS11-A10 student je použit vývojově starší typ mikropočítače MC68HC11A10. Systém EDU11 je vývojově novější typ programovacího přípravku, který využívá mikropočítač MC68HC11E9. V budoucnosti je plánován přechod pouze k tomuto systému. V rámci této části skript je popsána konfigurace mikropočítače MC68HC11 výrobní řady E, funkce jednotlivých portů a pinů a způsob programování se základním rozdělením příkazů do jednotlivých skupin.

V druhé části budou popsány oba typy přípravků včetně popisu využívaných programovacích přípravků.

## 12 POPIS MIKROPOČÍTAČE MC68HC11

V této kapitole bude popsán mikropočítač MC68HC11 výrobní řady E. Jedná se o 8-mi bitové mikropočítače založené na centrální procesorové jednotce (CPU) MC68HC11 ve spojení s výkonnými periferními zařízeními umístěnými přímo na čipu.

Řada E obsahuje několik zařízení v různých konfiguracích:

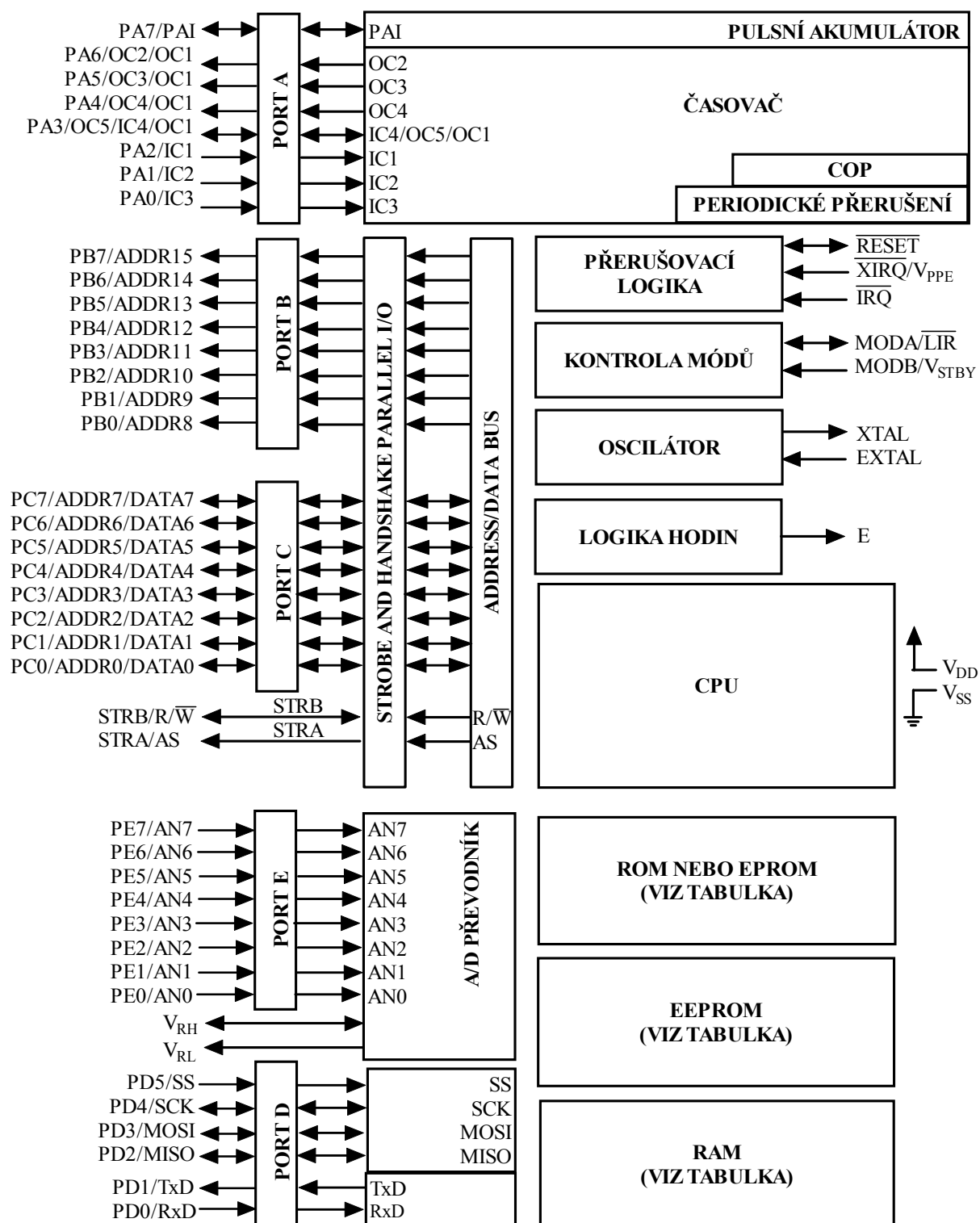
- paměť RAM,
- paměť ROM,
- paměť EPROM,
- paměť EEPROM,
- několik nízko napěťových zařízení.

S ohledem na několik menších rozdílů je funkce všech mikrořadičů řady E shodná.

Vlastnosti mikropočítačů řady E:

- CPU MC68HC11
- Módy úspory spotřeby a čekání.
- Možnost nízko napěťových zařízení (0,3-0,5 V).
- 0, 256, 512 nebo 768 B paměti RAM, uložení dat během pohotovostního režimu.
- 0, 12 nebo 20 kB paměti ROM nebo EPROM na čipu.
- 0, 512 nebo 2048 B paměti EEPROM na čipu s blokovou ochranou pro vyšší spolehlivost.
- 2048 B paměti EEPROM s možným výběrem báze adresy v MC68HC11E2.
- Asynchronní sériová komunikace (SCI).
- Synchronní sériová komunikace (SPI)
- A/D převodník – 8-mi kanálový, 8-mi bitový.
- 16-ti bitový časovací systém:
  - Tři vstupní přerušení (Input Capture IC).
  - Čtyři piny komparace výstupu (Output Compare OC).
  - Jeden pin – výběr mezi pátým OC nebo čtvrtým IC.
- 8-mi bitový pulsní akumulátor.
- Obvod přerušení v reálném čase (real time interrupt circuit RTI)
- Computer operating properly (COP) watchdog systém.
- 38 základních účelových vstupně/výstupních pinů:
  - 16 obousměrných pinů.
  - 11 vstupních pinů.
  - 11 výstupních pinů.

Na obr. 12.1 je blokové schéma mikrořadičů MC68HC11 řady E. Rozdíly mezi jednotlivými typy jsou uvedeny v 0.



Obr. 12.1: Blokové schéma mikrořadičů řady E.

Tab. 12.1: Rozdělení mikrořadičů MC68HC11 řady E.

Označení	RAM	ROM	EPROM	EEPROM
MC68HC11E0	512			
MC68HC11E1	512			512
MC38HC11E9	512	12 k		512
MC68HC711E9	512		12k	512
MC68HC11E20	768	20 k		512
MC68HC711E20	768		20k	512
MC68HC811E2	256			2048

## 12.1 Popis pinů

Většina pinů tohoto mikropočítače má dvě nebo více funkcí, které jsou specifikovány v následujícím textu.

### 12.1.1 Piny $V_{DD}$ a $V_{SS}$

Napájení mikropočítače je realizováno pomocí pinů  $V_{DD}$  a  $V_{SS}$ , kde  $V_{SS}$  je zem. Mikropočítač vyžaduje napájení 5 V (nominální hodnota). Nízko napěťová zařízení v řadě E pracují s napětím od 3,0 do 5,5 V.

Z důvodu snížení šumu je nutné použít dobrý napájecí zdroj vybavený filtračním kondenzátorem, který by měl mít dobrou vysokofrekvenční charakteristiku a měl by být umístěn co nejbližší vstupu mikropočítače.

### 12.1.2 Pin RESET

Obousměrný kontrolní signál RESET slouží při počáteční inicializaci mikropočítače k definici jeho počátečního stavu. Lze jej také využít jako „open drain“ výstup pro monitorování vnitřních chyb mikropočítače, které jsou dekovány dalším časovým monitorem nebo COP obvodem.

### 12.1.3 Řízení krystalu a externí časovací vstup (XTAL a EXTAL)

Tyto dva piny zajišťují komunikaci s připojeným krystalem nebo kompatibilním CMOS časovačem, které posléze řídí vnitřní obvod hodin. Frekvence připojeného obvodu musí být 4-krát větší než je požadovaná výsledná frekvence mikropočítače.

Pin XTAL je v případě připojení CMOS hodinového obvodu k pinu EXTAL nepřipojen. Používá se pouze v případě připojení hodinového krystalu.

### 12.1.4 Pin E – časovač

Pin E je výstupní pin, který slouží jako hodinová reference, které je generována vnitřním hodinovým obvodem. Jeho frekvence je rovna jedné čtvrtině frekvence na pinech XTAL a EXTAL (viz. kapitola 12.1.3).

Všechny hodinové signály mikropočítače, včetně pinu E, jsou nefunkční, když se mikropočítač nachází v tzv. stop módu. U většiny mikropočítačů řady E lze v režimu single chip, hodiny na pinu E vypnout.



### 12.1.5 Požadavek přerušení (IRQ)

Vstupní pin IRQ povoluje použití asynchronního přerušení mikropočítače. Citlivost pinu IRQ lze pomocí registru OPTION nastavit na nízkou úroveň (automatické nastavení po resetu) nebo na sestupnou hranu.

### 12.1.6 Nemaskovatelné přerušení (XIRQ/V<sub>PPE</sub>)

Pin XIRQ povoluje nemaskovatelné přerušení během počáteční inicializace po resetu mikropočítače. Během resetu je bit X v podmínkovém registru (condition code register CCR) nastaven na 1, což znamená, že přerušení jsou maskována až do okamžiku softwarového povolení od programu mikropočítače. Často se používá pro hlídání poklesu napájecího napětí, protože je aktivní při nízké úrovni signálu na vstupu.

Pin V<sub>PPE</sub> je vstupem 12-ti voltového zdroje nutného pro programování EPROM/OTPROM.

### 12.1.7 Piny MODA a MODB (MODA/LIR a MODB/V<sub>STBY</sub>)

Během resetu se pomocí pinů MODA a MODB vybírá jeden ze čtyř operačních módů mikropočítače:

- Single-chip mode
- Expanded mode
- Test mode
- Bootstrap mode

Po výběru operačního módu instrukční registr (load instruction register LIR) nastavuje „open drain“ výstup tak, aby ukazoval provádění instrukce. Každá instrukce je řízena hodinovým signálem E. Během prvního hodinového cyklu je signál LIR nastaven do nuly. Tento signál se využívá při ladění programu.

Pin V<sub>STBY</sub> slouží pro napájení paměti RAM. Když je toto napětí vyšší o jedno prahové napětí obvodu MOS (cca 0,7 V) než napětí V<sub>DD</sub>, je vnitřní paměť RAM a obvod resetu napájen z tohoto signálu. Tato funkce umožňuje udržet funkci paměti i v okamžiku odpojeného V<sub>DD</sub>.

### 12.1.8 V<sub>RH</sub> a V<sub>RL</sub>

Tyto dva piny slouží jako vstup referenčního napětí pro obvody A/D převodníku.

- V<sub>RL</sub> – je nízká úroveň referenčního napětí, typicky 0 V
- V<sub>RH</sub> – je vysoká úroveň referenčního napětí.

Pro správnou funkci A/D převodníku:

- V<sub>RH</sub> by mělo být nejméně o 3 V větší než V<sub>RL</sub>,
- Hodnoty V<sub>RL</sub> a V<sub>RH</sub> by měly být mezi V<sub>SS</sub> a V<sub>DD</sub>.

### 12.1.9 STRA/AS

Výběr A (strobe A STRA) a adresový výběr (address strobe AS) mají dvě odlišné funkce v závislosti na operačním módu mikropočítače“

V módu „single chip“ STRA zastává funkci „input handshake“,

V módu „expanded“ SA má funkci „address strobe“.

AS lze využít jako demultiplexor dat a adres na portu D.

### 12.1.10 STRB/R/W

Piny výběru (strobe B STRB) a čtení/zápis (read/write R/W) slouží jako další výstup „strobe“ nebo indikátor směru data na sběrnici – závisí na operačním módu mikropočítače.

V operačním módu „single chip“ STRB slouží jako programovatelný „strobe“ pro komunikaci s ostatními paralelními zařízeními.

V operačním módu „expanded“ je použit pin ve významu R/W. Ukazuje směr přenosu dat po externí sběrnici. Úroveň nula na výstupu indikuje probíhající zápis do externí datové sběrnice a naopak jednička indikuje cyklus čtení.

### 12.1.11 Signály portů

Jednotlivé piny portů mají v různých operačních módech různé funkce viz. tab. 12.2.

#### PORT A

Ve všech operačních módech jsou piny na portu A nastaveny následovně:

- piny jako vstupní přerušení (Input capture IC)
- piny jako výstupní komparace (output compare OC)
- 1 pin může být nastaven jako čtvrtý IC nebo pátý OC.

V případě, že piny nemají nastavenou časovou funkci jsou v základním režimu nastaveny jako vstupní nebo výstupní piny. Pouze piny PA3 a PA7 portu A mají možnost výběru směru dat (vstupní nebo výstupní). Nastavení probíhá bity DDRA3 a DDRA7 v registru PACTL. Všechny ostatní piny portu A mají zadán pouze jeden směr pohybu dat. Pin PA7 má mimo základní vstupně/výstupní funkce ještě možnou funkci jako časovač výstupního srovnání (output compare OC1) a jeho poslední funkcí je vstupní pulsní akumulátor.

Tab. 12.2: Funkce pinů jednotlivých portů v různých operačních režimech

Port/Bit	Módy "Single chip" a "Bootstrap"	Módy "Expanded" a "Test"
PA0	PA0/IC3	
PA1	PA1/IC2	
PA2	PA2/IC1	
PA3	PA3/OC5/OC1	
PA4	PA4/OC4/OC1	
PA5	PA5/OC3/OC1	
PA6	PA6/OC2/OC1	
PA7	PA7/PA1OC1	
PB0	PB0	ADDR8
PB1	PB1	ADDR9
PB2	PB2	ADDR10
PB3	PB3	ADDR11
PB4	PB4	ADDR12
PB5	PB5	ADDR13
PB6	PB6	ADDR14
PB7	PB7	ADDR15
PC0	PC0	ADDR0/DATA0
PC1	PC1	ADDR1/DATA1
PC2	PC2	ADDR2/DATA2
PC3	PC3	ADDR3/DATA3
PC4	PC4	ADDR4/DATA4
PC5	PC5	ADDR5/DATA5
PC6	PC6	ADDR6/DATA6
PC7	PC7	ADDR7/DATA7
PD0	PD0/RxD	
PD1	PD1/TxD	
PD2	PD2/MISO	
PD3	PD3/MOSI	
PD4	PD4/SCK	
PD5	PD5/SS	
-	STRA	AS
-	STRB	R/W
PE0	PE0/AN0	
PE1	PE1/AN1	
PE2	PE2/AN2	
PE3	PE3/AN3	
PE4	PE4/AN4	
PE5	PE5/AN5	
PE6	PE6/AN6	
PE7	PE7/AN7	

Piny PA6-PA4 mohou být nastaveny jako výstupní piny nebo jako časované výstupní srovnání 2-4 (timer output compare), lze je řídit pomocí OC1.

Piny PA2-PA0 mohou být nastaveny jako vstupní nebo jako „input capture IC1-IC3“.

Stav Portu A lze číst v kterékoli okamžiku běhu programu. Při čtení pinů, které jsou konfigurovány jako vstupy, se vrací logická hodnota reprezentující úroveň signálu na vstupu (1 nebo 0). Zápis na port A není funkční v okamžiku, kdy je nastaven jako „input capture“ nebo „output compare“.

#### *Port B*

Během módu „single chip“ jsou všechny piny portu B nastaveny jako výstupní. Při čtení z tohoto portu je čtena úroveň signálu na vstupní straně. Port B lze také využít v jednoduchém „strobovacím“ výstupním módu.

V operačním módu „expanded“ jsou piny portu B nastaveny jako horních osm bitů výstupního adresového signálu. V tomto režimu jsou využity jako adresová sběrnice pro periferní zařízení (např. paměť).

#### *Port C*

V operačním módu „single chip“ jsou všechny piny portu nastaveny jako vstupně/výstupní. Vstupy portu C lze uložit v registru PORTC, který funguje jako datová zadrž pro strobovaný a korespondenční (handshake) vstup/výstup dat z tohoto portu. Signály STRA a STRB se používají jako strobovací: STRA pro vstupní data a STRB pro výstupní data.

V operačním módu „expanded“ jsou piny využity jako spodních osm bitů výstupního adresového signálu. Směr dat je indikován na pinu R/W.

Bit CWOM v registru PIOC nastavuje režim výstupu portu C, kde lze vybrat mezi normálním módem a módem s otevřeným kolektorem.

#### *Port D*

Piny PD5-PD0 lze využít jako vstupně/výstupní signály. Současně se využívají pro sériovou komunikaci (serial communication interface SCI a serial peripheral interface SPI), pokud jsou tyto komunikace povoleny registry.

- PD0 – přijímací signál SCI (receive data input RxD)
- PD1 – výstupní signál SCI (transit data output TxD)
- PD2-PD5 jsou vyhrazeny pro SPI
  - PD2 Master In/Slave Out (MISO)
  - PD3 Master Out/Slave In (MOSI)
  - PD4 Sériový hodinový kmitočet SCK
  - PD5 Slave Select (SS)

#### *Port E*

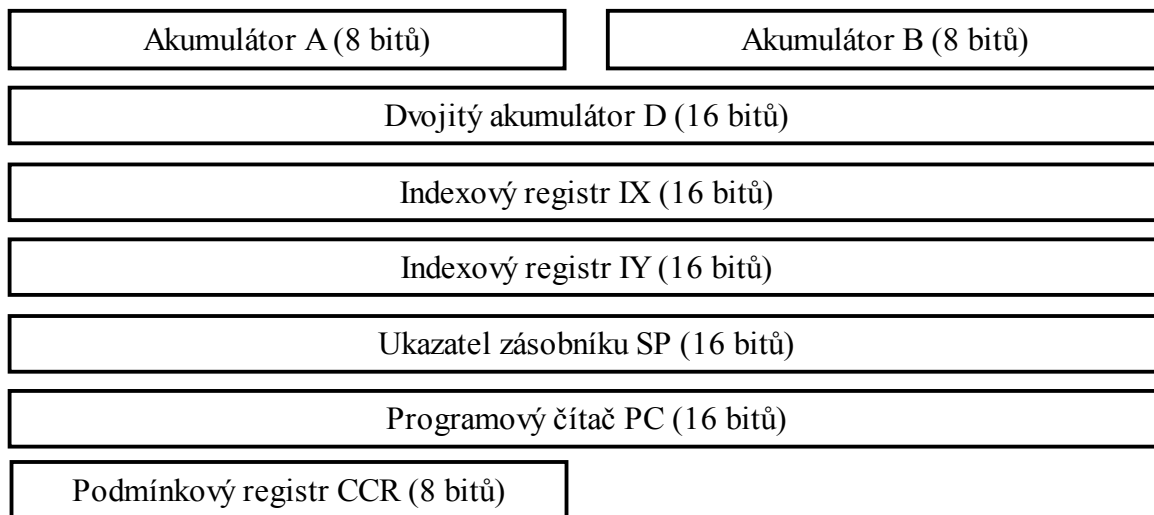
Používá se vstup A/D převodníku.

## 13 PROGRAMOVÁNÍ MIKROPOČÍTAČE

V této kapitole jsou popsány základní registry používané při programování, základní datové typy a adresové módy.

### 13.1 Základní programovací registry

Základních programovacích registrů je sedm. Jsou to interní registry mikropočítače a jejich zvláštností je to, že nejsou adresovatelné, tzn. není jim přiřazeno žádné místo v paměti. Registry jsou zobrazeny na obr. 13.1.



Obr. 13.1: Souhrn základních programovacích registrů.

#### 13.1.1 Akumulátory A, B a D

Akumulátory A a B jsou základní 8-mi bitové registry používané při programování. Slouží k uchovávání operandů a výsledků aritmetických operací, příp k manipulaci s daty. Pro některé operace, kde je nutné použít 16-ti bitový registr je nutné tyto akumulátory spojit a výsledkem je 16-ti bitový registr D. Několik příkladů na operace s akumulátory:

- Instrukce ABX a ABY slouží pro přidání obsahu akumulátoru B do indexových registrů X a Y. Jejich obdoba pro registr A neexistuje
- Instrukce TAP a TPA slouží pro přenos dat z akumulátoru A do podmínkového registru CCR a naopak. Obdoba pro akumulátor B není.
- Instrukce součtu, rozdílu a srovnání mezi akumulátory A a B (ABA, SBA a CBA). Při těchto instrukcích je třeba brát ohled na směr. Např. rozdíl SBA je rozdíl  $A-B=A -$  tudíž nelze zaměnit obsahy akumulátorů.

#### 13.1.2 Indexový registr IX

Indexový registr IX je 16-ti bitový a využívá se např. při operacích se 16-ti bitovými čísly s akumulátorem D nebo jako registr pro přechodné uložení dat. Jeho hlavní použití však bývá využití jako ukazatele na určité paměťové místo.

#### 13.1.3 Indexový registr IY

Jeho použití je stejné jako v předchozím případě.

### 13.1.4 Ukazatel zásobníku SP

Mikropočítač MC68HC11 obsahuje automatický programový zásobník. Tento zásobník může být umístěn kdekoliv v paměťovém prostoru mikropočítače a jeho velikost je omezena pouze velikostí paměti. Standardně je ukazatel zásobníku SP inicializován v programu mikropočítače. Zásobník je definován jako datová struktura, do které se data ukládají od vyšší paměti směrem k nižší. Tzn. V případě uložení hodnoty do zásobníku je hodnota SP snížena a naopak, v případě vyzvednutí dat ze zásobníku je hodnota SP zvýšena. V kterémkoli čase ukazatel zásobníku SP uchovává další volnou adresu paměťového místa v zásobníku.

Další důležitá funkce zásobníku je využívána v okamžiku volání přerušení. Když je zavoláno přerušení, do zásobníku se uloží návratová adresa (aktuální hodnota z programového čítače) a všechny obsahy programových registrů. Program dále pokračuje na adrese definované vektorem přerušení. Při ukončení obsluhy přerušení jsou všechny registry vráceny zpět a pokračuje se návratové adrese.

### 13.1.5 Programový čítač PC

Programový čítač je 16-ti bitový registr, který obsahuje adresu příští instrukce.

### 13.1.6 Podmínkový registr (CCR)

Podmínkový registr je 8-mi bitový a obsahuje:

- Pět indikátorů podmínek (C, V, Z, N, a H),
- Dva bity maskování přerušení (IRQ a XIRQ),
- Jeden bit povolení instrukce stop.

Jednotlivé bity podmínkového registru jsou aktualizovány při provedení většiny instrukcí (obr. **Chyba! Chybné propojení.**).

- Bit C – přenos (carry). Nastaví se na 1, jestliže u právě provedené operace vyskytl přenos nebo výpůjčka do respektive z vyššího řádu.
- Bit V – přetečení (overflow). Nastaví se na 1, jestliže u právě provedené operace došlo k přetečení rozsahu.
- Bit Z – nula (zero). Nastaví se na 1, jestliže u právě provedené operace byl výsledek nulový.
- Bit N – záporný výsledek (negative). Nastaví se na 1, jestliže u právě provedené operace byl výsledek záporný.
- Bit I – maskování maskovatelných přerušení (interrupt mask). Jestliže je 0, přerušení je povoleno. Má vliv na všechna přerušení kromě nemaskovatelných.
- Bit H – polovoční přenos (half carry). Nastaví se na 1, jestliže u právě provedené operace vznikl přenos z 3 do 4 bitu (používá se pro počítání s čísly v kódu BCD).
- Bit S – blokování instrukce stop (stop disable). Jestliže je 1, instrukce stop není povolena.

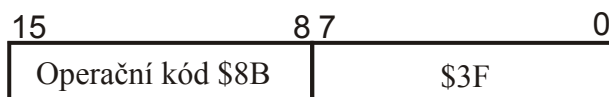
## 13.2 Adresové módy

K přístupu do paměti mikropočítače se používá šest přístupů“

- Bezprostřední (Immediate)
- Přímé (Direct)
- Přímé rozšířené (Extended)
- Indexové (Indexed)
- Vlastní (Inherent)
- Relativní (Relative)

### 13.2.1 Adresování bezprostřední

Při bezprostředním adresování je operand obsažen v bytu (bytech) ihned za operačním kódem. Počet bytů je dán zejména velikostí operačního kódu. Je-li operační kód 1 byte potom délka včetně adresy jsou byty dva (obr. 13.2).



Obr. 13.2: Bezprostřední adresování (ADDA #\$3F)

### 13.2.2 Adresování přímé a přímé rozšířené

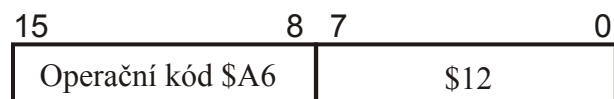
Při tomto způsobu adresování se operand nachází na paměťovém místě, jehož adresa je přímo dána v adresové části instrukčního slova. Instrukční slovo se skládá ze dvou bytů, umožňuje adresovat pouze 256 paměťových míst (od \$0000 do \$00FF). Přímý způsob adresování s jednobytovou adresou se často nazývá jako adresování nulté stránky (zero page addressing). Použitím těchto paměťových buněk na uchování dat se získává úspora času potřebná na zpracování instrukcí. Např. instrukce LDAA \$A0 (přímé adresování) se vykoná ve třech instrukčních cyklech a podobná instrukce LDAA \$00A0 (přímé rozšířené adresování) se vykoná ve čtyřech instrukčních cyklech. Na obsazení celého paměťového prostoru 64 kilobytů se využívá přímé rozšířené adresování. Instrukční slovo se skládá ze 3 bytů, přičemž poslední dva byty tvoří 16-ti bitovou adresu operandu. Např. instrukce LDX \$1275 obsadí tři byty paměti kódy viz. obr. 13.3.



Obr. 13.3: Příklad přímého rozšířeného adresování (LDX \$1275)

### 13.2.3 Adresování indexové

Při tomto způsobu adresování se instrukční slovo skládá ze dvou (respektive tří) bytů (poslední byt obsahuje adresovou část). Adresová část instrukčního slova (0-255) se přičte k nižšímu bytu adresovaného indexového registru. Výsledek je adresa operandu. Obsah indexového registru se nemění (obr. 13.4).



Obr. 13.4: Příklad indexového adresování (LDAA \$12, X)

Instrukční slovo instrukce LDAA \$12, Y obsahuje tři byty, kde první byt tvoří prefix (hodnota \$18) a následující byty jsou totožné, jako u instrukce LDAA \$12, X.

### 13.2.4 Adresování vlastní

Tímto způsobem se adresují pouze základní programovací registry, které nemají adresu paměťového místa. Adresa je v podstatě obsažena přímo v instrukci. Délka takové instrukce je poté jeden nebo dva byty. Např. Instrukce ABA operuje se dvěma registry, ale nenásleduje za ní žádná adresa.

### 13.2.5 Adresování relativní

Při instrukcích relativních skoků a podmíněných relativních skoků se používá relativní adresování. Tyto instrukce se skládají ze dvou bytů s tím, že druhý byt se považuje za dvojkové číslo se znaménkem v doplňkovém kódu. Toto číslo se připočítá k obsahu programového čítače PC, čímž se získá adresa cílového skoku. Takto je možné skákat oběma směry. Cílová adresa relativního skoku pak může být vzdálená od aktuální adresy v registru PC maximálně o +127 (\$7F) nebo o -128 (\$80).

## 13.3 Instrukční sada

Sadu instrukcí mikropočítače lze rozdělit do několika skupin:

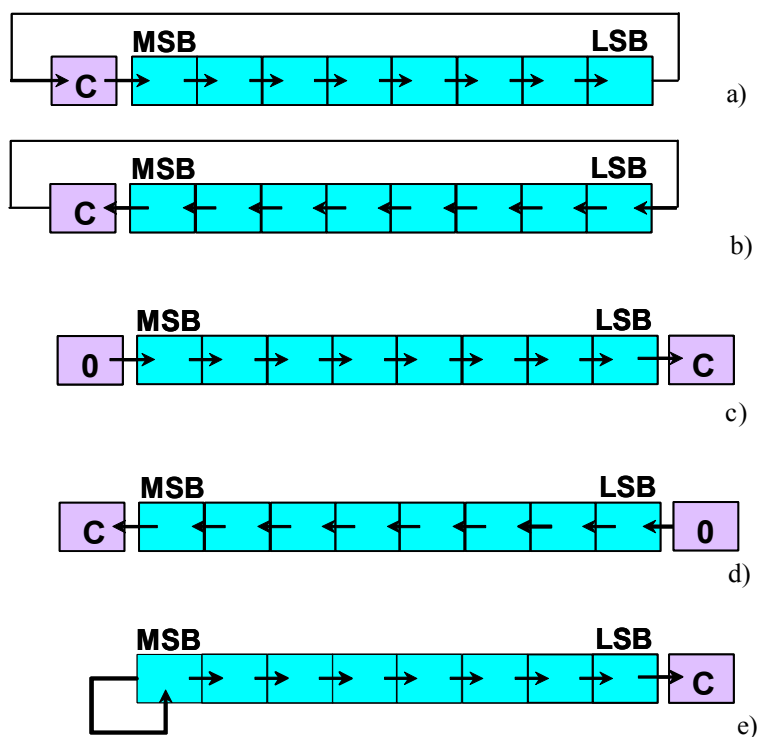
- Aritmetické
- Logické
- Rotace a posuvy
- Přesuny
- Bitové
- Skoky a volání podprogramů
- Specální

### 13.3.1 Aritmetické instrukce

Aritmetické instrukce se uskutečňují v mikrořadiči v tzv. aritmeticko logické jednotce ALU.

Jednotlivé aritmetické operace lze rozdělit do několika skupin podle druhu funkce kterou provádí:

- Součet a rozdíl s akumulátorem A: ABA, DAA, SBA.
- Součet s indexovými registry: ABX, ABY.
- Přičtení operandu do jednotlivých akumulátorů: ADDA, ADDB, ADDD.
- Přičtení operandu a přenosu do jednotlivých akumulátorů: ADCA, ADCB.
- Odečtení operandu od jednotlivých akumulátorů: SUBA, SUBB, SUBD.
- Odečtení operandu a přenosu od jednotlivých akumulátorů: SBCA, SBCB.
- Instrukce dělení: MUL, IDIV, FDIV.
- Instrukce snížení (dekrementu): DEC, DECA, DECB, DES, DEX, DEY.
- Instrukce zvýšení (inkrementu): INC, INCA, INCB, INS, INX, INY.
- Instrukce srovnání akumulátorů A a B: CBA, CMPA, CMPB.
- Instrukce srovnání 16-ti bitových registrů CPX, CPY, CPD.
- Instrukce testu: TST, TSTA, TSTB.



Obr. 13.5: Grafické znázornění rotací a posuvů: a) Rotace doprava, b) Rotace doleva, c) Logický posun vlevo, d) Logický posun vpravo, e) Aritmetický posun vpravo.

### 13.3.2 Logické instrukce

Jsou druhou skupinou instrukcí, které se provádějí v ALU. Opět je můžeme rozdělit do dvou skupin:



- Logický součin: ANDA, ANDB.
- Jednotkový doplněk: COM, COMA, COMB.
- Exklusivní součet: EORA, EORB.
- Logický součet: ORAA, ORAB.

### 13.3.3 Rotace a posuvy

Jsou to instrukce umožňují posuvy a rotace v jednotlivých akumulátorech, viz. obr. 13.5.

- Rotace doprava: ROR, RORA, RORB.
- Rotace doleva: ROL, ROLA, ROLB.
- Logický posun vlevo: LSR, LSRA, LSRB, LSRD.
- Logický posun vpravo: LSL, LSLA, LSLB, LSLD, ASL, ASLA, ASLB, ASLD.
- Aritmetický posun vpravo: ASR, ASRA, ASRB.

### 13.3.4 Instrukce přesunů

Jedná se instrukce přesunů mezi akumulátory a registry:

- Přesun operandu do paměťové buňky: LDAA, LDAB, LDD, LDS, LDX, LDY.
- Přesun mezi akumulátorem a paměťovou buňkou: STAA, STAB, STD, STX, STY, STS.
- Přesuny mezi akumulátory: TAB, TAP, TBA, TPA, TSX, TSY, TXS, TYS.
- Přesun mezi akumulátorem a indexovými registry: XGDX, XGDY.
- Smazání obsahů akumulátorů: CLR, CLRA, CLRB.
- Přesun mezi akumulátory a zásobníkem: PSHA, PSHB, PSHX, PSHY.
- Přesun mezi zásobníkem a akumulátory: PULA, PULB, PULX, PULY.

### 13.3.5 Bitové instrukce

Bitové instrukce jsou instrukce, které ovlivňují pouze vybrané bity operandu:

- Smazání a nastavení pouze vybraného bitu: BCLR, BSET.
- Vynulování příznaků v CCR: CLC, CLI, CLV.
- Nastavení příznaků v CCR: SEC, SEI, SEV.
- Logický součin: BITA, BITB.

### 13.3.6 Skoky a volání podprogramů

Jsou to instrukce, které na základě určitých nastavených bitů v CCR provedou skok na adresu definovanou operandem, v závorce je vždy uvedeno, který bit nebo kombinace se danou instrukcí testuje. Seznam obsahuje i nepodmíněné skoky a ukončuje jej sada instrukcí pro návrat ze skoku:

- BCC, BCS (? C)
- BNE, BEQ (? Z)
- BHI (? C + Z = 0 )
- BLO (? C = 1 )
- BHS (? C = 0 )
- BLS (? C + Z = 1 )
- BMI, BPL (? N)
- BGE (? N  $\wedge$  V = 0)
- BLE (? Z + (N  $\wedge$  V) = 1)
- BGT (? Z + (N  $\wedge$  V) = 0)
- BLT (? N  $\wedge$  V = 1)
- BVC, BVS (? V)
- BRA, BRN, JMP
- BRCLR, BRSET
- BSR, JSR, RTS, RTI

### 13.3.7 Speciální instrukce

Speciální instrukce jsou instrukce, které nelze zařadit do žádné z předchozích skupin pro jejich specifický význam:

- NOP - Prázdný cyklus.
- STOP - Zastavení oscilátoru.
- SWI - Softwarové přerušení.
- WAI - čeká na přerušení (snížená spotřeba).
- TEST - Inkrementace na adresové sběrnici (pouze test mód).

### 13.4 Operační módy mikropočítače

Výběr operačního módu se nastavuje při resetu mikropočítače hodnotami pinů MODA a MODB, viz 0. Celkem čtyři módy se dělí do dvou základní skupin:

- Normální módy:
  - Single chip – je k dispozici pouze paměť umístěná v čipu.
  - Expanded – je přístupná externí paměť mikropočítače.
- Speciální módy:
  - Bootstrap – je to obdoba módu „single chip“, je speciální mód, který provádí „bootloader“ program ve vnitřní „bootstrap“ ROM.
  - Test – je speciální mód, který umožňuje privilegovaný přístup k vnitřním zdrojům.

### 13.4.1 Mód single chip

V tomto módu je celý program uložen ve vnitřních zdrojích, např. v paměti ROM a nebo v paměti EPROM. Přerušovací vektory jsou na adresách \$FFC0-\$FFFF.

### 13.4.2 Expanded mód

V expandním módu má mikropočítač přístup k celému 64 kilobytovému paměťovému prostoru. Tento prostor obsahuje:

Stejnou vnitřní paměť jako v předchozím případě,

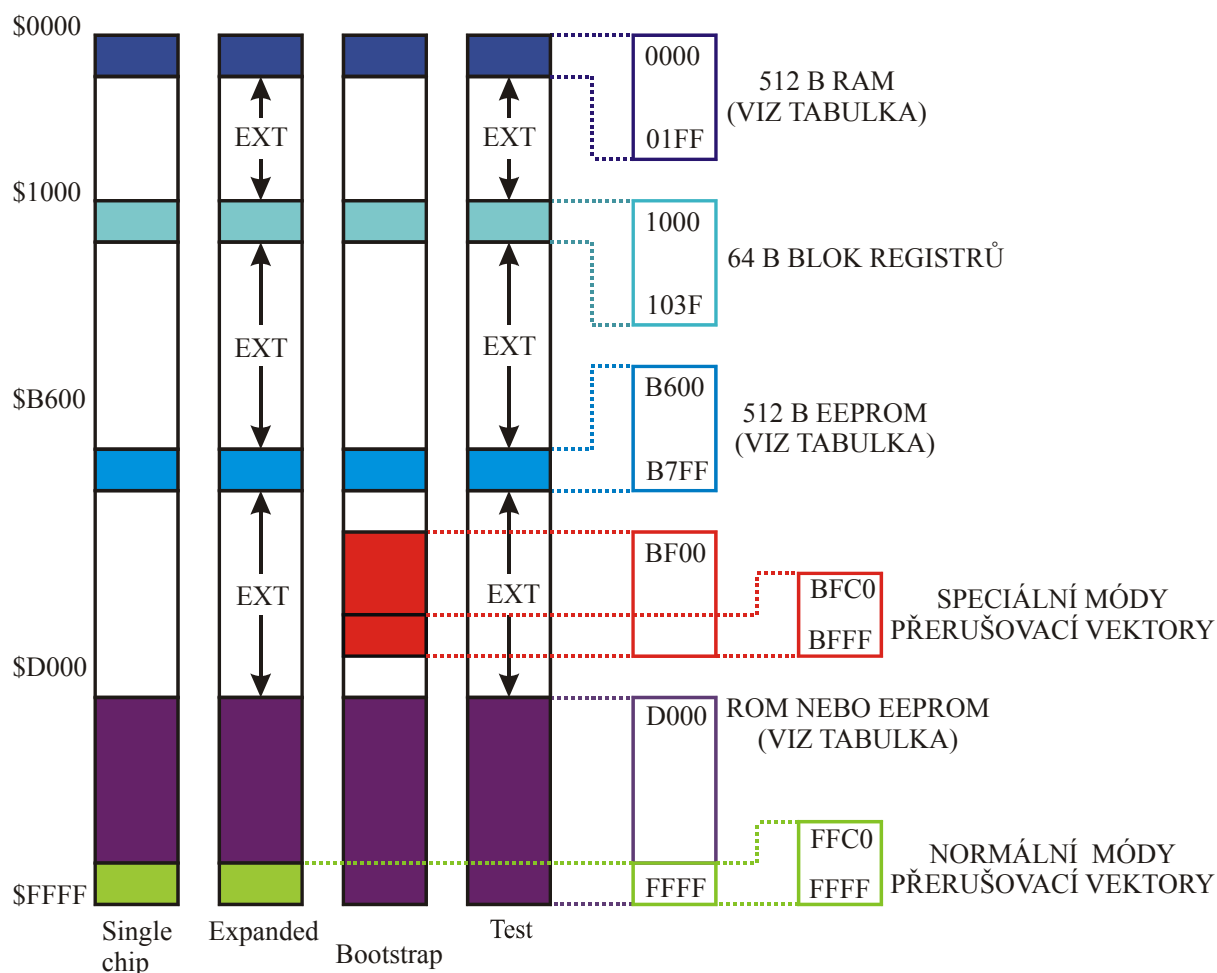
Adresy pro externí periferie a paměťová zařízení.

Tab. 13.1: Nastavení jednotlivých operačních módů.

Úroveň při resetu		Mód
MODB	MODA	
1	0	Single chip
1	1	Expanded
0	0	Bootstrap
0	1	Special test

### 13.4.3 Test mód

Je variací předchozího módu. Jeho využití je zejména v okamžiku testování při výrobě. Prakticky lze říci, že v tomto režimu je dovoleno vše, programování kalibračních dat, přístup ke konfiguračnímu registru CONFIG atd.



Obr. 13.6: Mapa paměti mikropočítače v jednotlivých operačních módech.

### 13.4.4 Bootstrap mód

V tomto módu je povolen přístup k paměti ROM na čipu mikropočítače (adresy \$BF00-\$BFFF). Paměť obsahuje „bootloader“ program a speciální nastavení vektorů přerušení a resetu.

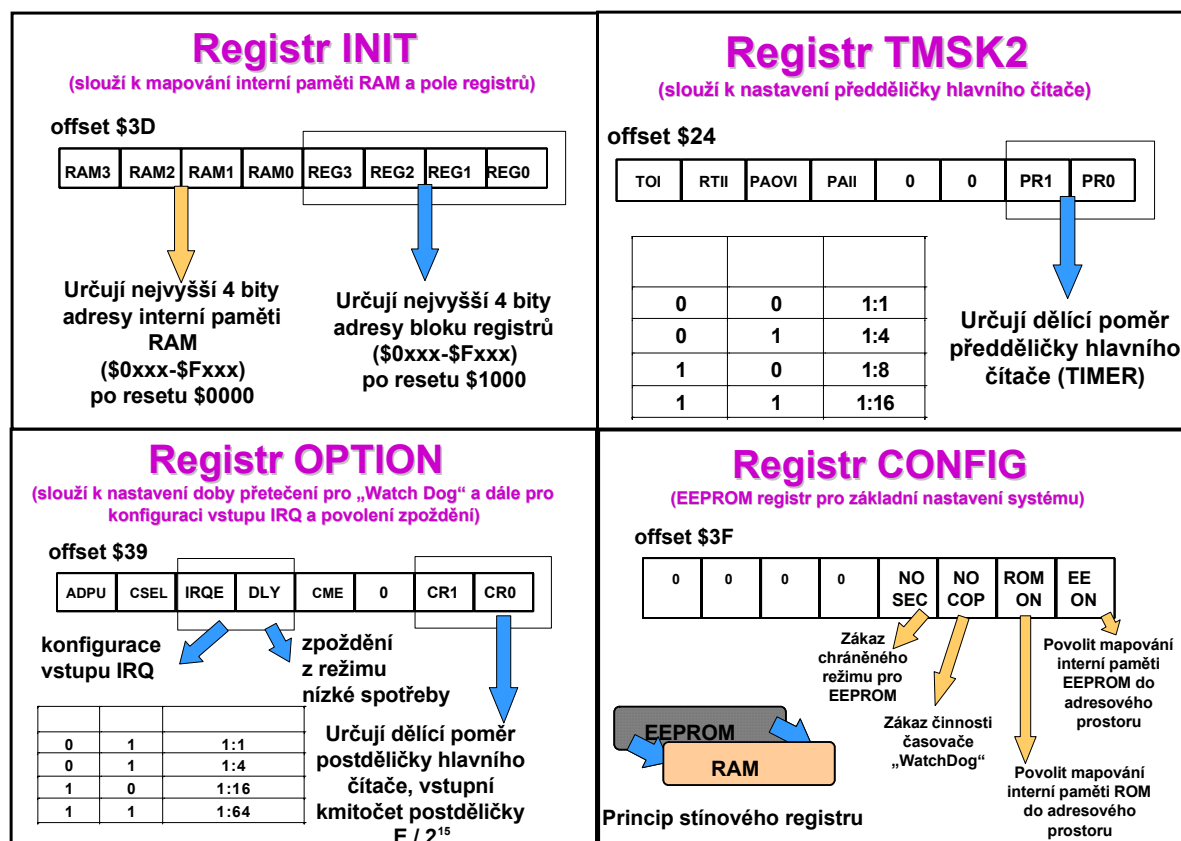
## 13.5 Mapa paměti mikropočítače

Na obr. 13.6 je schéma paměti mikropočítače MC68HC11E9, což je typ mikropočítače použitý v programovacím přípravku EDU11. V obrázku jsou vyznačeny všechny čtyři operační módy mikropočítače, včetně rozložení paměti v každém z nich. V operačních módech „expanded“ a „test“ jsou také schematicky vyznačeny možnosti připojení externích pamětí. 64 bytový blok registrů se vždy nachází od adresy \$1000.

### 13.5.1 Konfigurace procesoru

K základní konfiguraci procesoru slouží čtyři registry z 64 bytového prostoru registrů. Jsou to:

- HPRIO (bity RBOOT, SMOD, MDA, IRV)
- INIT (bity RAM3-0, REG3-0)
- TMSK2 (bity PR1, PR0)
- OPTION (bity IRQE, DLY, CR1, CR0)



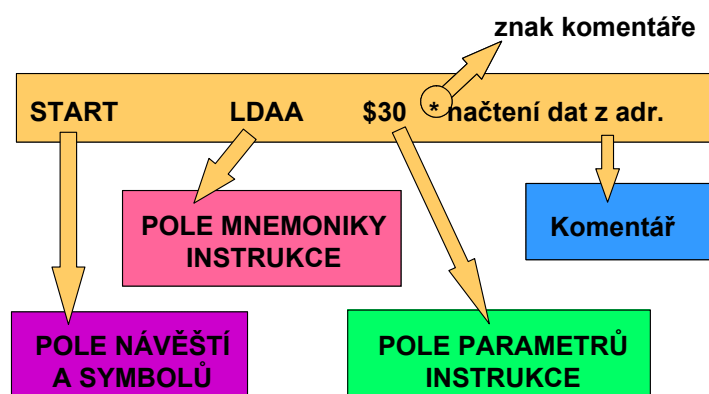
Obr. 13.7: Základní registry pro konfiguraci mikropočítače.

## 14 MĚŘICÍ PŘÍPRAVKY

V rámci této kapitoly budou vysvětleny základy programování tak, aby byl uživatel schopen sám naprogramovat mikropočítač za pomoci freewarového SW. Další část bude věnována popisu jednotlivých programovacích přípravek a budou v nich popsány základy pro naprogramování nejjednodušších úloh.

### 14.1 Základní principy programování

Program je v první fázi psán pomocí již uvedených instrukcí a jejich operandů do libovolného textového souboru, který se uloží s příponou asm (assembler). Takto připravený program je následně nutno přeložit do tzv. zdrojového kódu, který se posléze nahrává do mikropočítače.



Obr. 14.1: Syntaxe psaní instrukcí.

Obr. 14.1 uvádí standardní řádek programu psaného v assembleru. Řádek je rozdělen do čtyř pomyslných sloupců, v prvním je návěstí řádku (může zůstat prázdné), ve druhém samotná instrukce, následuje sloupec s operandy (parametry) a na závěr lze připsat poznámku oddělenou znakem „\*“.

V jednotlivých sloupcích programu je nutné se řídit určitými zvyky. Při psaní návěstí a jeho odkazů na něj v programu je nutné si zapamatovat, že překladač je „case sensitive“, tudíž rozlišuje malá a velká písmena (např. „Pokus“ a „pokus“ jsou dvě naprosto odlišná návěstí). Jednotlivé instrukce se píší velkými písmeny a jednotlivé parametry se uvozují znaky „#“, „%“ a „\$“, které instrukci říkají zda číslo následující za znakem je v binární či jiné podobě, příp. zda se jedná pouze o adresu paměťové buňky viz. tab. 14.1.

Tab. 14.1: Příklad možností uvození parametrů.

Návěstí	Příkaz	Parametr	Popis
	LDAA		* uloží do akumulátoru A hodnotu specifikovanou v parametru
	LDAA	#\$12	*uloží číslo 12 v hexadecimální podobě
	LDAA	##%01010101	*uloží posloupnost jedniček a nul specifikovanou v parametru
	LDAA	#1	*uloží číslo 1 v dekadické podobě
	LDAA	\$12	*uloží hodnotu bytu z adresy \$12

V okamžiku ukončení psaní programu je nutné jej přeložit do zdrojového kódu. K tomu slouží program dodávaný firmou MOTOROLA zdarma, a který se jmenuje AS11.exe. K překladi programu je nejlepší vytvořit si dávkový soubor, který program přeloží a současně vytvoří soubor při kterém zobrazí případné chyby.

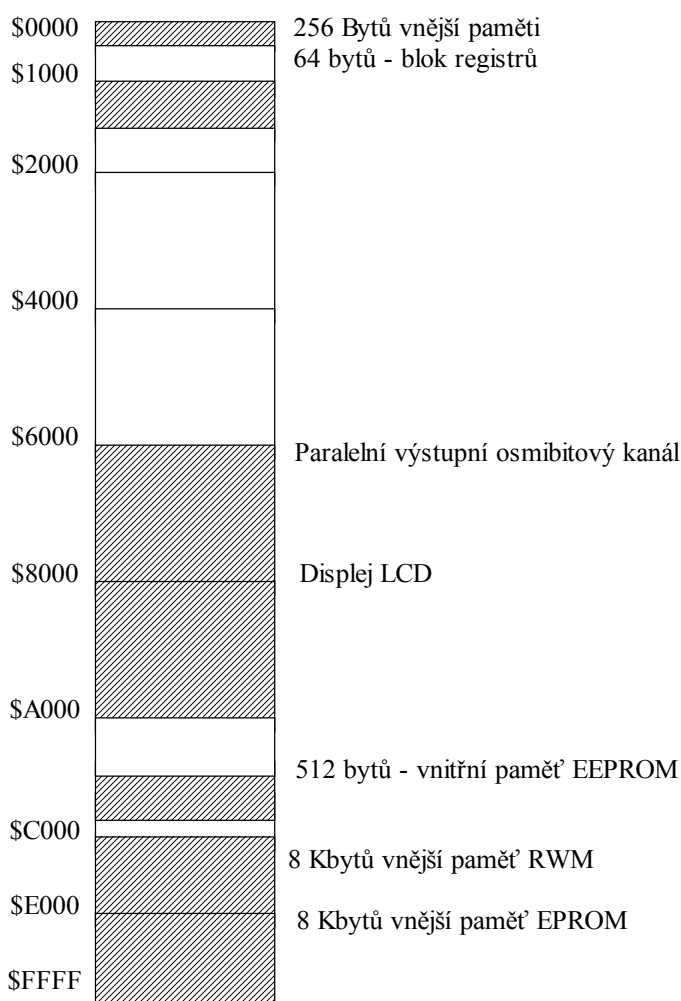
Celý postup lze rozepsat do několika bodů:

- Vytvoření souboru: `nazev.bat`, který bude obsahovat např. `C:\hc11\as11.exe nazev.asm -l > nazev.lst` (v závislosti na uložení programu se mění cesta, parametry zůstávají stejné)

- Pomocí tohoto programu je soubor zkompilován a vzniknou soubory s příponou `.lst` a `.s19`.
- V souboru `*.lst` lze nalézt na konci chyby v programu, které se musí ve zdrojovém programu opravit a celý postup se opakuje až do doby kdy se chyby v programu nevyskytnou.
- Následuje nahrání přeloženého programu (`s19`) do mikropočítače. K tomu slouží např. opět zdarma dodávané programy PCBUG (verze pro OS DOS) nebo JBUG (verze pro OS WINDOWS).

Na závěr jsou uvedeny ještě základní instrukce, které jsou použity většinou v každém napsaném programu.

- EQU – přiřazuje jména jednotlivým adresám (z důvodů větší přehlednosti programu),
- RMB – definuje velikost a jméno proměnné využitelné v programu,
- ORG – definuje počáteční hodnotu programového čítače.



Obr. 14.2: Schéma paměti mikrořadiče v MS11A10.

## 14.2 Přípravek MS11A10

Přípravek MS11A10 je podrobně popsán v příručce, která je součástí každého kusu a z tohoto důvodu nebude podrobně popsán. V této kapitole budou popsány pouze určitá specifika a připojené periferie.

Programovací přípravek je vybaven mikropočítačem MC68HC11A1, dvouřádkovým alfanumerickým displejem z kapalných krystalů, jednoduchou klávesnicí a obvodem reálného času. Ve spojení se standardními periferiemi integrovanými přímo do mikropočítače (A/D převodník, systém časovačů a dvě sériová rozhraní) tvoří systém základní technické vybavení pro realizaci poměrně velkého množství úloh. Přípravek je vybaven monitorem BUFFALO, který jedním ze základních programových prostředí pro mikrořadiče MC68HC11.

### 14.2.1 Monitor BUFFALO

Implementovaný monitor BUFFALO zjistí, po startu systému, z paměti EPROM na adrese \$E000 stav bitu PE0 a je-li tento pin uzemněn, monitor zobrazí inicializační hlášení. Toto hlášení se potvrdí stiskem klávesy ENTER na klávesnici PC. V případě, že na PE0 je hodnota blízká napájecímu napětí, předá se řízení uživatelskému programu umístěnému v paměti EEPROM skokem na adresu \$B600.

Komunikace mezi PC a programovacím přípravkem probíhá po sériové lince rychlostí 9600 baudů.

Pro základní použití programu, které navazuje na základy programování uvedené výše lze opět stanovit několik bodů:

- Spuštění programu BUFFALO spouštěcím souborem E11.exe
- Klávesou F4 se spustí komunikační terminál s mikropočítačem
- Mikropočítač se resetuje klávesou RESET na klávesnici přípravku – v případě správné komunikace se na obrazovce zobrazí hlášení s údaji o mikropočítači
- Pro uložení již dříve vytvořeného a přeloženého programu slouží příkaz LOAD t,
- Klávesou F7 se otevře menu, ve kterém lze nalistovat přeložený program,
- Nahraný program se posléze spouští příkazem G nebo GO a adresou od které je uložen v paměti mikropočítače.

Monitor však neslouží pouze k náhrání přeloženého programu. V tomto prostředí lze program i napsat a přeložit. Následně umožňuje i např. výpis obsahu paměti na terminál, změny obsahu paměťových buněk, zobrazení změnu obsahu registrů, trasování a mnoho dalších funkcí. Jedná se plnoprávní vývojový systém.

### 14.2.2 Displej, klávesnice a hodiny reálného času

Obsahem kapitoly je popis připojených periférií k mikropočítači MC68HCA1.

#### *Displej*

Displej LTN 211 je modul dvouřádkového bodového displeje s kapalnými krystaly, zobrazující na jednom řádku 16 znaků v rastru 5x7 bodů, který spolu se zabudovaným mikrořadičem tvoří inteligentní zobrazovací jednotku. Součástí mikrořadiče je paměť RAM s kapacitou 40-ti znaků pro každý řádek a generátor znaků se 160-ti pevnými znaky v paměti ROM a osmi uživatelem definovatelnými znaky v paměti RAM.

Modul displeje je k mikropočítači připojen datovou sběrnicí D0-D7 a řídicími signály E, RS a R/W. Výběrový signál je generován adresovým dekodérem, signál výběru registru přísluší nejnižšímu bitu adresy a signál zápis/čtení R/W je dostupný přímo z mikropočítače. Displej je umístěn na adrese \$8000 (řídicí registr) a \$8001 (datový registr).

Příklady komunikace s displejem:

Zadání instrukce návrat na počátek

LDAA #\$02            \*uložení hodnoty \$02 do akumulátoru A

STAA #\$8000        \*zapsání této hodnoty do řídicího registru

Přečtení BF a adresy v čítači

```

LDAA $8000          *přečtení obsahu řídicího registru
Přečtení dat z 2. pozice na prvním řádku
LDAA #$81           *nastavení adresy #$01 tj. 2. pozice
                    *prvního řádku

STAA $8000

LOOP LDAA $8000      *načtení BF a adresy
BITA #$80            *test BF
BNE  LOOP            *je-li BF=1 čekej
LDAA #$8001          *přečtení dat

```

### *Klávesnice*

Klávesnice je tvořena 15-ti neošetřenými tlačítky v matici 3x5. K portu A je připojena křížově (sloupce jsou připojeny k pinům PA7-PA3, řádky k pinům PA2-PA0). Lze ji ovládat klasickým způsobem, tj. když je port A využíván jako běžný vstupně/výstupní port, nebo ji lze ovládat přes systém časovačů (IC, OC).

### *Obvod reálného času*

Jako obvod reálného času je použit obvod MC68HC68T1, který obsahuje hodiny reálného času s kalendářem budíkem, 32 bytů statické paměti RAM a synchronní sériové rozhraní SPI.

Specifikace obvodu:

- Plnohodnotné hodiny – sekundy, minuty, hodiny, dny v týdnu a v měsíci, měsíc, rok a automatické zohlednění přestupných roků
- 32x8 bitů statické RAM
- Rozhraní SPI
- Bateriové zálohování
- Volitelný krystal nebo využití síťové frekvence 50/60 Hz
- Časové údaje v BCD kódu
- Tři nezávislé přerušovací režimy
- Watchdog

V programovací přípravku lze obvod využít pro hodiny s kalendářem, jako paměť RWM, jako budík a pro generování hodinového signálu. Mikrořadič komunikuje s mikropočítačem přes sériové rozhraní SPI. Obvod reálného času pracuje vždy v podřízeném režimu (slave) a mikropočítač vždy v nadřízeném režimu (master). Komunikace se odehrává standardně podle zásad protokolu SPI.

## **14.3 Přípravek EDU11**

Programovací přípravek obsahuje A/D sigma-delta převodník AD7715, obvod pro komunikaci po sběrnici CAN, referenční zdroj napětí, osm tlačítek a LED diod, sedmisegmentový displej a potenciometr. Oproti předchozímu programovacímu přípravku je jeho největší výhodou možnost komunikace po sběrnici CAN.



### 14.3.1 Sběrnice CAN

CAN je sériová sběrnice typu fieldbus vyvinutá firmou Robert Bosch GmbH pro úroveň senzorů a akčních členů. Její přesný popis a zároveň i standard je definován mezinárodní normou ISO-11898, kde je uvedena nejen specifikace elektrického rozhraní (fyzická vrstva), ale i specifikace datového protokolu (linková vrstva) [10].

Architektura protokolu je multi-master s asynchronním přenosem. Přístupovou metodou je modifikovaná CSMA/CD (Carrier Sense Multiple Access/Collision Detection), která zaručuje velmi rychlý průchod zpráv s vysokou prioritou (doba odezvy již od 100us pro přenosovou rychlost 1Mb/s). Pro připojení zařízení k sběrnici CAN jsou k dispozici specializované obvody – BasicCAN (s redukováným počtem funkcí) a FullCAN (plná obsluha sběrnice bez účasti nadřazeného procesoru). Pro své standardizované vlastnosti zejména pro datovou vrstvu se CAN používá i jako procesní sběrnice na úrovni PLC, IPC a řídicích systémů.

Oproti jiným typům sběrnic typu fieldbus není CAN podporován jediným silným výrobcem automatizační techniky, ale naopak je využíván velkým množstvím firem. To předurčuje CAN dlouhodobou životnost a perspektivu použití zejména u automatizačních produktů menších výrobců automatizační techniky. O dobrém postavení CAN na trhu průmyslových sběrnic také svědčí počet prodaných čipů v posledních letech, kdy např. v roce 1996 se jednalo o 10miliónů kusů, což je ve srovnání s jinými sběrnici (Profibus, Interbus-S, FIP) řádově 10x více. Kolem sběrnice CAN bylo také vytvořeno v roce 1993 zájmové sdružení uživatelů s celosvětovou působností – CiA (CAN in Automation) se sídlem v SRN. CiA nyní čítá cca 260 organizací a tento počet se neustále zvyšuje.

### 14.3.2 Analogově digitální převodník mikrokontroleru MC68HC11E9

Analogově digitální systém (ADC) je 8-kanálový, 8-bitový, pracuje na principu postupné aproximace, s přesností  $\pm 1/2$  LSB v celém rozsahu pracovních teplot. Ke své činnosti nepotřebuje vnější obvody typu sample and hold. Obvody připojené na vstup ADC mohou mít vliv na přesnost převodu, proto je potřeba dodržet doporučení výrobce. K A/D převodníku mají vztah následující registry a v nich obsažené bity:

#### OPTION — System Configuration Options \$1039

	7						0	
\$1039	ADPU	CSEL	IRQE	DLY	CME		CR1	CR0
Reset	0	0	0	1	0	0	0	0

Obr. 14.3: Registr OPTION (\$1039).

ADPU — A/D power-up, povolení AD převodníku, který je po RESETu zakázán.

#### ADCTL — A/D Control/Status Register \$1030

	7							0
\$1030	CCF	-	SCAN	MULT	CD	CC	CB	CA
Reset	0	0	*	*	*	*	*	*

Obr. 14.4: Registr ADCTL (\$1030).

Všechny bity jsou pro čtení/zápis, kromě bitu 7 ( pouze ke čtení ) a bitu 6 (pouze ke čtení, vždy 0), bit 7 je nulován po resetu, na ostatní nemá reset vliv.

**CCF** — Conversions Complete Flag. Stavový bit A/D převodníku. Je nastaven na 1, pokud jsou platná data v datových registrech ADC. Při zápisu do registru ADCTL je CCF nulován a je spuštěna nová sekvence převodu ADC. Při použití režimu kontinuálního převodu (SCAN=1), sekvence převodu probíhají cyklicky a datové registry se aktualizují i když CCF zůstává 1.

**SCAN** — Continuous Scan Kontrol. Pokud SCAN=0, provede se po jednom převodu ze čtyř kanálů a naplní se čtyři datové registry. Pokud SCAN=1, převod probíhá cyklicky a datové registry se průběžně aktualizují.

**MULT** — Multiple-Channel/Single-Channel Controll. Pokud MULT=0, provedou se čtyři AD převody na jednom kanále, který je určen bity CD:CA registru ADCTL. Pokud je MULT=1, provádí se čtyřkanálový převod. Podle nastavení CD a CC bitů registru ADCTL přísluší každému kanálu odpovídající datový registr.

**CD, CC, CB, CA** — Channel Selects. Určují, ve kterých kanálech bude prováděn AD převod, jak znázorňuje tabulka 1. Pokud MULT=1, CB a CA jsou bezvýznamné, CD a CC určují čtveřici kanálů.

#### Příklad:

Výstup potenciometru desky EDU11 je připojen přes propojku (jumper) na vstup AN0 analogově digitálního převodníku mikrokontroleru HC11. Úkolem je měřit napětí na vstupu AN0 s pevně nastavenou periodou a naměřené hodnoty odesílat po sériové lince do počítače PC.

HC11 na desce EDU11 startuje v režimu „bootstrap“, perioda vzorkování je nastavena na 32ms pomocí RTI, používá se jednokanálový převod (kanál AN0) a data jsou odesílána přes SCI rozhraní.

\* definice symbolu

pvrtri	equ	\$00eb	*vektor preruseni od RTI pro *bootstrap
start	equ	\$0100	*start programu
stack	equ	\$01ff	*pocatecni stav ukazatele *zasobniku
tmsk2	equ	\$1024	*TMSK2 [1] 63
tflg2	equ	\$1025	*TFLG2 [1] 67
pactl	equ	\$1026	*PACTL [1] 54
baud	equ	\$102b	*BAUD [1] 45
sccr1	equ	\$102c	*SCCR1 [1] 59
sccr2	equ	\$102d	*SCCR2 [1] 60
scsr	equ	\$102e	*SCSR [1] 61
scdr	equ	\$102f	*SCDR [1] 60
adctl	equ	\$1030	*ADCTL [1] 44

---

adr1	equ	\$1031	*ADR1	[1]	44
option	equ	\$1039	*OPTION	[1]	53
adpu	equ	\$80	*OPTION:ADPU	[1]	53
rtii	equ	\$40	*TMSK2:RTII	[1]	63
rtif	equ	\$40	*TFLG2:RTIF	[1]	67

\* hlavní program

```
org start      *zacatek programu
lds #stack     *nastaveni ukazatele zasobniku

ldaa #adpu
staa option    *povoleni ADC
clra
staa adctl     *spusteni prvnioho prevodu ADC
ldaa #$7e     *opcode JMP      [1] 31
staa pvrti     *na adresu vektoru preruseni od *RTI
ldd #srti      *adresa obsluhy RTI
std pvrti+1    *jako adresa cile skoku za JMP
ldaa #%00000011      *RTR1,      RTR0      (nastaveni
                        *periody preruseni 32ms)

staa pactl
ldaa #rtii     *povoleni preruseni od RTI
staa tmsk2
ldaa #%00110000
staa baud      *nastaveni prenosove rychlosti 9600 Bd
ldaa #%00000000
staa sccr1     *nastaveni formatu prenosu
ldaa #%00001100
staa sccr2     *TE,RE      (povoleni      prijimace      a
                        *vysilace SCI)

cli            *povoleni preruseni
bra *          *nekonecna smycka
```

\* podprogramy

srti

```

ldaa scsr      *cteni SCSR
ldaa adr1      *cteni dat z ADC (AN0)
staa scdr      *odeslani dat pres SCI

clra

staa adctl      *start AD prevodu, data budou *pro
                *dalsi RTI

ldaa #rtif

staa tflg2      *reset priznaku RTIF

rti            *konec podprogramu pro obsluhu *preruseni
                *od RTI

```

### 14.3.3 Systém periodického přerušení Real-Time Interrupt (RTI) mikrokontroleru 68HC11

Systém RTI je možno použít pro generování přerušení s pevně definovanou periodou. K dispozici jsou čtyři možné frekvence RTI. Jsou odvozeny z frekvence oscilátoru mikrokontroleru a nastavují se pomocí řídicích bitů RTR1 a RTR0 v registru PACTL. Nastavení periody RTI se obvykle provádí po startu programu, je však možno ji změnit kdykoliv. Pro správnou činnost systému RTI je potřeba zajistit nulování příznaku RTIF v registru TFLG2 v rámci obslužného podprogramu přerušení.

Následuje popis registrů a jejich bitů, které se vztahují k RTI.:

#### TFLG2 — Timer Interrupt Flag Register 2 \$1025

	7						0
\$1025	TOF	RTIF	PAOVF	PAIF	0	0	0
Reset	0	0	0	0	0	0	0

Obr. 14.5: Registr TFLG2 (\$1025).

**RTIF** — Real-Time Interrupt Flag. Stavový bit RTIF je automaticky nastaven na 1 na konci každé periody RTI. RTIF je nulován zápisem 1 do registru TFLG2 na pozici RTIF.

#### TMSK2 — Timer Interrupt Mask Register 2 \$1024

	7						0
\$1024	TOI	RTII	PAOVI	PAII	0	0	PR1
Reset	0	0	0	0	0	0	0

Obr. 14.6: Registr TMSK2 (\$1024).

**RTII** — Real-Time Interrupt Enable. Řídicí bit RTII umožňuje uživateli nastavit RTI do režimu softwarové obsluhy (polled operation) nebo do režimu práce pod přerušením

(interrupt-driven operation). Pokud RTII=0, je přerušeni od RTI zakázáno a RTIF je potřeba v programu sledovat pro detekci uplynutí periody RTI. Pokud RTII=1, je vždy po nastavení RTIF=1 generován požadavek přerušeni. Před ukončením obslužného podprogramu přerušeni je nutné nulovat RTIF zápisem 1 na pozici RTIF do registru TFLG2.

### PACTL — Pulse Accumulator Kontrol \$1026

	7						0
\$1026	DDRA7	PAEN	PAMOD	PEDGE	0	0	RTR1 RTR0
Reset	0	0	0	0	0	0	0

Obr. 14.7: Registr PACTL (\$1026).

Tab. 14.2: Nastavení periody RTI.

RTR1	RTR0	Perioda RTI [ms]
0	0	4,1
0	1	8,19
1	0	16,38
1	1	32,77

**RTR1, RTR0** — Real-Time Interrupt Rate Selects. Tyto dva bity určují periodu se kterou je vyvoláváno přerušeni RTI. Perioda RTI se odvozuje ze E-clock vydělených  $2^{13}$  dalším dělením podle následující tabulky. RTI je nastaven po resetu na nejvyšší frekvenci, tu je však možno kdykoliv změnit. Ostatní bity registru PACTL se k RTI nevztahují. Perioda RTI v závislosti na RTR1, RTR0 pro frekvenci oscilátoru 8 Mhz viz. tab. 14.2.

### Příklad:

Nastavení periody blikání LED diody s využitím RTI. LED dioda je připojena na PA7 viz schema edu11sch.ps. Na PORTA je zapisován obsah 8 bitové proměnné čítač, jejíž hodnota se zvětšuje o 1 při každém požadavku RTI.

### \* definice symbolu

```

var          equ    $0000          *zacatek bloku promennych
pvrti        equ    $00eb          *vektor preruseni od RTI pro special
                                   *bootstrap

start        equ    $0100          *start programu
stack        equ    $01ff          *pocatecni stav ukazatele zasobniku
tmsk2        equ    $1024          *TMSK2
tflg2        equ    $1025          *TFLG2
pactl        equ    $1026          *PACTL

rtii         equ    $40            *TMSK2:RTII
rtif         equ    $40            *TFLG2:RTIF
ddra7        equ    $80            *PACTL:DDRA7

```

\* rezervace pameti pro promenne

```

        org    var
citac    rmb    $01

* hlavni program
        org    start    *zacatek programu
        lds    #stack    *nastaveni ukazatele zasobniku

        ldaa    #$7e    *opcode JMP    [1] 31
        staa    pvrti    *na adresu vektoru preruseni od RTI
        ldd    #srti    *adresa obsluhy RTI
        std    pvrti+1    *jako adresa cile skoku za JMP

        ldaa    #%10000011    *DDRA7, RTR1, RTR0

* (zapnuti budice PA7, perioda RTI 32,77ms)

        staa    pactl
        ldaa    #rtii    *povoleni preruseni od RTI
        staa    tmsk2

        cli    *povoleni preruseni

        bra    *    *nekonecna smycka

* podprogramy

srti
        ldaa    citac
        inca    *zvyseni citace poctu preruseni od RTI o 1
        staa    citac
        staa    porta    *signalizace stavu nejvyssiho bitu
                        *citace pomoci LED na PA7
        ldaa    #rtif
        staa    tflg2    *reset priznaku RTIF
        rti    *konec podprogramu pro obsluhu
                *preruseni od RTI

```

## 15 LITERATURA

- [1] MIKULA, V. - VRBA, K.: Impulsová a číslicová technika. [Skriptum VUT v Brně.] Brno, 1995
- [2] HÁJEK, J.: Časovač 555 - praktická zapojení. BEN, Praha 1998
- [3] VAMBERA, K.: Obrazové zesilovače se zpětnou vazbou. SNTL, Praha 1974
- [4] TIETZE, U. - SCHENK, Ch.: Electronic Circuits Design and Applications. Springer-Verlag Berlin, Heidelberg 1991
- [5] VALSA, J. a kol.: Teoretická elektrotechnika II. [Skriptum VUT v Brně.]
- [6] PROKE, A.: Funkční generátor 1Hz a. 1MHz. In: Sborník semináře "Radioelektronika '92". FE VUT, katedra radioelektroniky, Brno 1992, s. 50 - 51.
- [7] HUMLHANS, J.: Monolitické IO pro funkční generátory I. Rádio plus KTE č. 9, 1999, s. 22
- [8] HUMLHANS, J.: Monolitické IO pro funkční generátory III. Rádio plus KTE č. 11, 1999, s. 28
- [9] JÁNE, V.: Logické systémy I. [Skriptum ČVUT v Praze.] Praha, 1986
- [10] EYSSELT, M.: Logické systémy. Učební text FEI VUT v Brně. ES VUT, Brno 1990
- [11] PODLEÁK, J. - SKALICKÝ, P.: Spínací a číslicová technika. [Skriptum ČVUT v Praze.] Praha, 1994
- [12] KOLOUCH, J.: Programovatelné logické obvody a jazyk ABEL pro popis jejich aplikací. [Skriptum ÚREL FEI VUT v Brně.] Brno, 1999
- [13] JEDLIČKA, P.: Přehled obvodů řady TTL 74 - I. a II. díl. BEN, Praha 1998
- [14] JEDLIČKA, P.: Přehled obvodů řady CMOS 4000 - I. a II. díl. BEN, Praha 1998
- [15] TTL ALS, AS Data Book. Texas Instruments, 1989
- [16] KOLOUCH, J.: Dynamické vlastnosti spínače s bipolárním tranzistorem. Sdělovací technika 1988, č. 8, s. 297-299
- [17] Zajímavá zapojení s časovačem 555. Sdělovací technika, č. 6, 1979.
- [18] Soubor článků o obvodu CMOS 4046. Sdělovací technika, 1983, č. 10.
- [19] High-Speed CMOS Integrated Circuits. Motorola, USA 1983.
- [20] Logic Databook, Vol. I, II. Katalog National Semiconductor, USA, 1984.
- [21] Optoelectronics. Designer's Catalog 1984. Hewlett Packard, USA, 1984.
- [22] Digital Integrated Circuits LOCMOS HE4000B Family. Katalog PHILIPS 1985.
- [23] Katalog elektronických součástek, konstrukčních dílů, bloků a přístrojů. Praha, TESLA
- [24] ELTOS 1986.
- [25] Vachala, V.: Krystalové oscilátory s unipolárními integrovanými obvody. Sdělovací technika, 1986, č. 2.
- [26] CMOS Logic Data. Motorola, Series B, USA 1988.
- [27] Vrba, R. - Vrba, K.: Navrhování přístrojů s integrovanými obvody. Skriptum FE VUT Brno. Praha, SNTL 1989.
- [28] Data Book, Vol. 1,2. Katalog Texas Instruments. USA 1989.
- [29] Programmable Logic Devices. Databook and Design Guide. National Semiconductor, USA 1989.
- [30] FACT DATA. Motorola, Cambridge, University Press 1988.
- [31] Martínek, R.: Řízení zobrazovačů s kapalnými krystaly. Sdělovací technika č. 2, 1989, s. 45 a. 47.
- [32] www.ti.com, Texas Instruments, 2002.
- [33] www.analog.com, Analog Devices, 2002
- [34] www.linear.com, Linear Technology, 2002
- [35] www.national.com, National Semiconductors, 2002

- [36] MC68HC11ERG/AD - M68HC11 E SERIES PROGRAMMING REFERENCE GUIDE, (erg.pdf), Motorola Inc., 1996.
- [37] M68HC11RM/AD Rev.3 – M68HC11 REFERENCE MANUAL, (hc11rmr3.pdf), Motorola Inc., 1996