

Polovodičové čipy

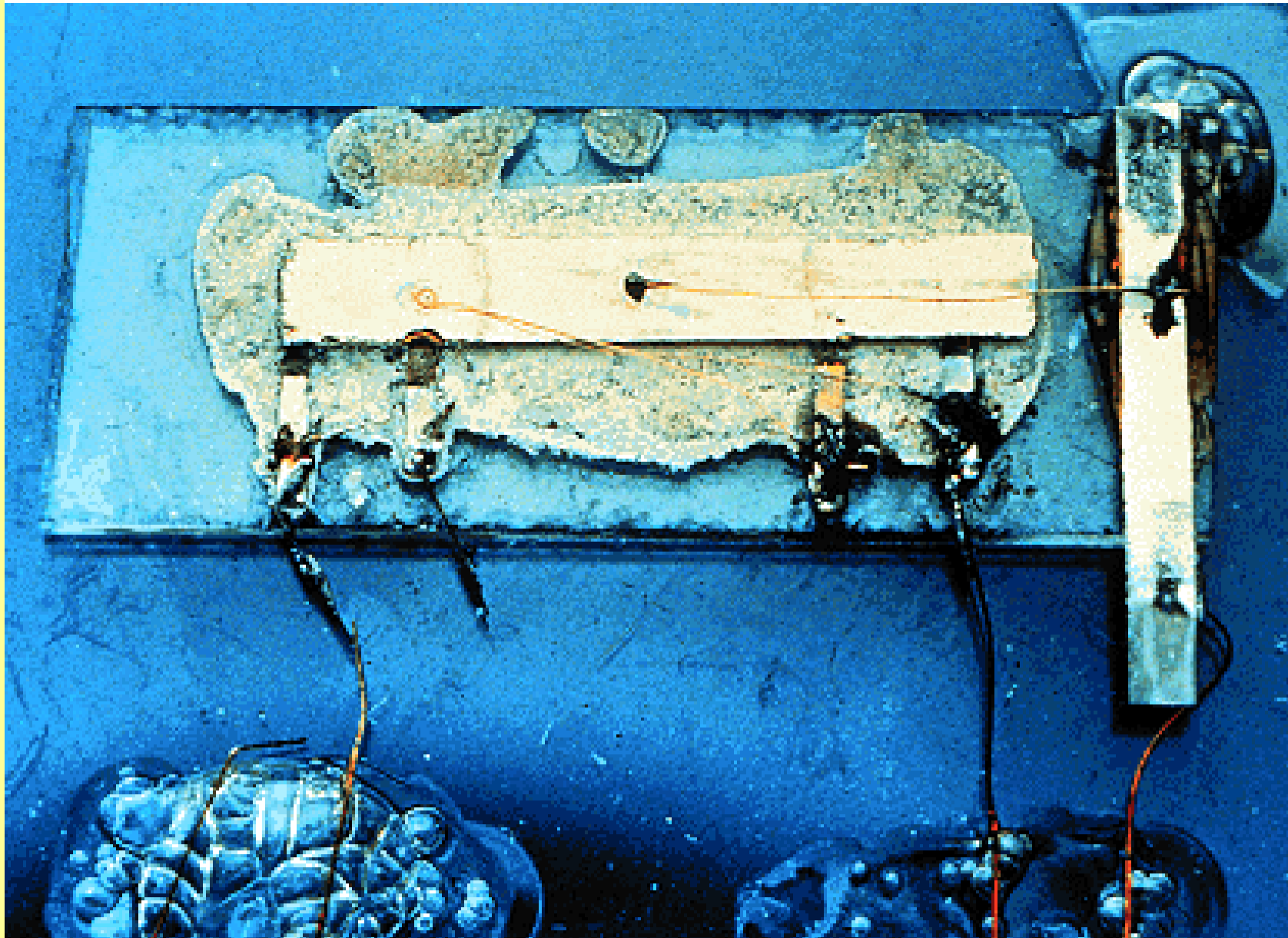
- **Obecně o čípech – úvod**
- **Výroba polovodičových čipů**
- **Provedení polovodičových čipů**
- **Holé čipy s vývody na horní straně (COB)**
- **Obrácené čipy (Flip Chip)**
- **Speciální čipy (např. TAB)**
- **WLP**
- **Závěr**

Úvod – polovodičové čipy

- Hlavní částí elektronických systémů tvoří **POLOVODIČOVÉ ČIPY** (tranzistory, integrované obvody, paměti, mikroprocesory atd.), v jejichž objemu je realizována polovodičová struktura.
- Tato struktura je tvořena **ELEKTRICKÝMI PRVKY** (především tranzistory a hradly) a **FUNKČNÍMI BLOKY**, které v daném zapojení zajišťují požadovanou elektrickou funkci.
- Na okraji čipu jsou uspořádány **VÝVODY**, které jsou ve tvaru planárních kontaktních plošek (pro kontaktování mikrodrátkem), nebo jako výstupky (např. kulového tvaru), **PRO PŘIPOJENÍ ČIPU DO SYSTÉMU** (pájením, lepením, termokompresí, ultrazvukem apod.).

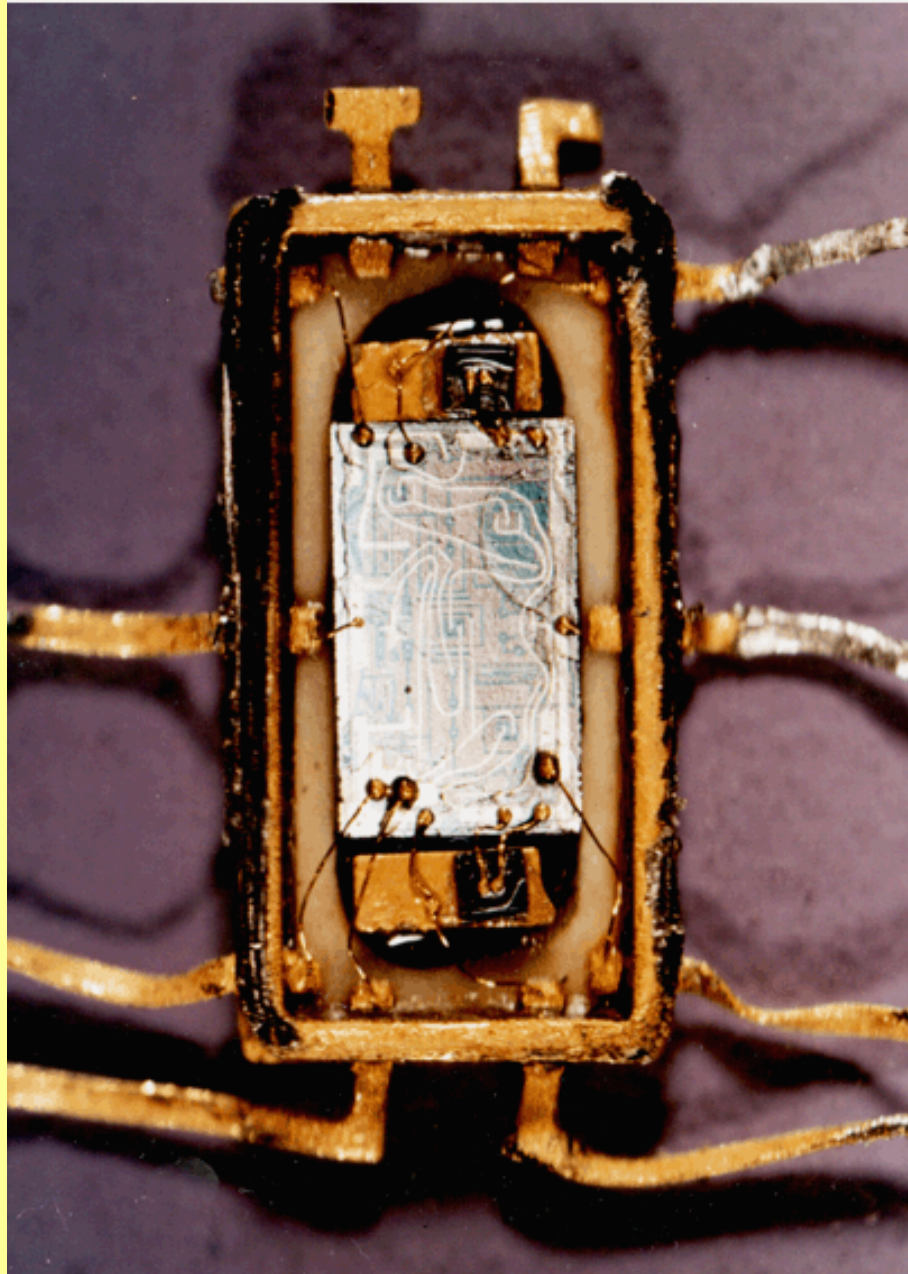
Rok 1958

From Computer Desktop Encyclopedia
Reproduced with permission.
© 2000 Texas Instruments, Inc.

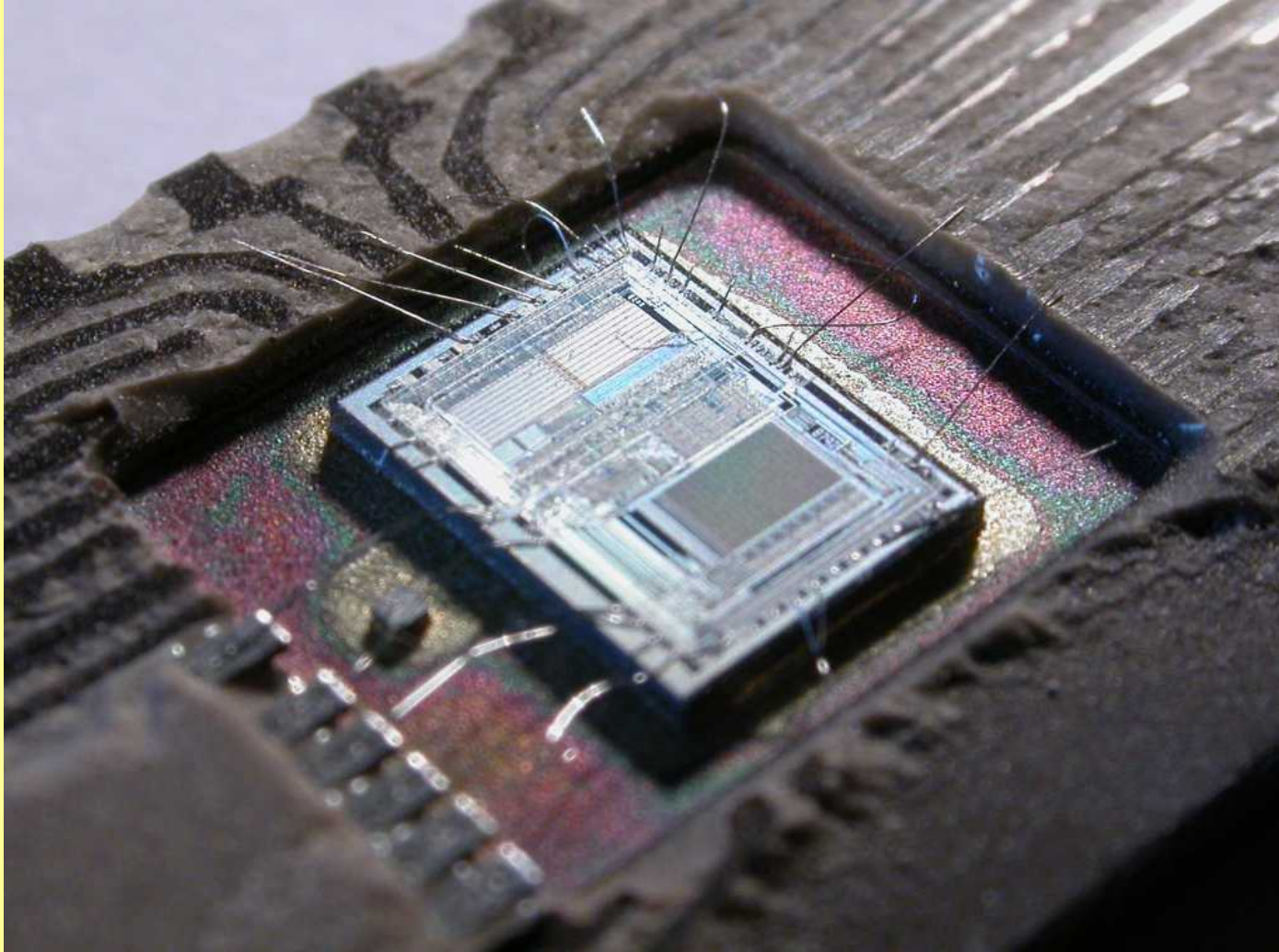


Rok 1960

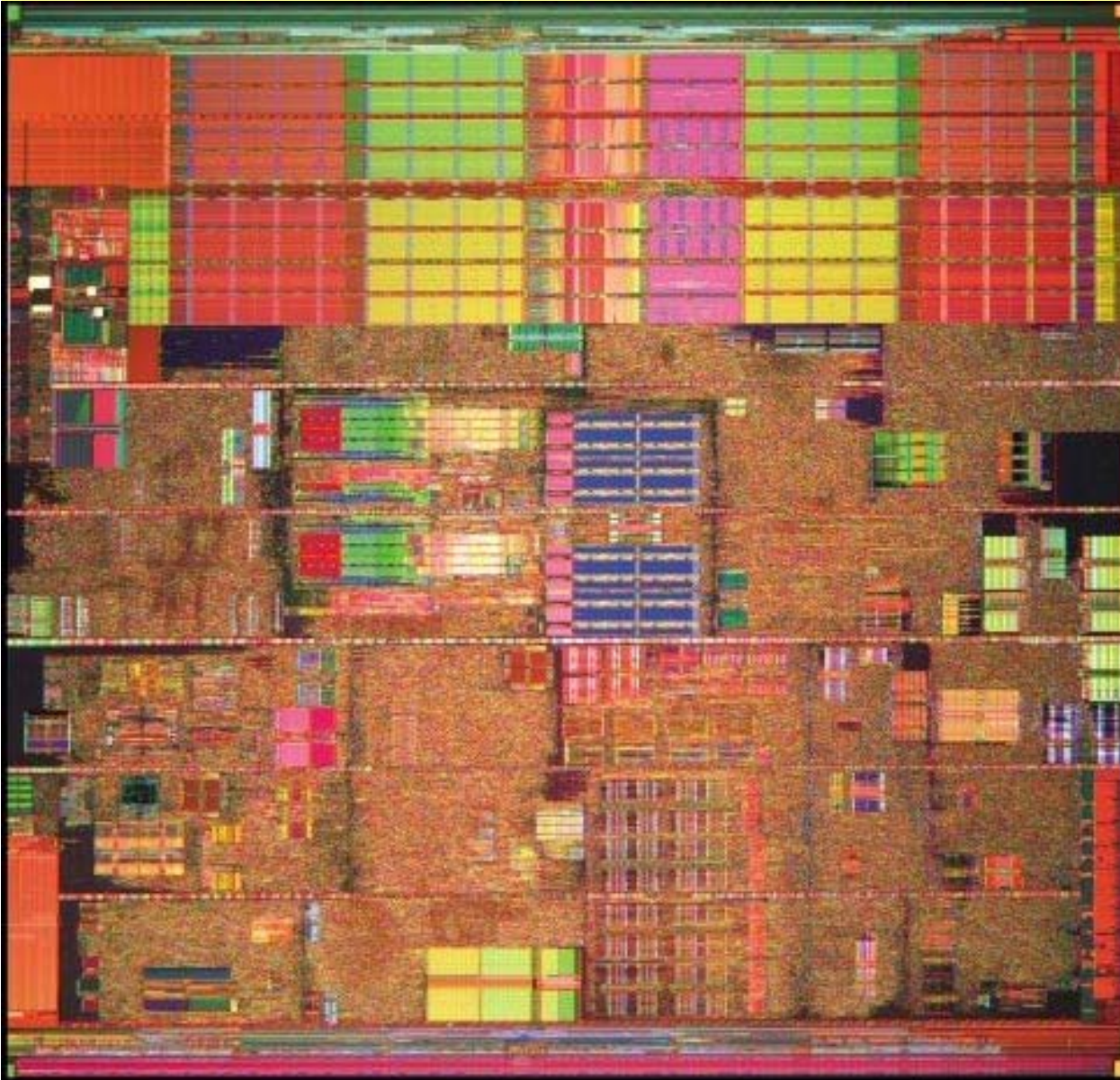
From Computer Desktop Encyclopedia
Reproduced with permission.
© 2001 The Computer Museum History Center



Rok 1970



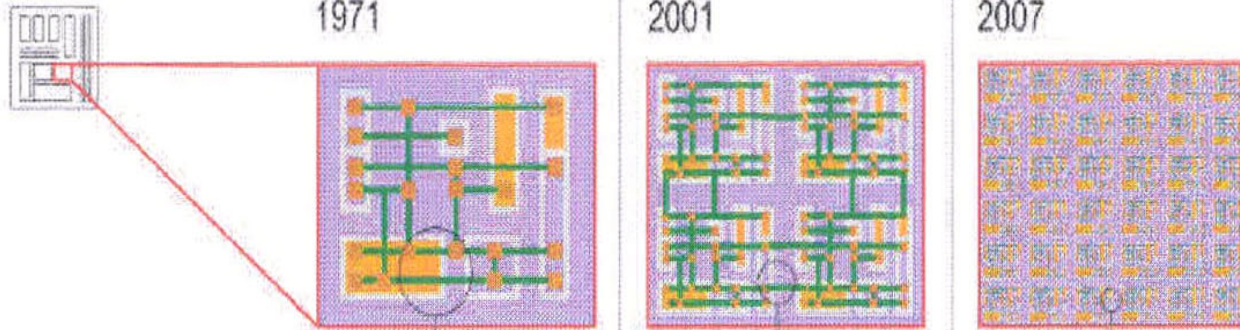
21. Století - Pentium IV



čip mikroprocesoru
Pentium IV, verze
Prescott
technologie rozlišení
 $0,09\mu\text{m}$. **Plocha čipu je
 112 mm^2 , a na čipu se
nachází cca **125
milionů tranzistorů.**
Pracovní kmitočet na
čipu je $3,4\text{GHz}$ a čip
má celkem 478 vývodů**

Vývoj čipů

MIKROPROCESOR
aktuální velikost



Šířka cesty [mikron]
Počet tranzistorů
Frekvence

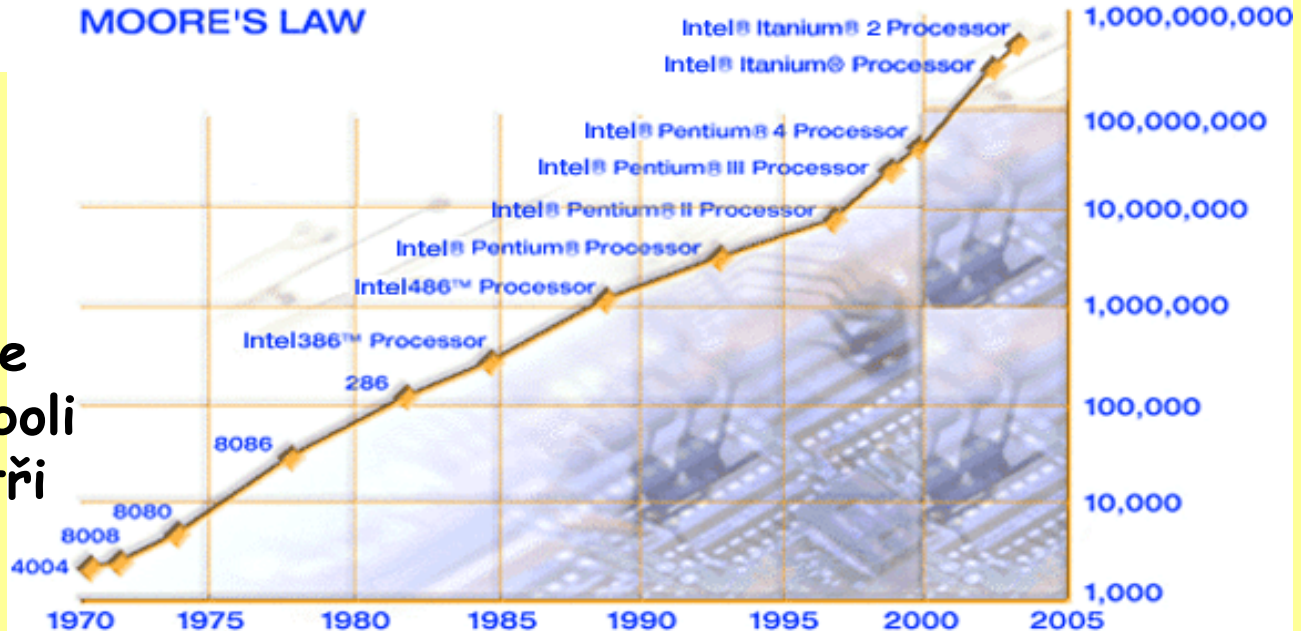
10
2300
108 KHz

0,13
 $4,2 \cdot 10^7$
2 GHz

0,032
 10^9
20 GHz

transistors

MOORE'S LAW



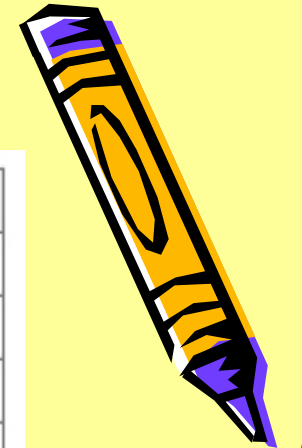
Moorův zákon -

„Hustota integrovaného obvodu nebo kapacita paměti se zdvojnásobuje každých 18 měsíců, neboli zčtyřnásobuje každé tři roky.“

Počet tranzistorů na čipu

Procesor	Rok uvedení	Počet tranzistorů
4004	1971	2 250
8008	1972	2 500
8080	1974	5 000
8086	1978	29 000
286	1982	120 000
Intel386™	1985	275 000
Intel486™	1989	1 180 000
Intel® Pentium®	1993	3 100 000
Intel® Pentium® II	1997	7 500 000
Intel® Pentium® III	1999	24 000 000
Intel® Pentium® 4	2000	42 000 000
Intel® Itanium®	2002	220 000 000
Intel® Itanium® 2	2003	410 000 000

Zdroj: Intel



Rockův zákon (někdy označován jako druhý Moorův zákon):

„Investice do nových zařízení na výrobu čipů se zdvojnásobuje každé čtyři roky.“

Úvod - polovodiče

- Polovodiče jsou látky, které jsou z hlediska resistivity na rozmezí mezi vodiči a nevodiči.
 - ~ jejich resistivity je od $10^{-6} \Omega \text{ m}$ do $10^8 \Omega \text{ m}$
 - ~ resistivita velmi závisí na čistotě; nepatrným množstvím příměsí se změní o několik řádů (zatímco u vodičů nanejvýš o jeden řád),
 - ~ polovodiče mají záporný teplotní součinitel odporu ($\text{TKR} < 0$), takže se stoupající teplotou se zvětšuje vodivost, při teplotách blízkých 0 K se polovodiče stávají nevodiči (izolanty),
 - ~ průchodem proudu se nemění chemické ani strukturální vlastnosti polovodičů (přenos náboje je zprostředkován, stejně jako v kovech, elektrony)

Úvod - polovodičové materiály

	Si	Ge	GaAs
Teplota tavení	1415 °C	958 °C	1238 °C
Hustota hmotnosti	2330 kg.m ⁻³	5100	5320 kg.m ⁻³
Šířka zakázaného pásu	1,11 eV	0,67 eV	1,43 eV
Pohyblivost elektronů	0,135 m ² V ⁻¹ s ⁻¹	0,19 m ² V ⁻¹ s ⁻¹	0,95 m ² V ⁻¹ s ⁻¹
Pohyblivost děr	0,048 m ² V ⁻¹ s ⁻¹	0,39 m ² V ⁻¹ s ⁻¹	0,045 m ² V ⁻¹ s ⁻¹
Objemový odpor	2,5. 10 ⁻² Ω.cm		>10 ⁻⁸ Ω.cm
Relativní permitivita	11,7	16,3	13,1
Délková roztažnost	4,2 ppm.K ⁻¹ 42. 10 ⁻⁷ K ⁻¹	61. 10 ⁻⁷ K ⁻¹	
Tepelná vodivost	8,4 Wm ⁻¹ K ⁻¹	5,7 Wm ⁻¹ K ⁻¹	55 Wm ⁻¹ K ⁻¹

Elektrické vlastnosti polovodičů jsou určovány nosiči elektrického náboje. Ty charakterizuje:

- pohyblivost,
- efektivní hmotnost - hustota hmotnosti,
- difúzní konstanta,
- Koncentrace,
- doba života.

Polovodičové materiály

- **Si, Ge, GaAs** jsou materiály ze IV. nebo. III. / V. sloupce Menděleovy periodické soustavy prvků
- Si se získává z křemičitého písku a zpracovává se na křemík polykrystalický (10 000 ohmcm)
- Czochralského metoda

Vlastní polovodič

- Valenční pás je plně obsazený, ve vodivostním pásu při teplotě 0 K nejsou elektrony. Zvýšíme-li teplotu dojde k excitaci (vybuzení) - elektrony přejdou do vyšších energetických hladin.
- Elektrony na nejvyšší energetické hladině valenčního pásu některých atomů získají takovou energii, že mohou překonat zakázaný pás a dostat se do vodivostního pásu. Tyto elektrony způsobují elektronovou vodivost neboli **vodivost N**.
- Tím, že elektron opustil elektronovou hladinu, zůstane na ní místo bez elektronu, které se projevuje jako místo s kladným nábojem - díra. Působením elektrického pole, teploty apod. může do díry přeskočit elektron, což se projeví stejně, jako by se díra přemístila do polohy, kterou původně zaujímal přeskakující elektron.
- Postupným přeskokováním elektronů se tedy díra posouvá polovodičem. Tak vzniká děrová vodivost neboli **vodivost P**.
- Polovodič, který je dokonale čistý a má stejný počet elektronů i děr, se nazývá vlastní polovodič.

Nevlastní polovodič typu N

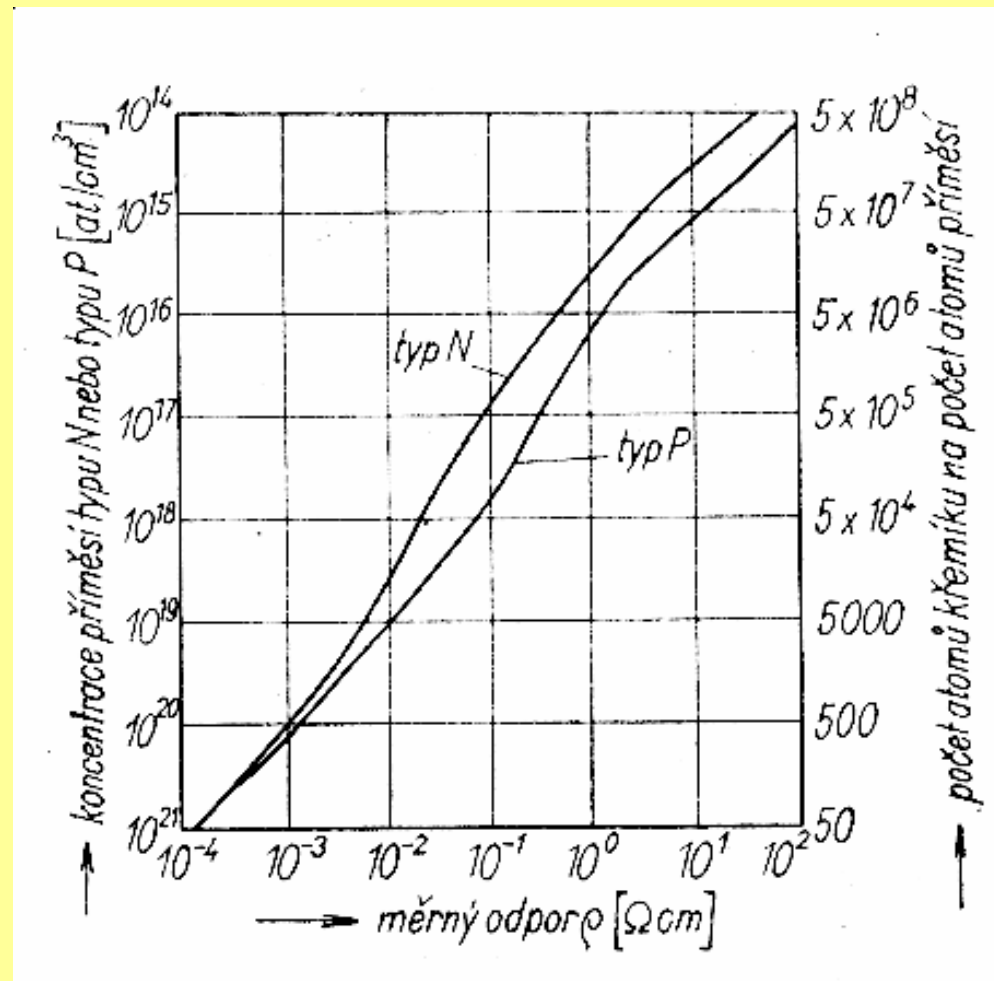
- Jestliže přidáme ke křemíku jako příměs některý pětimocný prvek, např. antimon Sb nebo fosfor P, nahradí atomy tohoto prvku některé atomy křemíku v mřížce.
- Čtyři z pěti jeho valenčních elektronů nahradí vazbu valenčních elektronů atomu křemíku, pátý valenční elektron zůstane jen slabě vázaný, neboť se nezúčastní kovalentní vazby.
- Působí-li na krystal stejnosměrné elektrické pole, pohybují se tyto elektrony ke kladnému pólu - způsobují elektronovou vodivost. Takto získaný polovodič se nazývá **polovodič N**. Atom pětimocného (antimon) prvku plní funkci dodavatele elektronů. Proto se příměs nazývá donor.

Nevlastní polovodič typu N

- Jestliže do Si přidáme příměs trojmocného prvku, např. india (In) nebo bóru (B), nahradí atomy tohoto prvku některé atomy křemíku v krystalové mřížce. Ve vazbě však bude chybět jeden elektron. Toto místo má charakter kladného náboje. Takové místo se nazývá díra.
- Po vložení krystalu do stejnosměrného elektrického pole přeskočí vazebný elektron nejbližšího atomu na místo díry, tím vznikne další díra na místě, kde se původně nacházel tento elektron, takže dochází k pohybu děr směrem k zápornému pólu - děrová vodivost. Polovodič je **polovodič P**. Atom trojmocného prvku (indium) přijímá do své chybějící vazby elektron z vlastního polovodiče. Proto se tato příměs nazývá akceptor.

V polovodiči N jsou tedy majoritní nosiče elektrony a minoritní nosiče jsou díry. V polovodiči P je tomu naopak.

Vliv koncentrace příměsí na vodivost Si



Úvod – materiály pro výrobu polovodičových čipů a IO

Materiály :

- funkční (polovodičové materiály),
- přídavné (dopanty),
- Konstrukční (pouzdra, vývody),
- Pomocné (chemikálie a plyny).

Výroba Si čipů

1. Návrh čipu

2. Hromadné operace

- Si ÷ Si wafer
- Epitaxe
- Oxidace
- Difúze
- Iontová implantace
- Metalizace

Litografie



3. Individuální operace

- Kontaktování, pouzdření

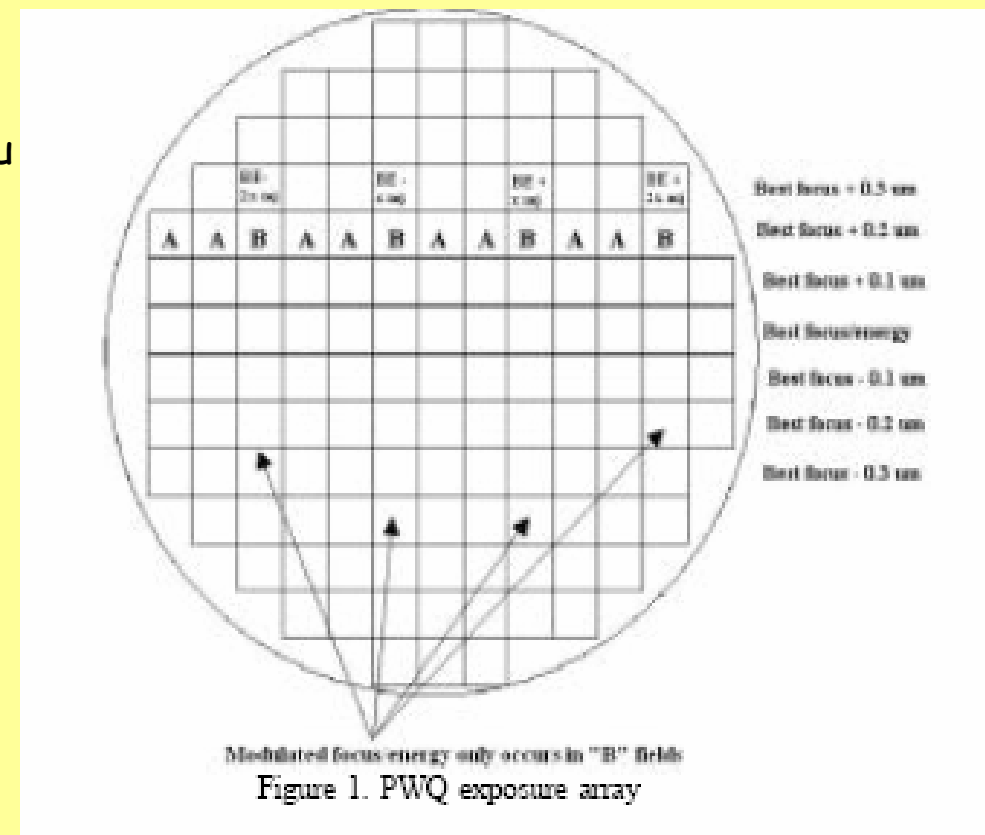
- VÝROBA POLOVODIČOVÝCH ČIPŮ probíhá ve dvou základních fázích, jimiž jsou **HROMADNÉ OPERACE** (na waferu) a **INDIVIDUÁLNÍ OPERACE** (manipulace s čipy po rozřezání waferu). VYTVÁŘENÍ SAMOTNÉ STRUKTURY se děje tedy na WAFERU, který obsahuje až miliony čipů. Přitom se používají následující technologické operace:
 - **epitaxe** (vytvoření definovaných polovodičových vrstev s vodivostí typu p nebo n)
 - **oxidace** (vytvoření izolačních, ochranných, pasivačních a dielektrických vrstev)
 - **difúze** (dotování polovodičových materiálů, vytváření PN přechodů)
 - **iontová implantace** (velmi přesné dotování a vytváření PN přechodů)
 - **litografie** (vytváření masek pro dosažení požadované struktury na čipu)
 - **naprašování a vakuové napařování** (vytváření vodivé sítě a kontaktů)

Výroba waferu

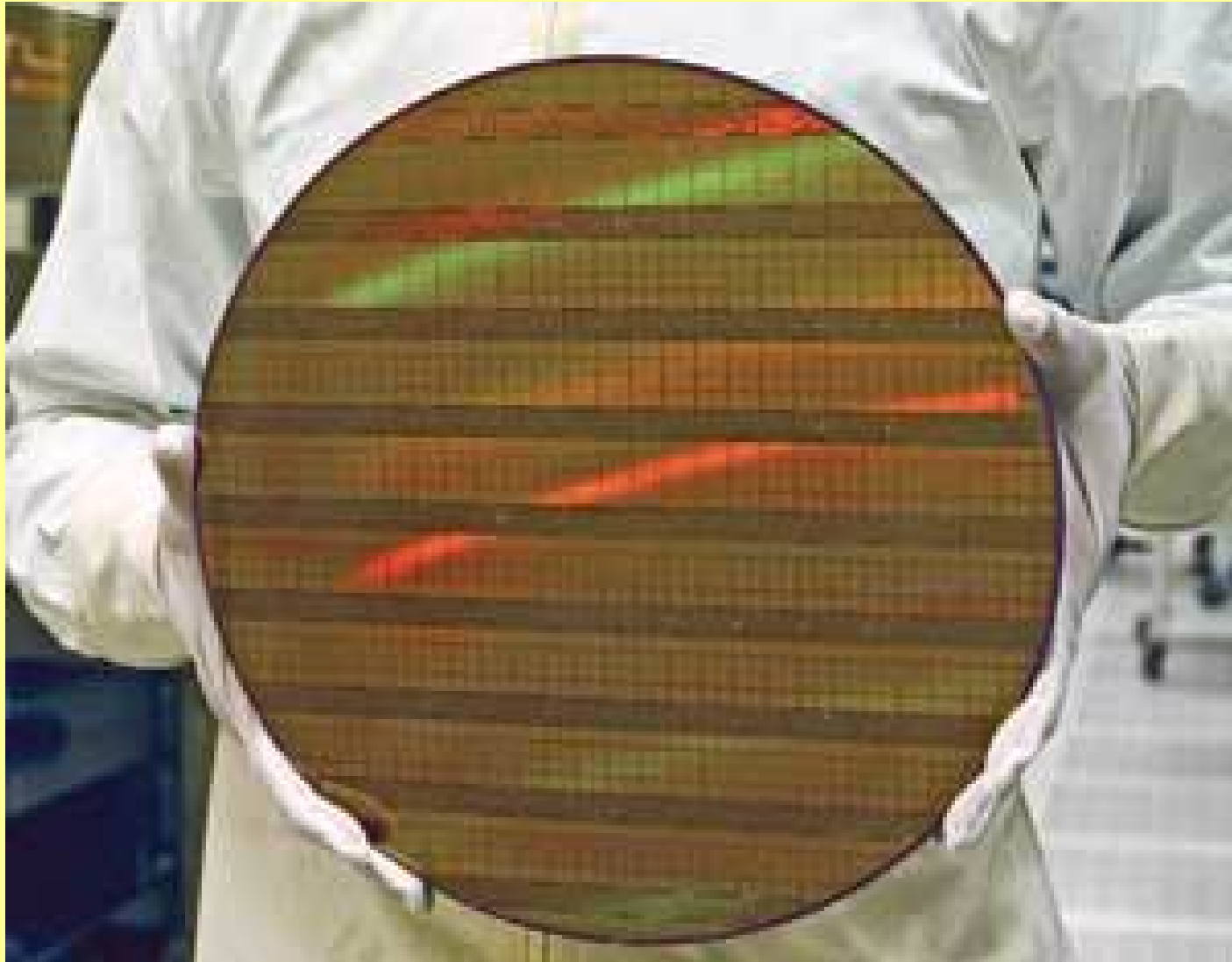
Z taženého ingotu se získávají desky tloušťky 150 až 400 μm , následným postupem:

- Řezání
- Broušení
- Leštění
- Leptání

Potom probíhají hromadné operace na waferu



Intel - rok 2008 - 45 nm



Výroba Si čipů – epitaxe (1)

- V polovodičové technologii je **epitaxe** spojována s přípravou monokrystalických vrstev, které kopírují krystalografické uspořádání podložní desky, s možností řízení typu a obsahu příměsí v této vrstvě. Je-li epitaxní vrstva na podložce s krystalografickou orientací (111), bude mít i epitaxní vrstva orientaci (111).
- V polovodičové technologii je **epitaxe** spojována s přípravou monokrystalických vrstev, které kopírují krystalografické uspořádání podložní desky, s možností řízení typu a obsahu příměsí v této vrstvě.

Epitaxe (2)

- Základním způsobem přípravy epitaxní křemíkové vrstvy je epitaxe z plynné fáze, kdy v reaktoru při teplotě převyšující $1100\text{ }^{\circ}\text{C}$ dochází k reakci trichlorsilanu (SiHCl_3) s vodíkem. Atomy křemíku se usazují na podložní Si desce, kopírují její krystalografické uspořádání.
- Jako možný zdroj pro epitaxi se používá silan (SiH_4), předností je přesné řízení koncentrace příměsí (donorů příp. akceptorů).

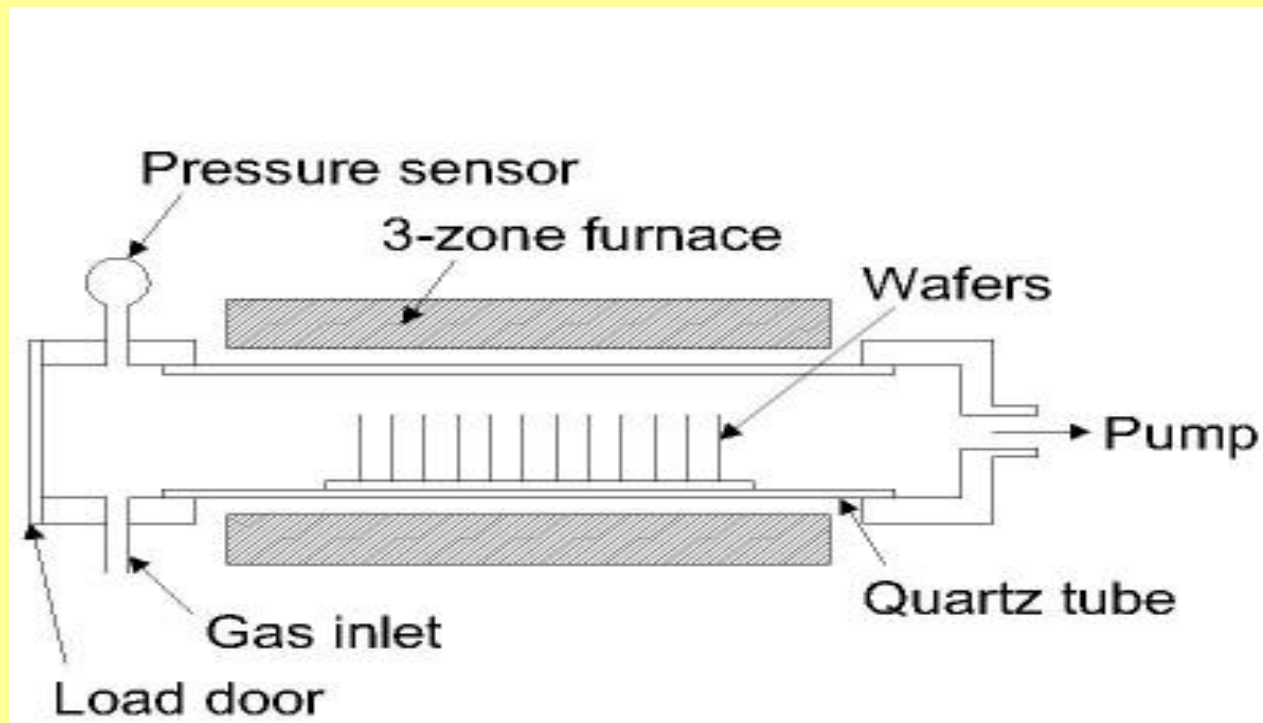


Oxidace (1)

- Povrch waferu je třeba chránit oxidem. Ten lze vytvořit ve vodních parách (naroste vrstva SiO_2).
- Oxid křemíku SiO_2 má izolační, maskovací, pasivační, ochranné a dielektrické vlastnosti. Maskovací vlastnosti SiO_2 vzhledem k některým plynům se využívá k zabránění difúznímu průchodu těchto plynů do epitaxi vytvořené vrstvy.
- Při oxidaci se vždy pokryje celý povrch podložky. Tam kde chceme difúzí realizovat PN přechod je třeba tuto vrstvu odstranit.
- Odstranění SiO_2 se provádí s pomocí litografie - na vrstvu SiO_2 se nanese fotocitlivá emulze (fotorezist), který se přes masku exponuje. Takto získaný motiv se pak vyleptá.

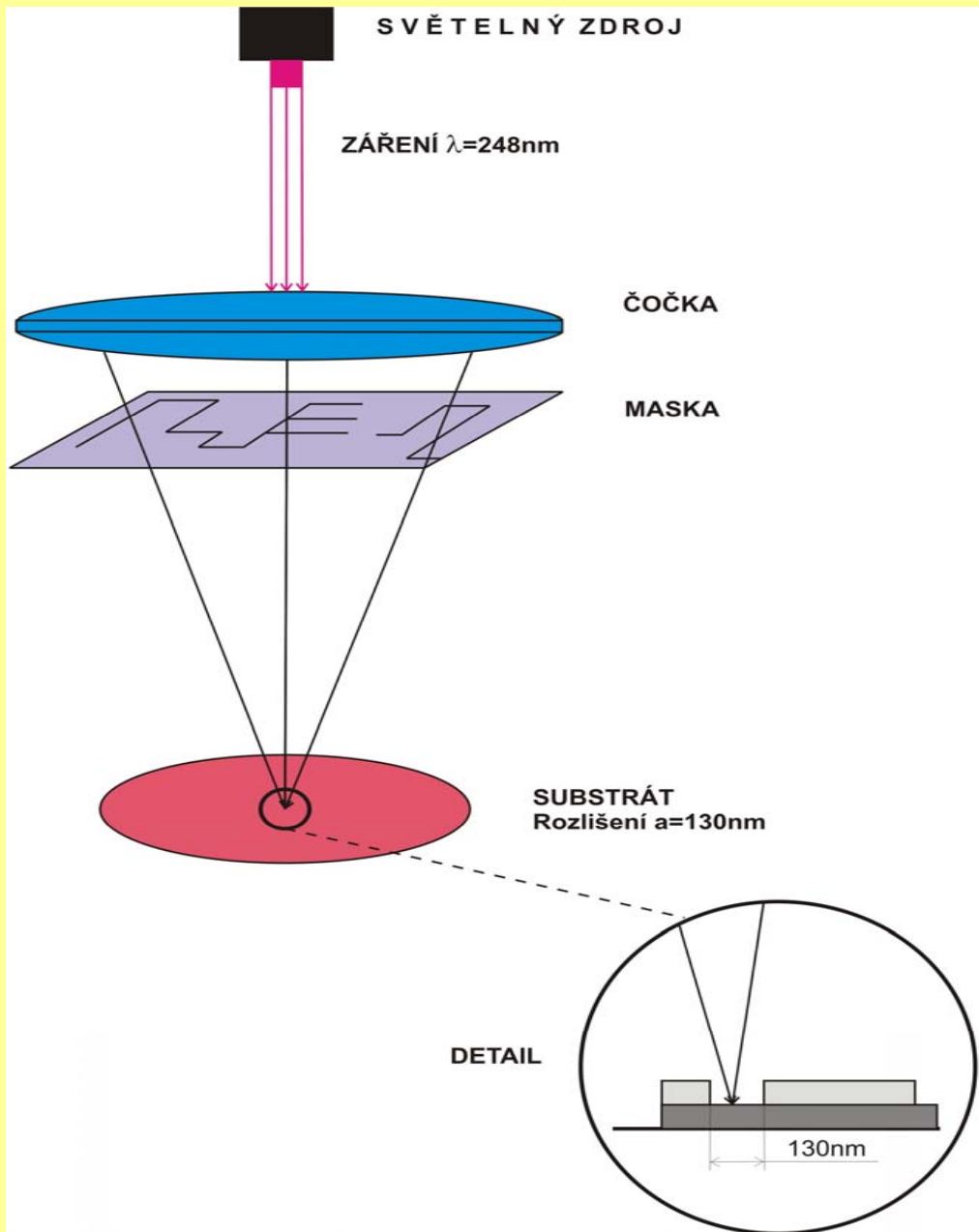
Oxidace (2)

- Termická oxidace, probíhá v reaktorech při teplotách v rozmezí 900 až 1200 °C, v prostředí kyslíku nebo vodních par.
- Při oxidaci atomy křemíku na povrchu desky reagují s kyslíkem, případně vodními parami, za vzniku oxidu křemičitého (problémem je vysoká teplota oxidace ovlivňující již existující polovodičové struktury).
- Proto se někdy používá vysokotlaká oxidace při tlacích až 2 500 kPa (každé zvýšení tlaku o 100 kPa nad atmosférický tlak přináší snížení teploty oxidace o 30 °C).



Litografie (1)

- Techniky optické litografie, jež vytvářejí detaily o šířce 65 nanometrů, prodloužily platnost Mooreova zákona do začátku XXI. století. EUV umožní dále rozlišení k 32 nanometrů. Když Moore učinil svůj závěr, struktury se vyráběly s pomocí optické litografie která využívala čočky. Nyní se využívají nové způsoby - princip je stejný, laser vysílá UV záření na masku - šablonu nanášeného vzoru - a takto se osvětluje rezist na čipu.
- Pro výrobu stále menších a menších obvodů výrobci zvýšili přesnost laseru a čoček, zkrátily vlnovou délku záření dopadajícího na wafer. Vybavení užívané k výrobě procesorů Intel Pentium 5 a AMD Athlon dává UV záření s vlnovou délkou 248 nm, schopné vykreslovat detaily o šířce 130 nm, 90 nm a dokonce 65 nm.
- Tato litografie má své meze na vlnové délce 193 nm. Pro vývoj 157 nm optického systému, museli vědci zkonstruovat čočky ze zcela nových materiálů, sklo by zde nefungovalo, je nutné použít monokrystalický materiál zvaný fluorid vápenatý.



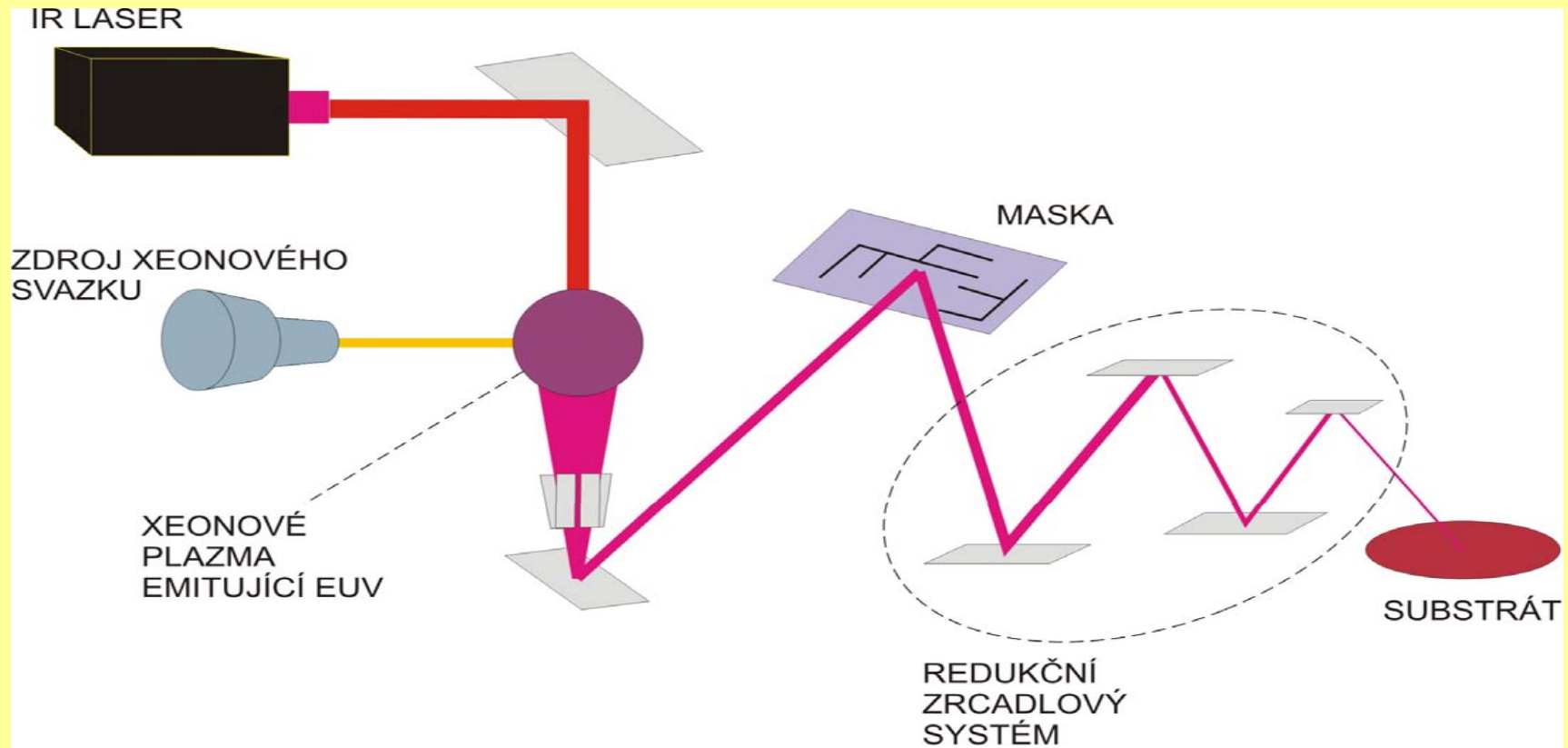
Optická litografie (2)

Snižování rozlišení na čipu z 250 nm resp. 180 nm na 130 nm je možné díky stále dokonalejším laserům a čočkám. Např. pro výrobu procesorů Intel Pentium 4 a AMD Athlon se využívá litografie ultrafialové záření s vlnovou délkou 248 nm, jež umožňuje běžně detaily o šířce 130 nm (90 nm).

V ověřovacím procesu je dnes již zařízení s vlnovou délkou 193 nm, jež by mělo být sériově využíváno ještě v letošním roce.

Extrémní UV litografie (3)

Další snižování vlnové délky stávající technikou je problematické. Byla proto zvolena cesta vývoje extrémní ultrafialové litografie, v níž je zdroj záření vytvářen elektrickou excitací plynného xenonu. K úpravě záření se využívá speciálních zrcátek namísto čoček, což umožňuje zmenšení šířky čáry na přibližně 32 nm.



Difúze (1)

- Při difúzi je destička vložena do plynné atmosféry s teplotou blízkou teplotě tavení destičky (u křemíku cca 1200°C , teplota tavení Si je 1415°C) a nechá se působit dotující plyn tak dlouho, až dotující molekuly proniknou (v odleptaných místech) do požadované hloubky, které bývá 1 až $15\mu\text{m}$.
- Difundující atomy si v krystalové struktuře hledají místo s nejlepšími energetickými podmínkami. Na rozhraní obou prostředí (čistě epitaxní vrstvy a dotované oblasti) vznikne přechod PN. Příměsy z plynné fáze pronikají při teplotě 1200°C u Si do loubky $1\mu\text{m}$ přibližně za hodinu a tak lze při dostatečné čistotě látky, dodržení teploty ($\pm 0,5\text{K}$) a času dosáhnout při difúzním přechodu malého rozptylu parametrů.

Pozn.: Při difúzi se realizuje větší počet PN přechodů zároveň, kdežto paprsek iontů bombarduje vždy jen jeden přechod, ale i tak je iontová implementace rychlejší než difúze.

Difúze - Fickovy zákony (2)

Fickův první zákon vyjadřuje úměrnost množství atomů difúzního prvku za jednotku času vůči koncentračnímu gradientu (difúzní tok probíhá ve směru snižující se koncentrace Φ difundujícího prvku) .

V jednorozměrném prostoru je difúzní tok :

$$J = -D \frac{\partial \phi}{\partial x}$$

Fickův druhý zákon vyjadřuje průběh difundujících příměsí na čase jako funkci vzdálenosti od povrchu:

$$\frac{\partial \phi}{\partial t} = D \frac{\partial^2 \phi}{\partial x^2}$$

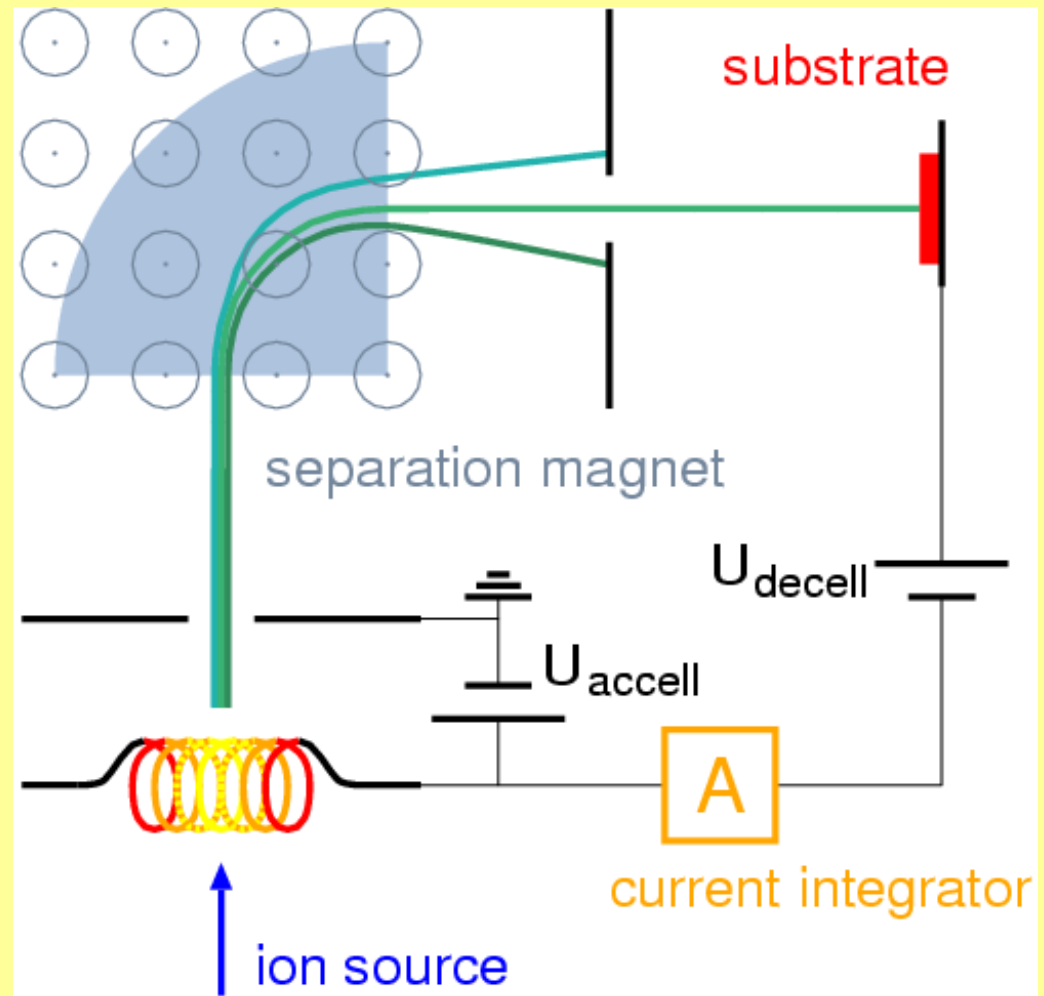
- Pro difúzi je potřebné zajistit vysokou koncentraci, resp. spád koncentrace difundující příměsí (P, As, Sb - příměsí donorového typu v křemíku, B, Al, Ga - příměsí akceptorového typu) a dodat potřebnou energii - difúze příměsí probíhá v reaktorech při vysokých teplotách.

Iontová implantace (1)

- Iontovou implantací se nazývá technologie, při které dochází k zavádění urychlených atomů a molekul do struktury tuhých látek s cílem změnit jejich elektrické, případně mechanické vlastnosti. K urychlení těchto částic dochází v ionizovaném stavu. K implantaci se používají iontové svazky s proudy $10 \mu\text{A}$ až 100 mA s urychlovacími napětími 10^3 až 10^6 V .
- Hlavními parametry jsou doba implantace a použitý svazek iontů, resp. jeho energie. Jsou-li tyto parametry pro nějakou sérii vyrobených přechodů konstantní, pak jsou parametry vyrobených přechodů téměř identické \Rightarrow vysoká přesnost.

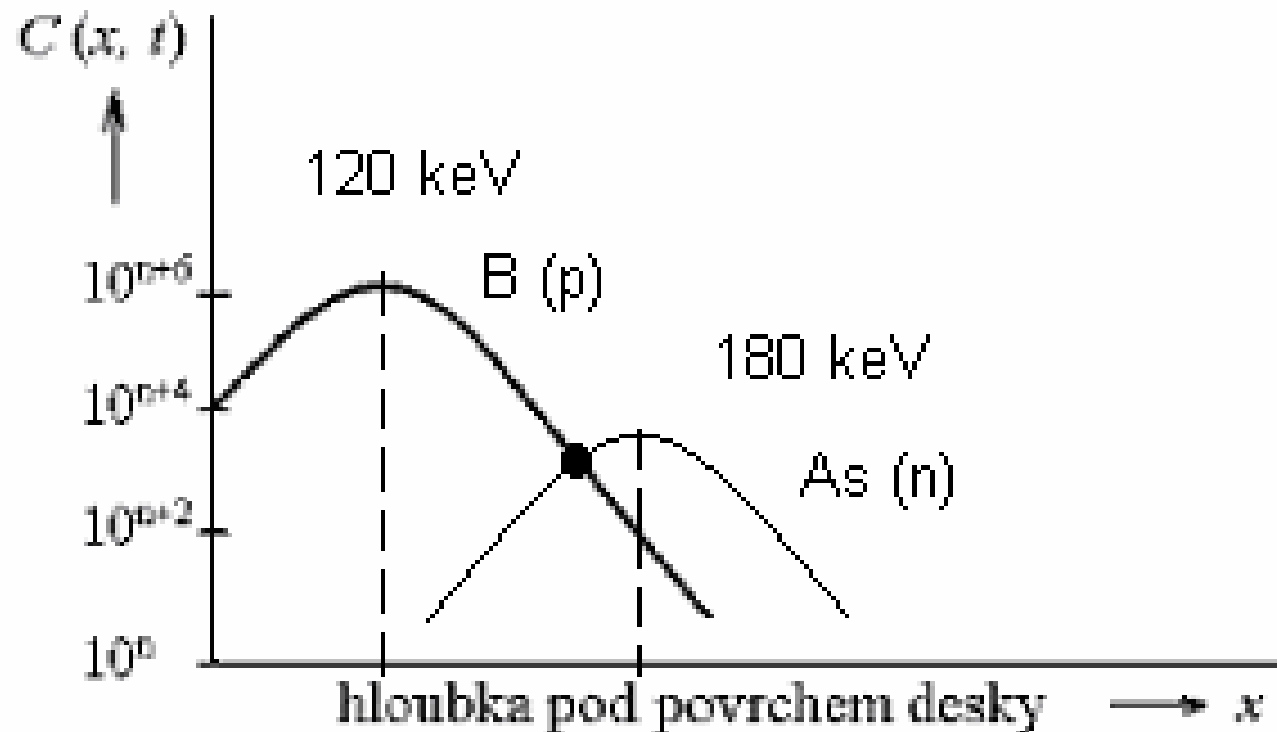
Iontová implantace (2)

Ionty jsou urychlovány vysokým napětím U_{acell} , v separátoru jsou s pomocí magnetického pole vybrány atomy nanášeného materiálu a nastřelovány do dotovaného materiálu pod vysokým napětím U_{decell}



IONTOVÁ IMPLANTACE (3)

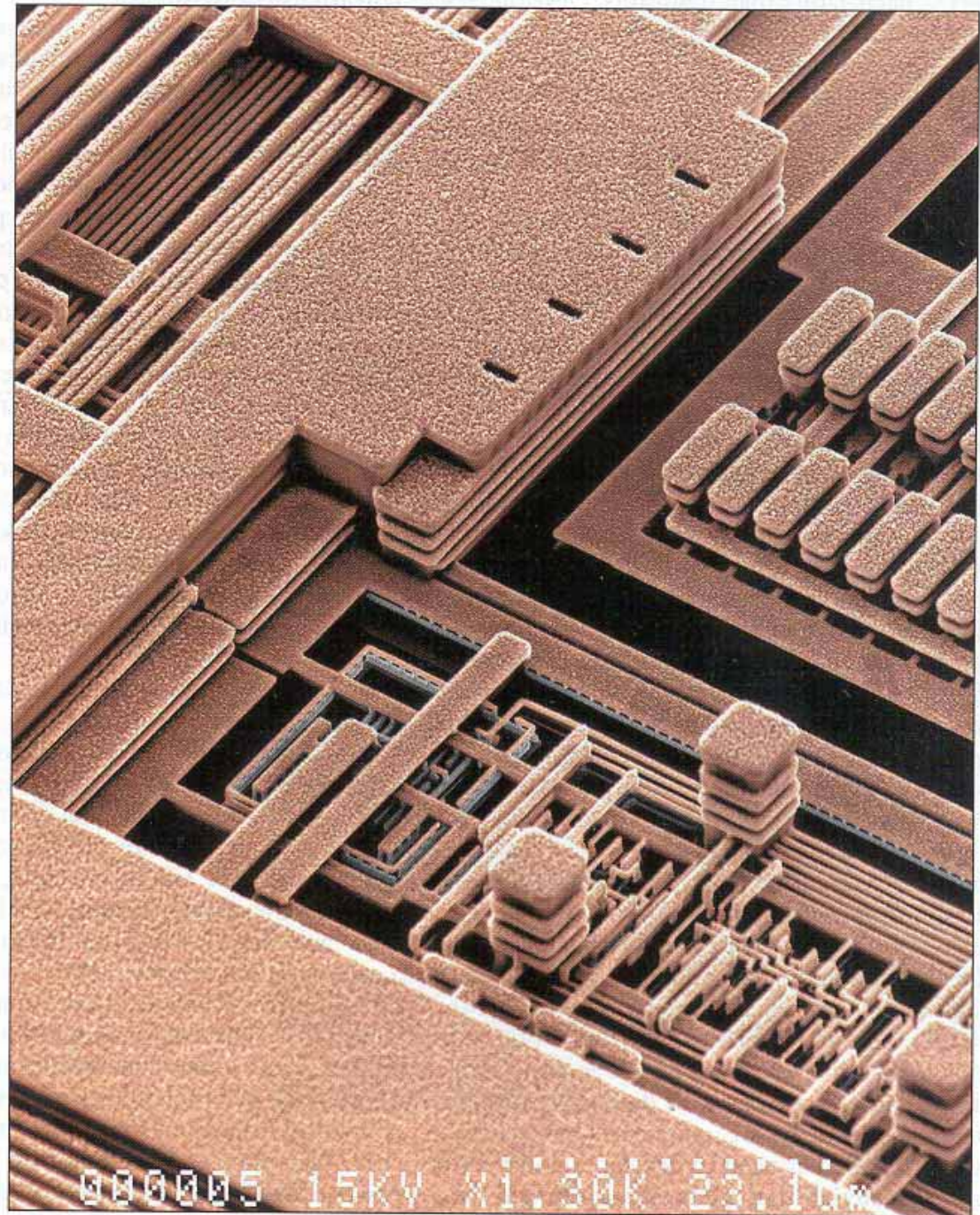
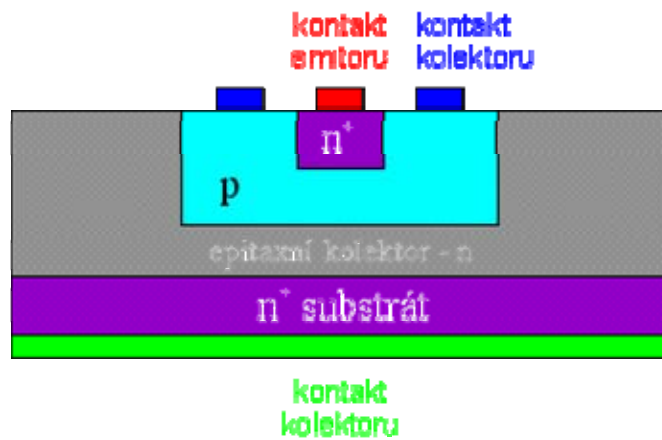
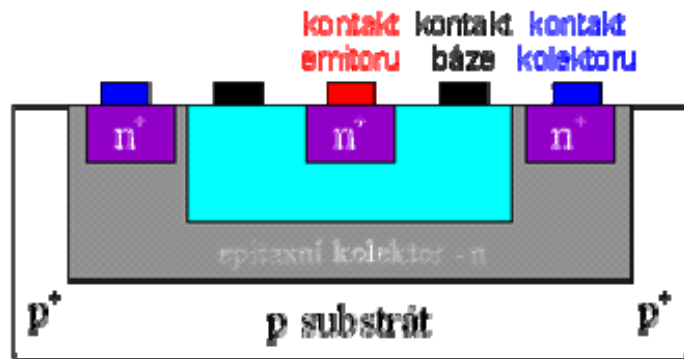
- Při **iontové implantaci** je požadovaná příměs v ionizovaném stavu „vstřelována“ do povrchu polovodičové desky. Celé zařízení je vakuově čerpáno a pracuje při nízkém tlaku. Koncentrační profil implantované příměsi je znázorněn na obr. Na rozdíl od difúze není největší koncentrace příměsi na povrchu, resp. v místě odkud difúze probíhá, ale v jisté hloubce pod povrchem, kterou lze řídit energií dopadajících iontů.



Metalizace

- Po dokončeném posledním PN přechodu se opět celá destička pokryje vrstvou SiO_2 a vyleptají se místa pro kontakty realizované naprašováním nebo vakuovým napařováním.
- Při napařování je materiál budoucího kontaktu jedním z možných způsobů zahříván (vysokofrekvenční, iontový ohřev) a přiveden do varu - vře a vypařuje se. Páry materiálu kondenzují na destičce. Tento postup vyžaduje vakuum.
- Naprašování lze zrealizovat např. magnetronovým, iontovým, katodovým způsobem. Obecně se jedná o nanášení atomů materiálu (Al, Cu) na kontakty čipu energií, která vyráží tyto atomy z terče (targetu). Tyto atomy jsou unášeny na substrát vlivem elektrického pole mezi materiálem a destičkou. Tato technologie neklade velké nároky na teplotu a tlak, jako tomu je u napařování, je řízena napětím a tlakem (není třeba tak vysoké vakuum jako při napařování).

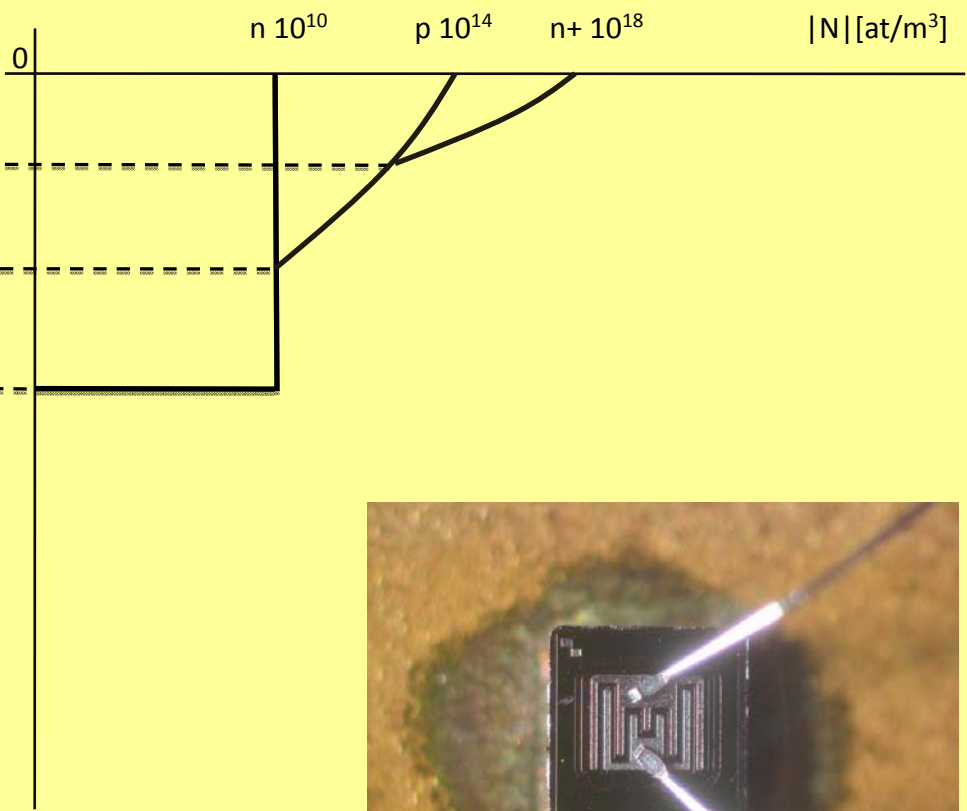
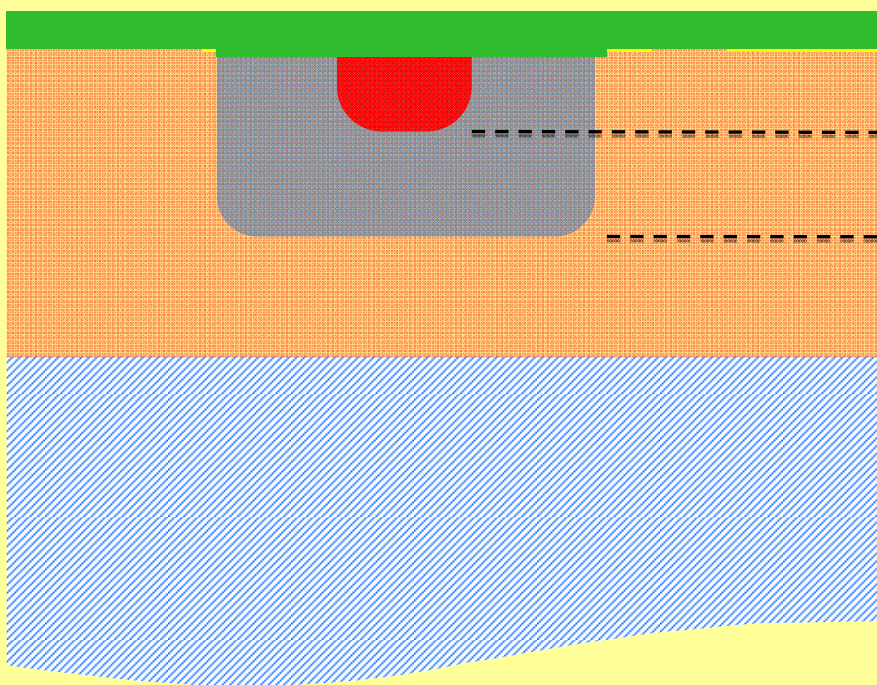
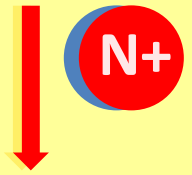
Metalizace



IMPLANTACE PPO NANESENÍ REZISTU SE PROVEDE LEPTÁNÍ

EMITOR
BÁZE

IMPLANTACE N+
EMITOROVÁ
OBLAST

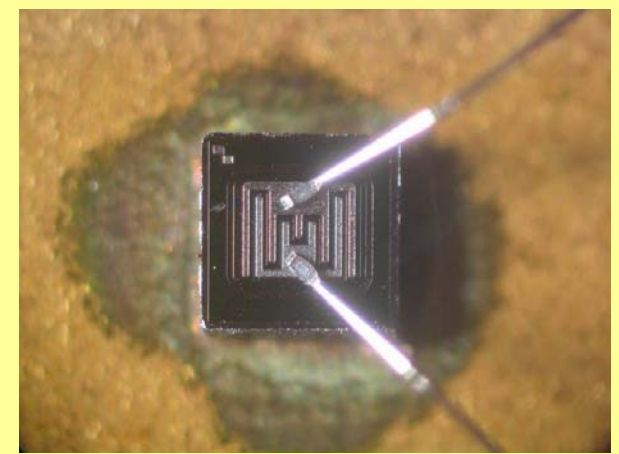


epitaxní vrstva typu n

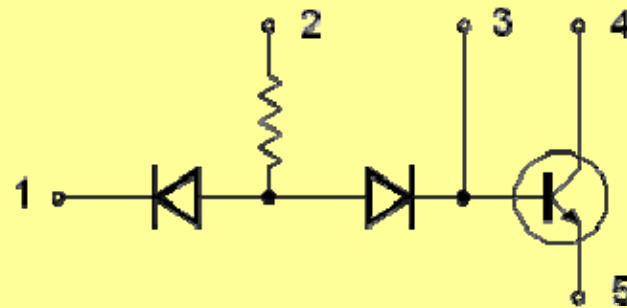
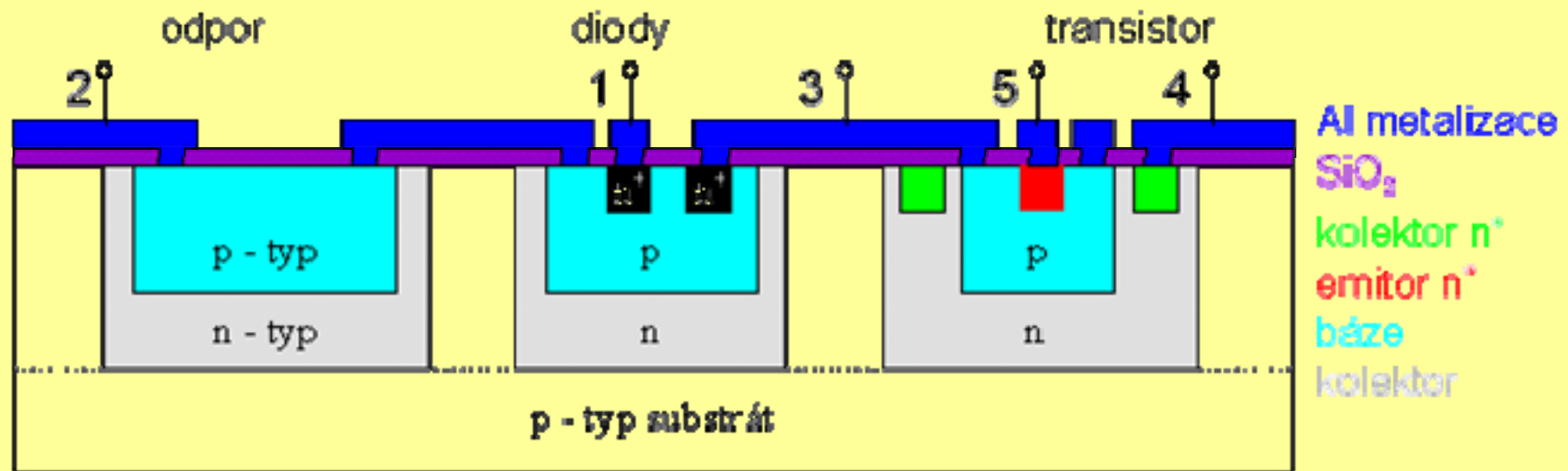
substrát typu p

x hloubka pod povrchem desky

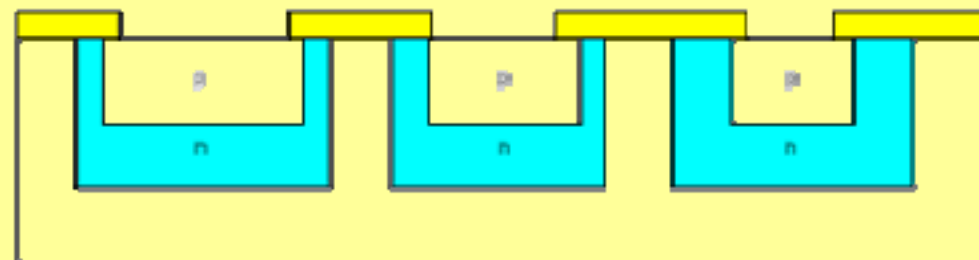
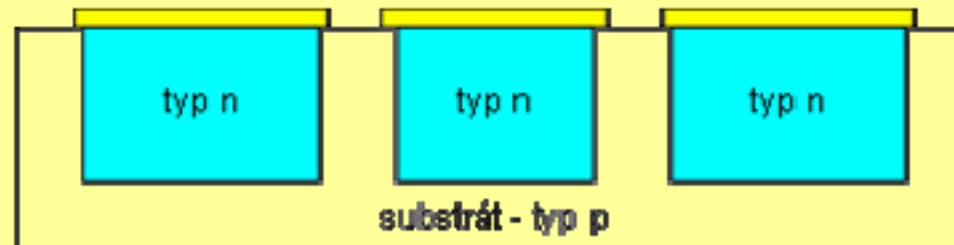
|N| koncentrace majoritních nosičů v abs. hodnotě



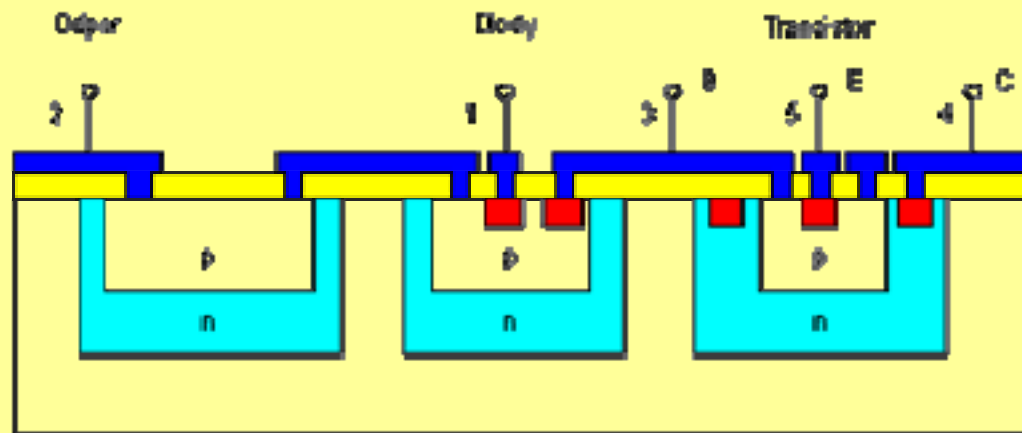
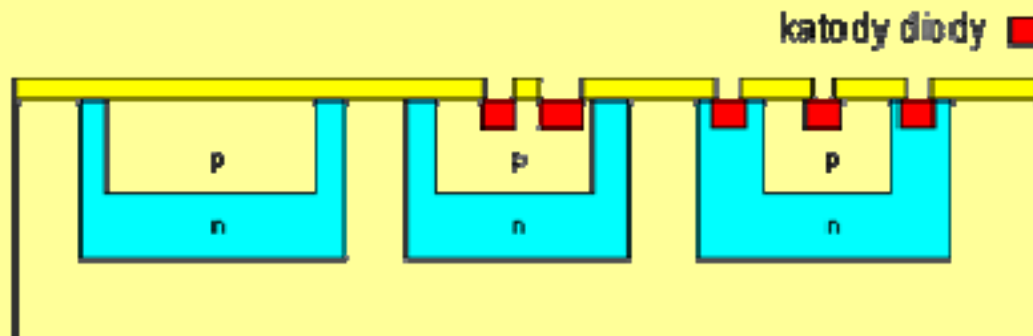
Výroba polovodičových součástek









Výroba polovodičových součástek



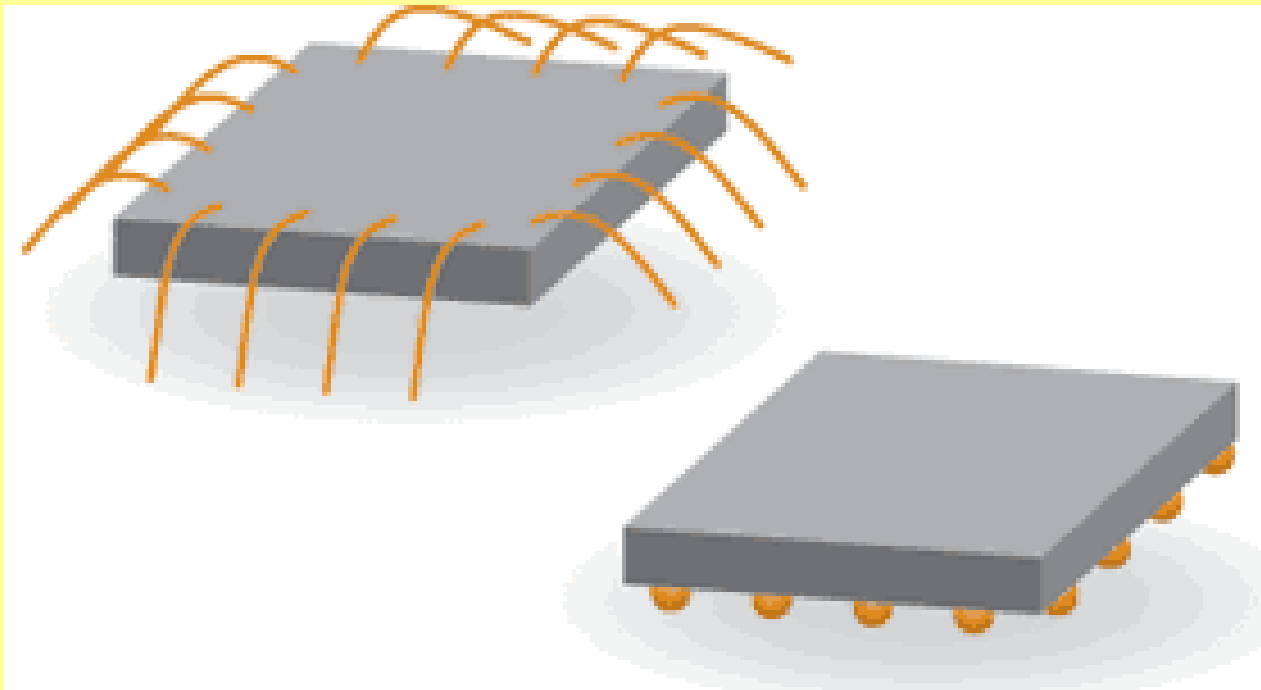
Výroba polovodičových součástek



-  SiO_2 - 0,5 μm
-  epitaxní vrstva typu n - 25 μm
-  substrát typu p
-  hliník
-  typ n⁺  typ p⁺

Provedení čipu

Holý čip (Bare die)



Obrácený čip (Flip chip)

Vývody na čipu



Vývod (pad) je tvořen Al nebo Cu vrstvou, jež je součástí propojovací sítě (metalizace).

Vývody jsou umístěny na okraji čipu.

Kontaktování čipů

Nepouzdržené čipy (Bare Chip) se vyznačují malými rozměry a náchylností k poškození nebo znečištění, což vyžaduje zvýšenou pozornost při manipulaci a montáži.

Na čipu je umístěn stále vyšší počet elektronických prvků, a s tím i vyšší počet vývodů. Vývody čipu jsou ve tvaru kontaktních plošek umístěných na lícní straně čipu. Materiál plošek je Al nebo Cu. Prostřednictvím nich je třeba čip propojit s okolím tak, aby byly zajištěny potřebné funkce (napájení, vedení signálu atd.).

Obecně může být propojení provedeno:

- **mikrodrátkem (tenkým Au nebo Al drátkem)**
- **pájeným spojem**
- **lepeným spojem**

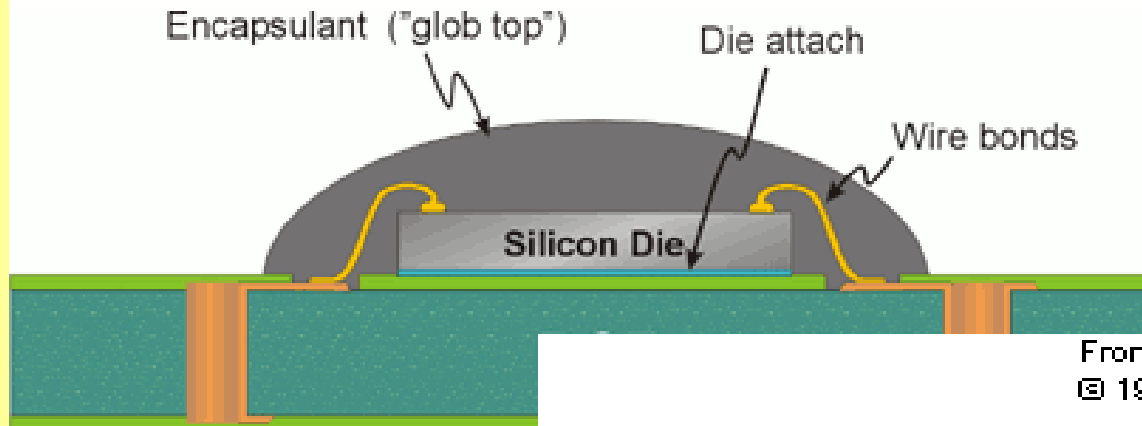
Kontaktování čipů

Nejvíce používané jsou následující čtyři typy:

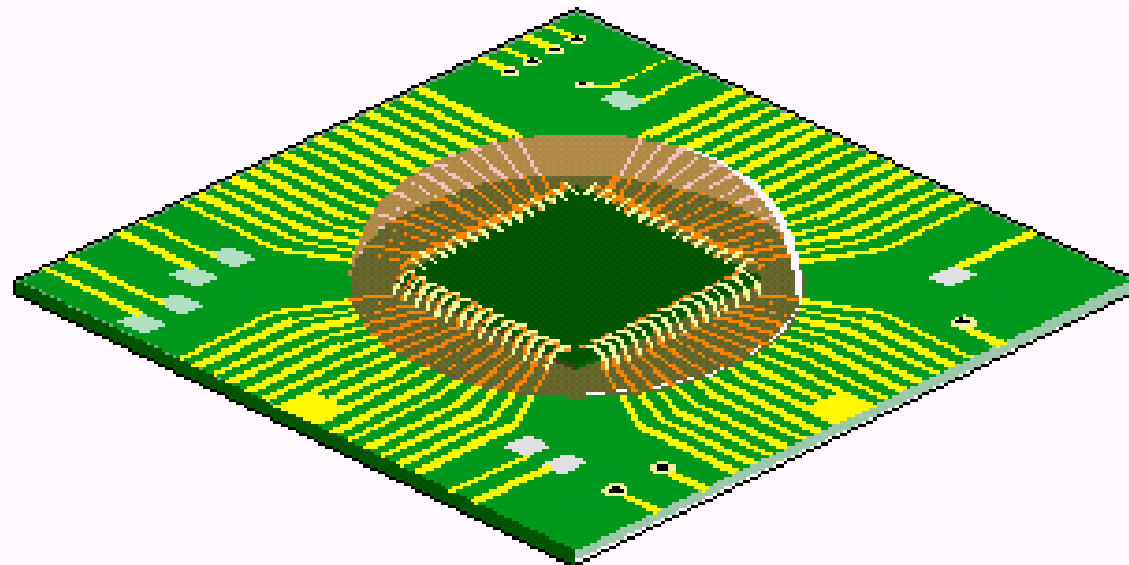
- **holé čipy** (Chip on Board, krátce označované COB)
- **obrácené čipy** (Flip Chip)
- **čipy na páskových nosičích** (Tape Automated Bonding, krátce označované TAB)
- **čipy s „nosníkovými“ vývody** (Beam Lead)

Přímé připojení čipu mikrodrátkem- COB

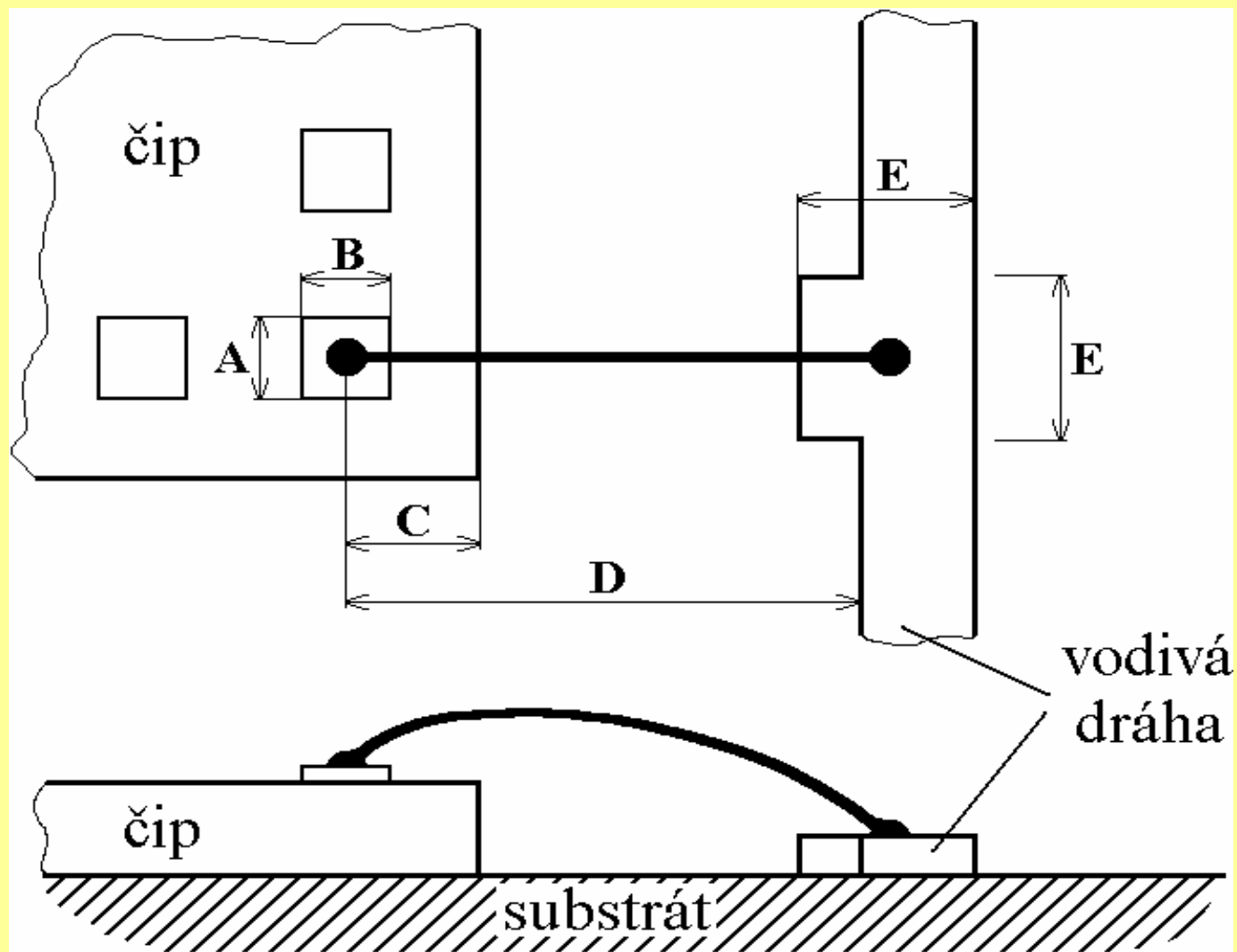
From Computer Desktop Encyclopedia
Reproduced with permission.
© 2000 Joseph Fjelstad



From Computer Desktop Encyclopedia
© 1999 The Computer Language Co. Inc.



Detail jednoho propoje na horní straně čipu



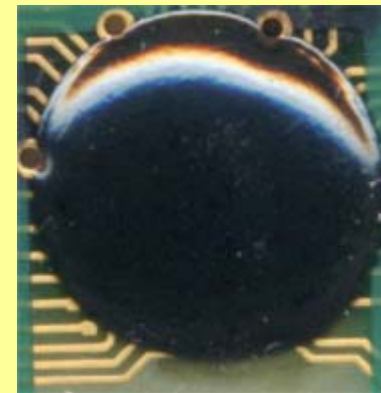
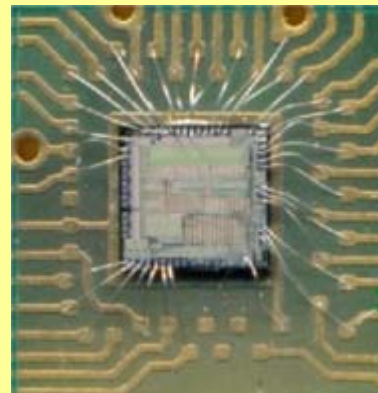
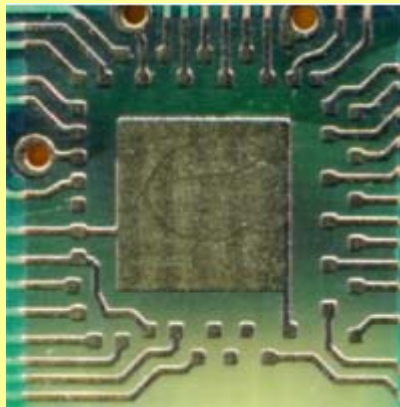
Postup připojení holého čipu (COB)

1. Příprava DPS

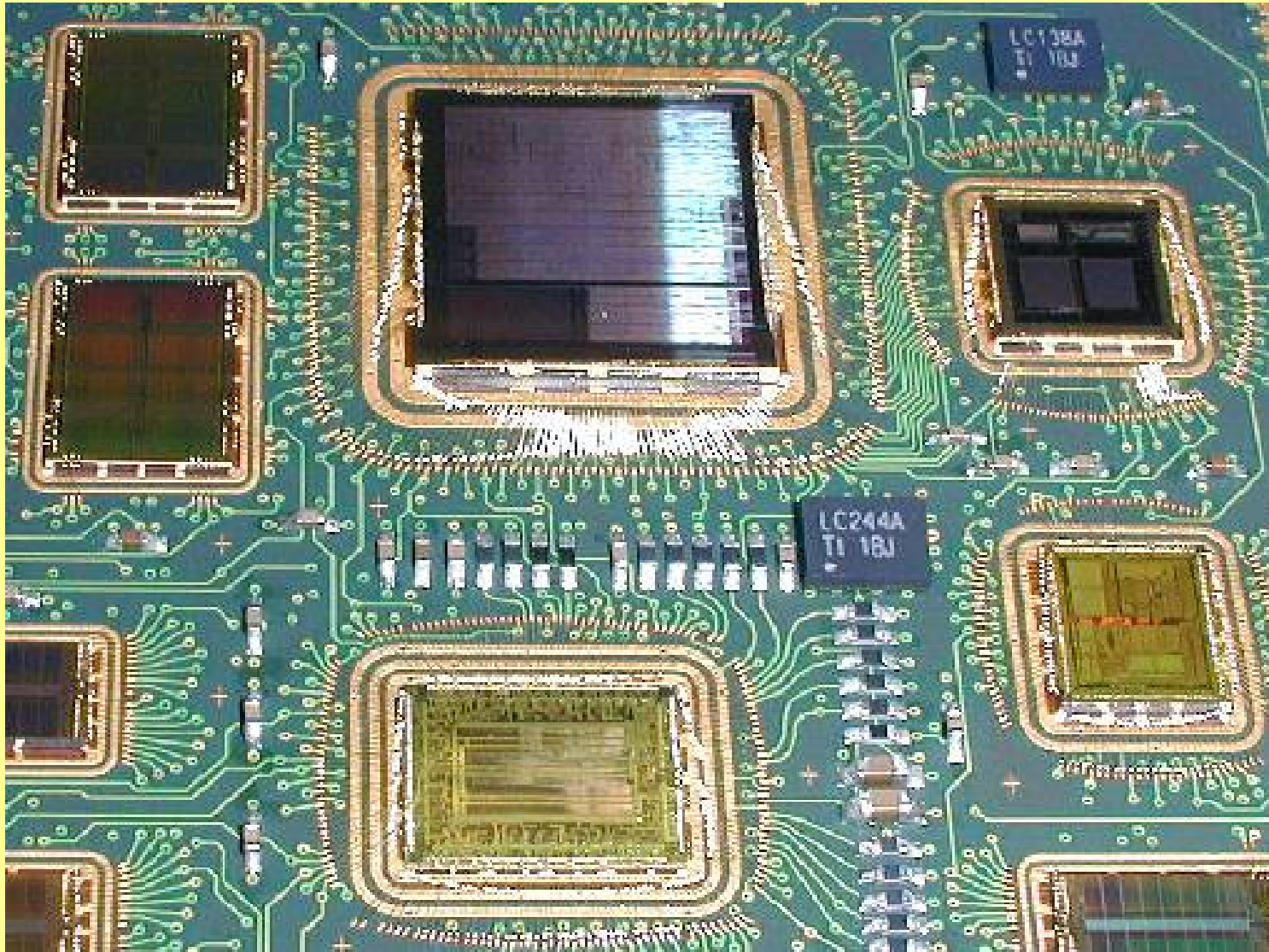
2. Přilepení čipu

3. Propojení

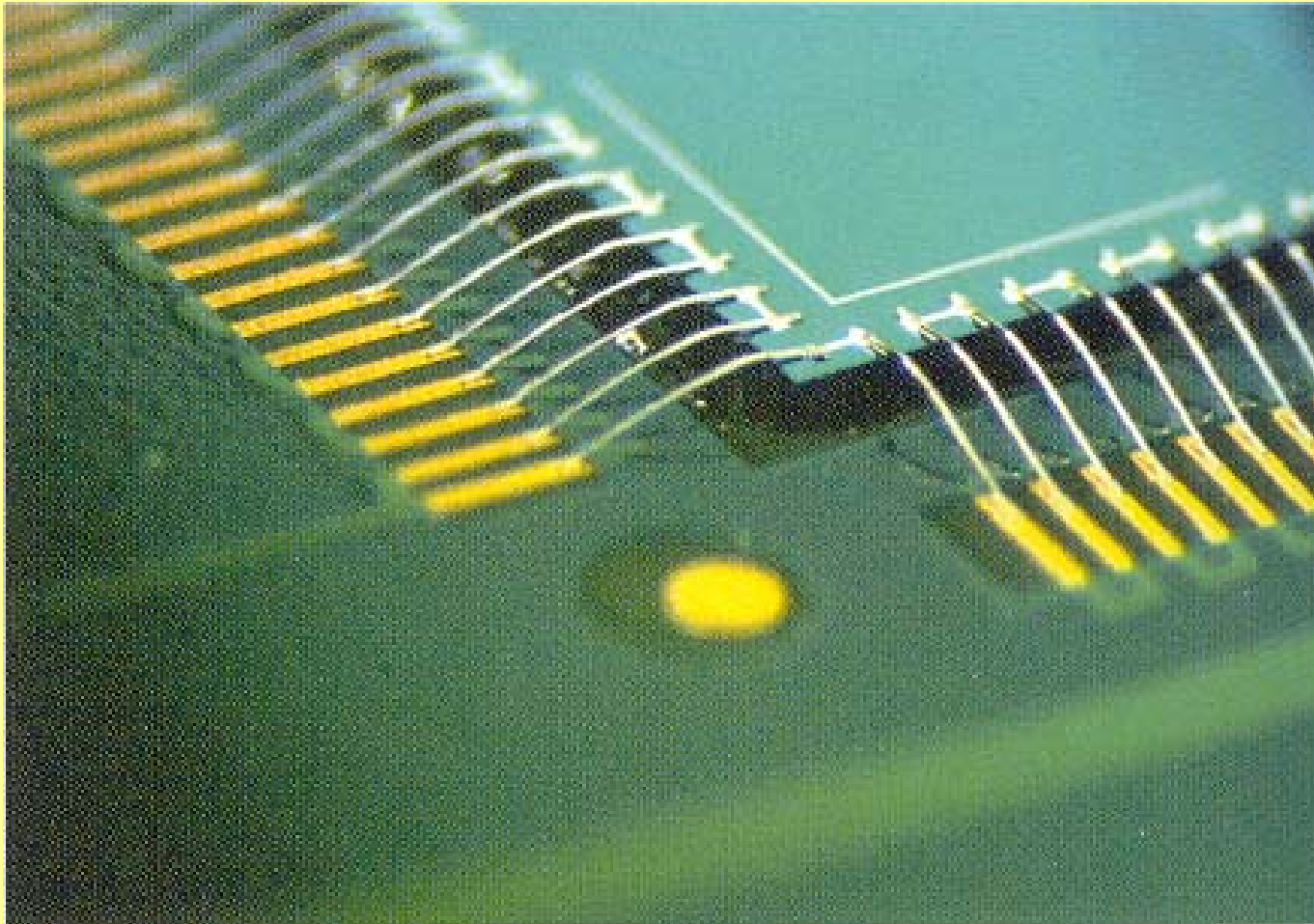
4. Zalití



COB



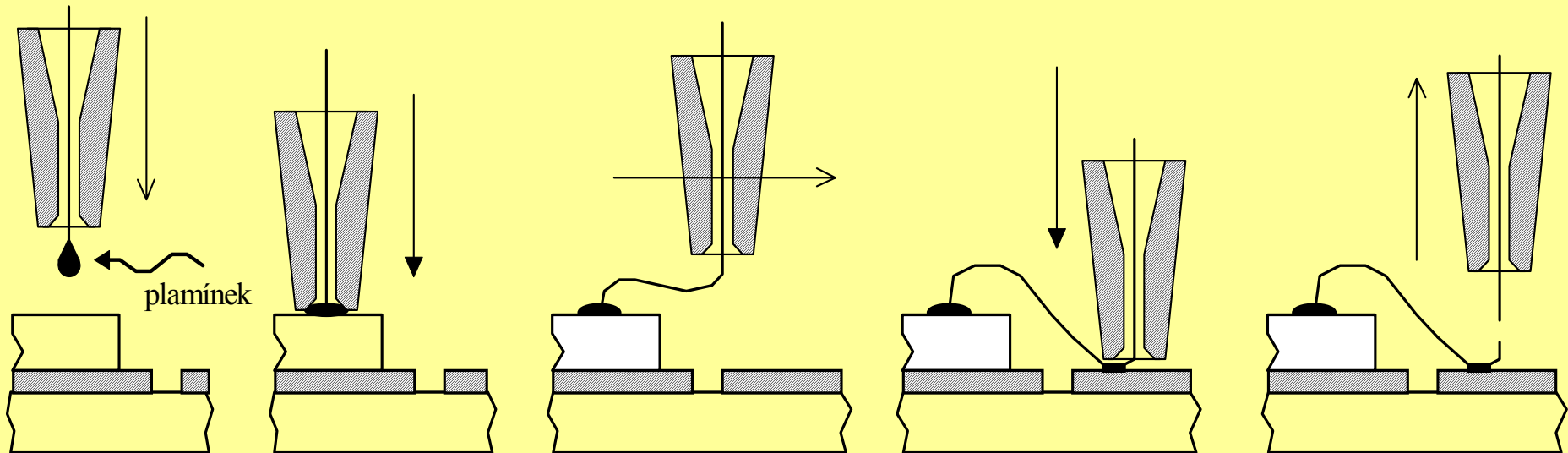
DCA - Direct Chip Attach



Termokompresní kontaktování

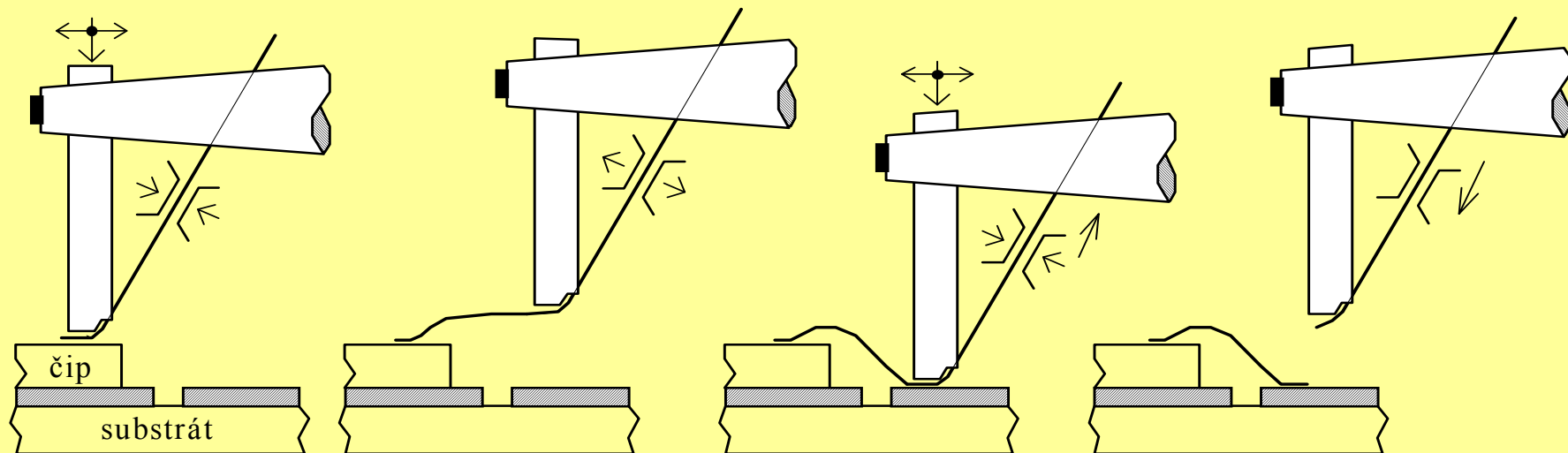
V prvním kroku se pro oba způsoby kontaktování provede na předem vytvořenou plochu na substrátu jedním ze tří následujících způsobů uchycení čipu:

- eutektickým spojením s pomocí Au fólie (využívá se eutektické slitiny Au/Si vznikající při teplotě nad 370°C), k čemuž se používají speciální zařízení,
- měkkou pájkou (např. PbSnSb s teplotou pájení do 200°C), nanášenou dávkovačem,
- vodivým lepidlem nanášeným dávkovačem (nejčastěji na bázi epoxydů či silikonů s vodivými plnidly, jež se vytvrzuje při teplotách do 150°C).



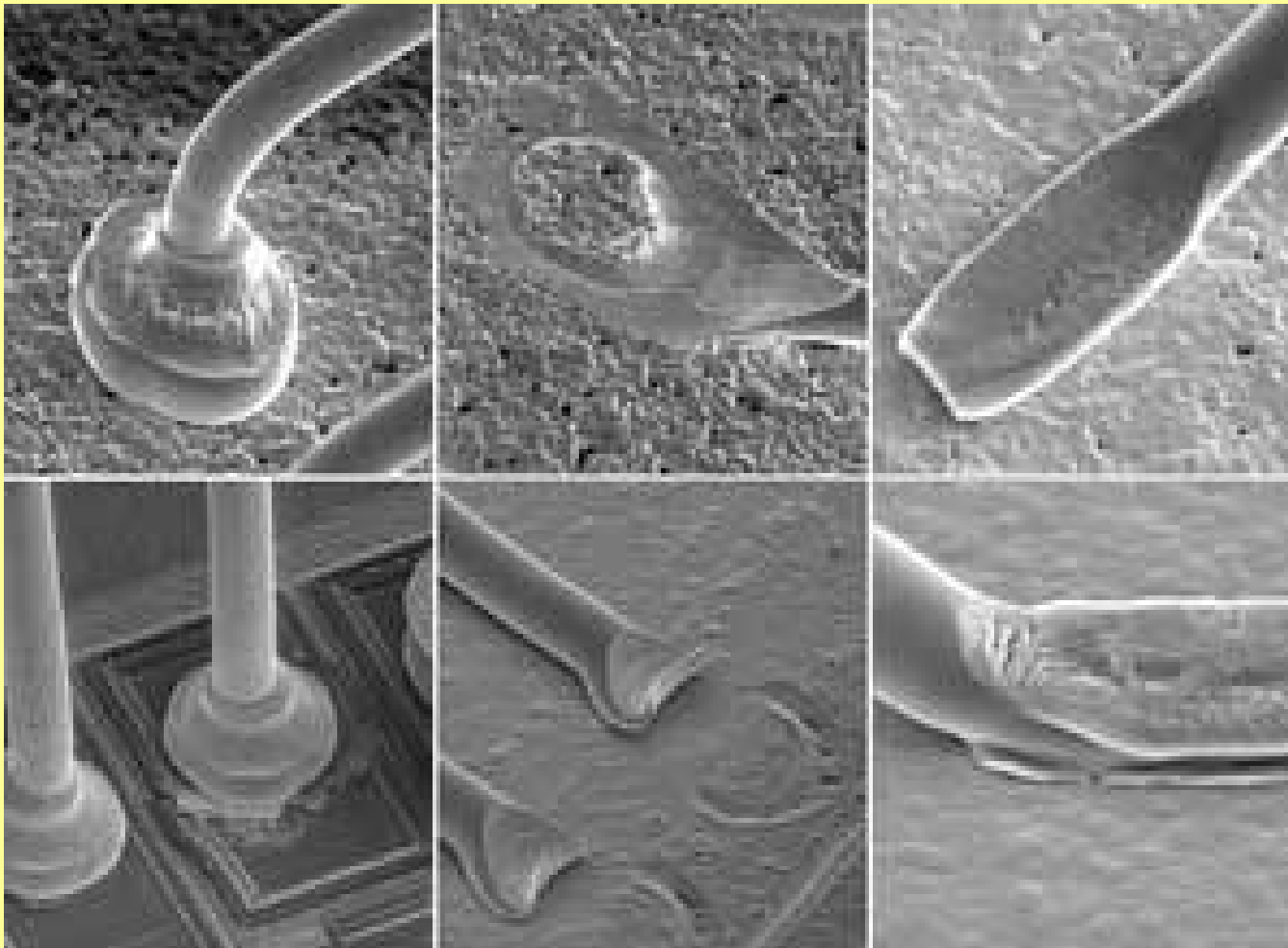
Kontaktování ultrazvukem

- V případě **termokompres** je spoj vytvořen v důsledku vhodné kombinace teploty a tlaku působícího prostřednictvím hrotu na drátek v místě vytvářeného spoje.
- **Ultrazvukové** svařování je založeno na prolínání částic dvou materiálů v důsledku smykového tření vyvolaného působením ultrazvuku (≈ 40 kHz) na hrot přitlačující drátek na kontaktní plošku.

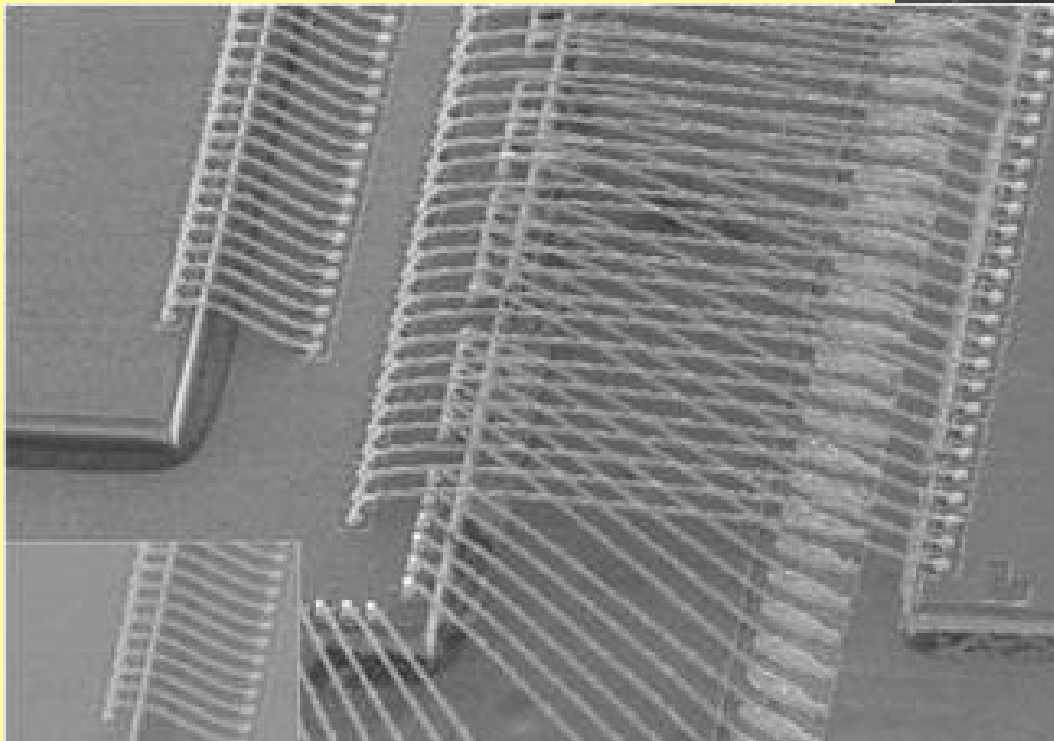
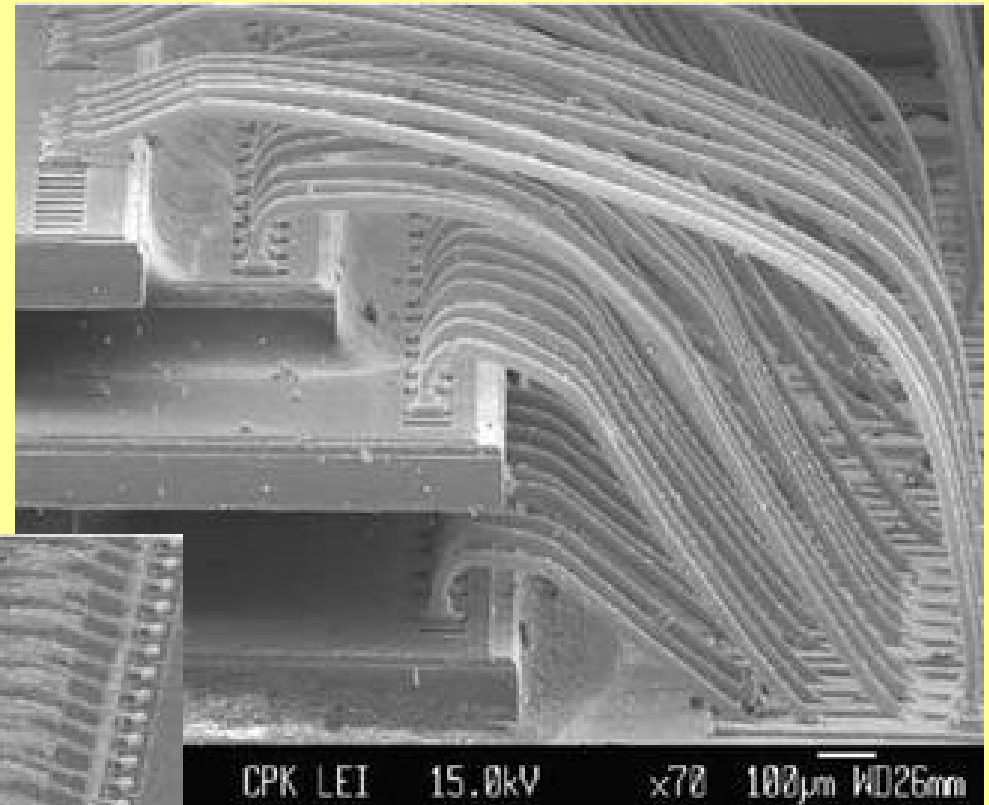


Detail připojení čipů

Jednou ze zásadních otázek je řešení propojení mezi polovodičovými čipy a systémovým interface. To vyžaduje spojení návrhářů systému, systémových integrátorů, návrhářů PCB a také výrobců čipů



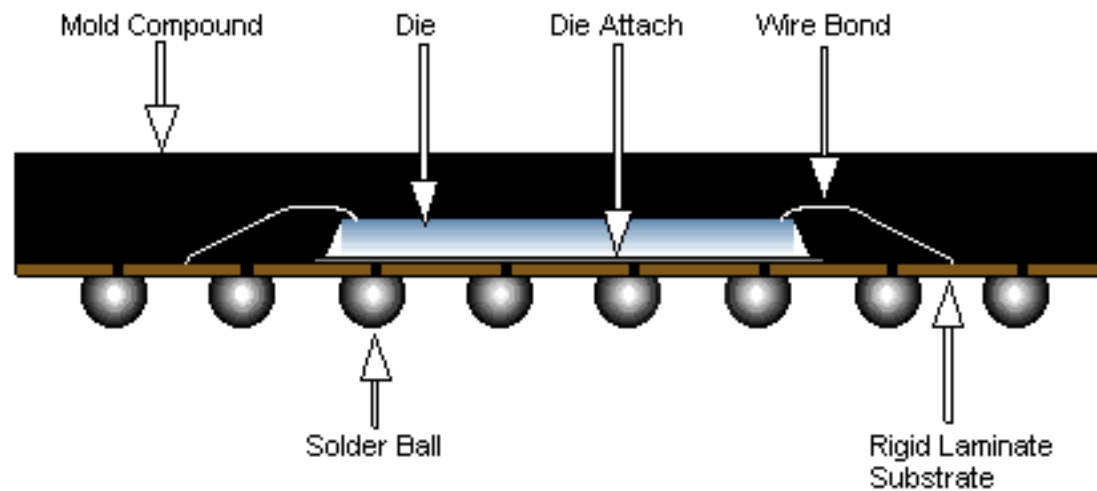
Připojení čipů



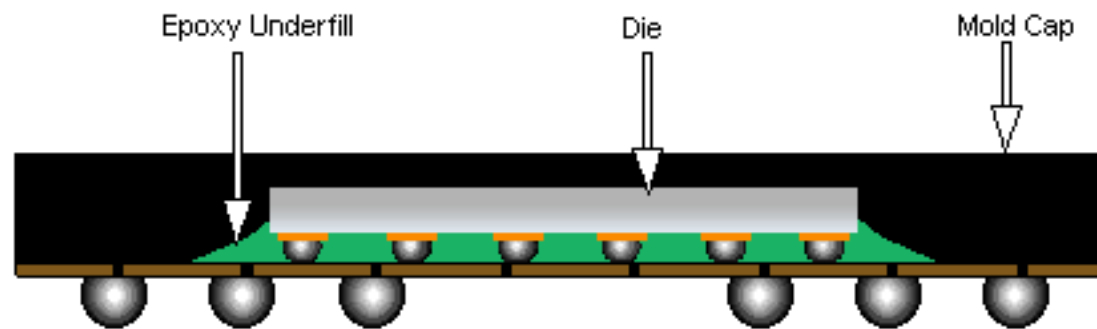
Klasický čip vs. Flip chip

From Computer Desktop Encyclopedia
Reproduced with permission.
© 2001 Amkor Technology, Inc.

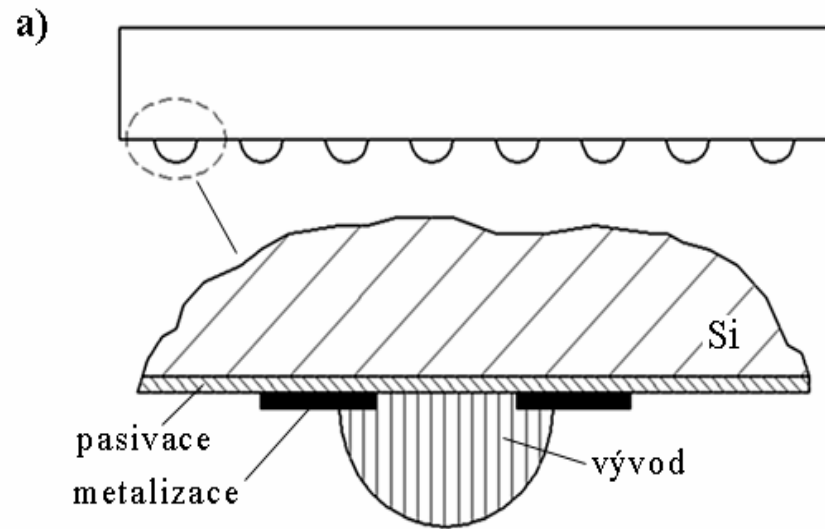
WIRE BOND



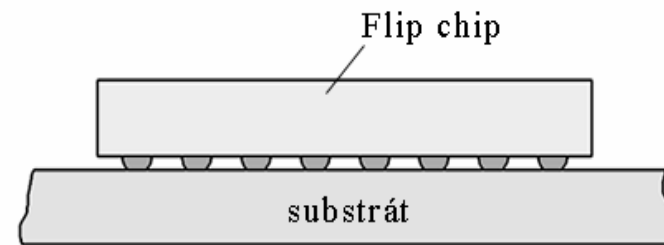
FLIP CHIP



Flip Chip – obrácený čip



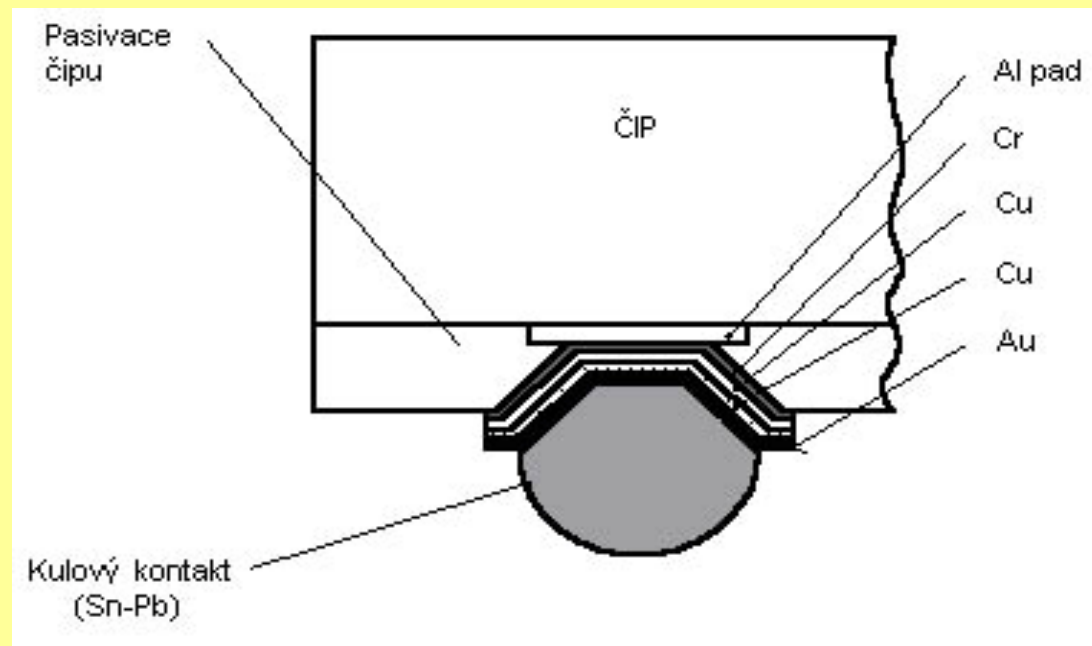
b)



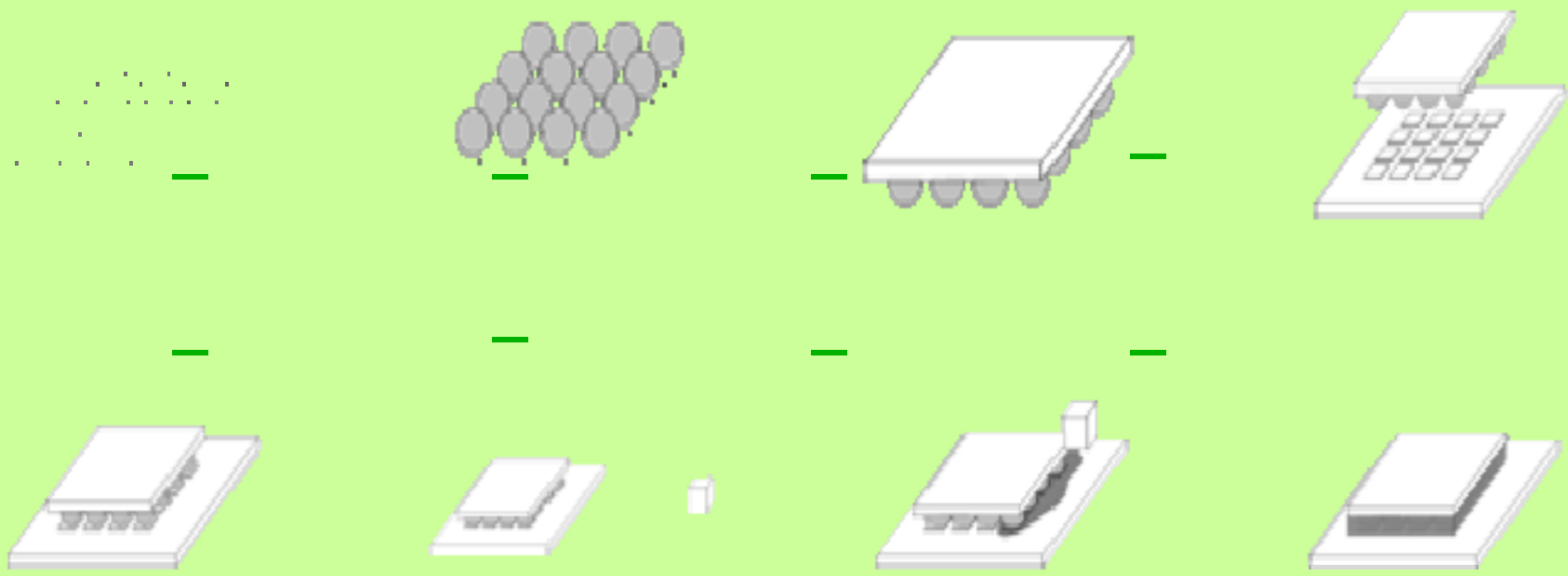
c)

Pájené spoje u Flip chip

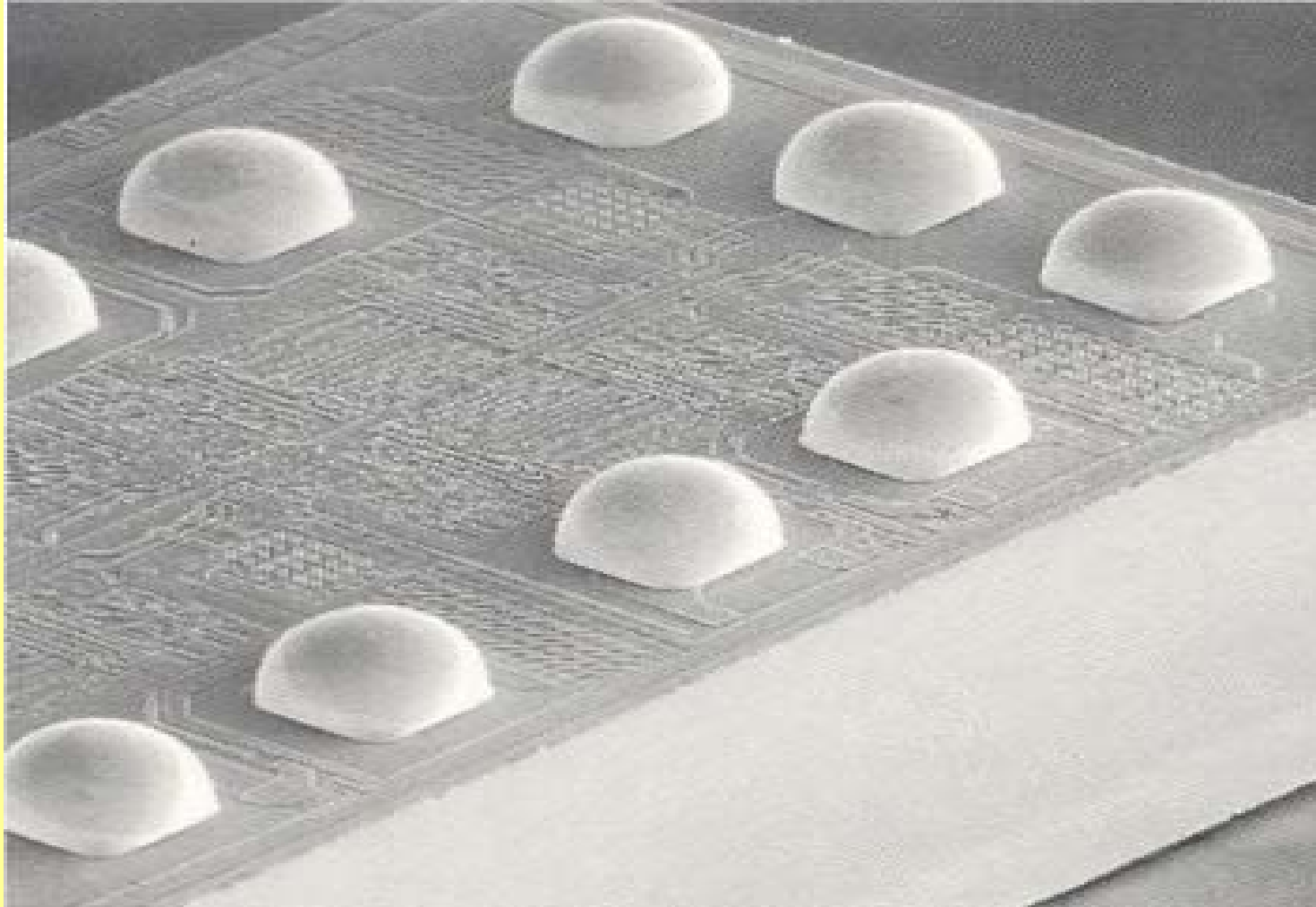
- V moderní elektronice se stále více používají dva typy spojů, které přináší úsporu místa a jejich rozšíření je otázkou dosahované spolehlivosti. Jsou to bezdrátové spoje vytvářené na čipu, pouzdru nebo substrátu, jež mají kulový nebo sloupkový tvar (někdy nazývány „stud“, tedy „knoflíkové“).
- Pro realizaci kulových spojů je rozšířená technologie C4, používaná pro připojování polovodičových čipů (Flip Chip). Tato technologie byla vyvinuta firmou IBM již v šedesátých letech, a od této doby se v různých modifikacích užívá dodnes. Její výhodou je možnost aplikace v konstrukci třírozměrných pouzder a struktur včetně povrchové montáže.



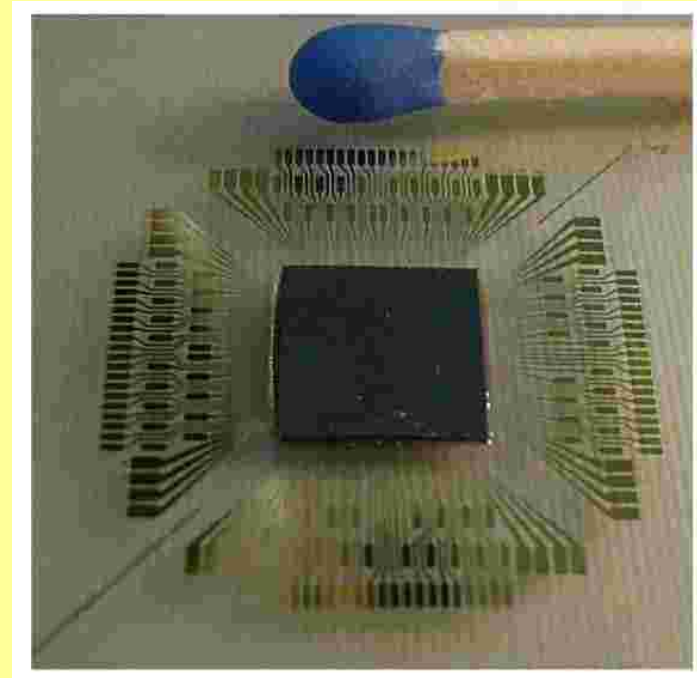
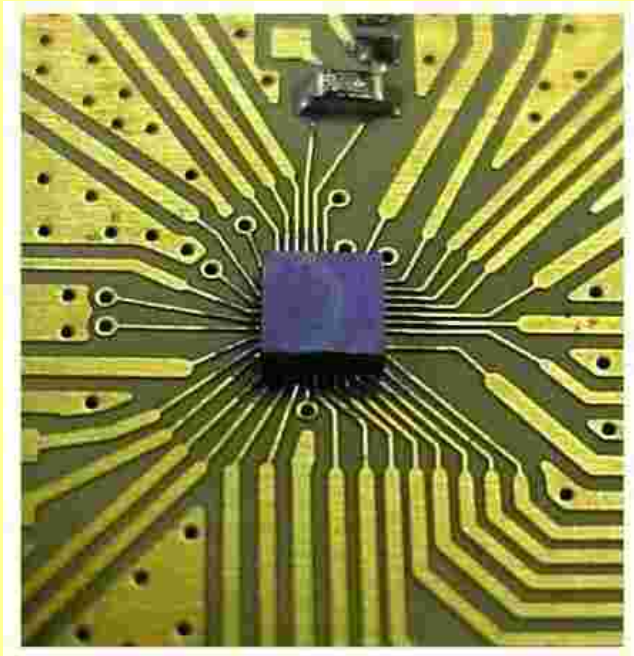
Postup přípravy Flip Chip



Flip Chip - detailní pohled

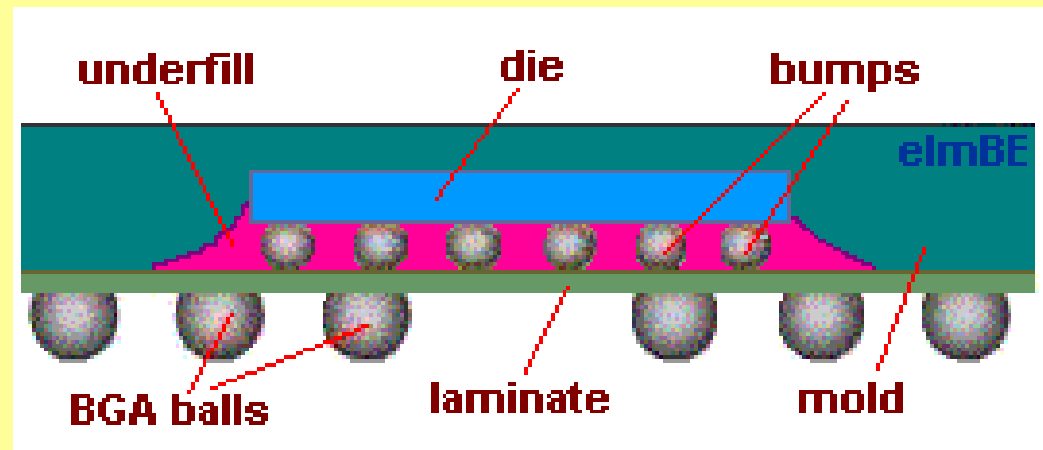


Flip Chip - provedení



http://www.microbonding.com/gb/fc_gb.htm

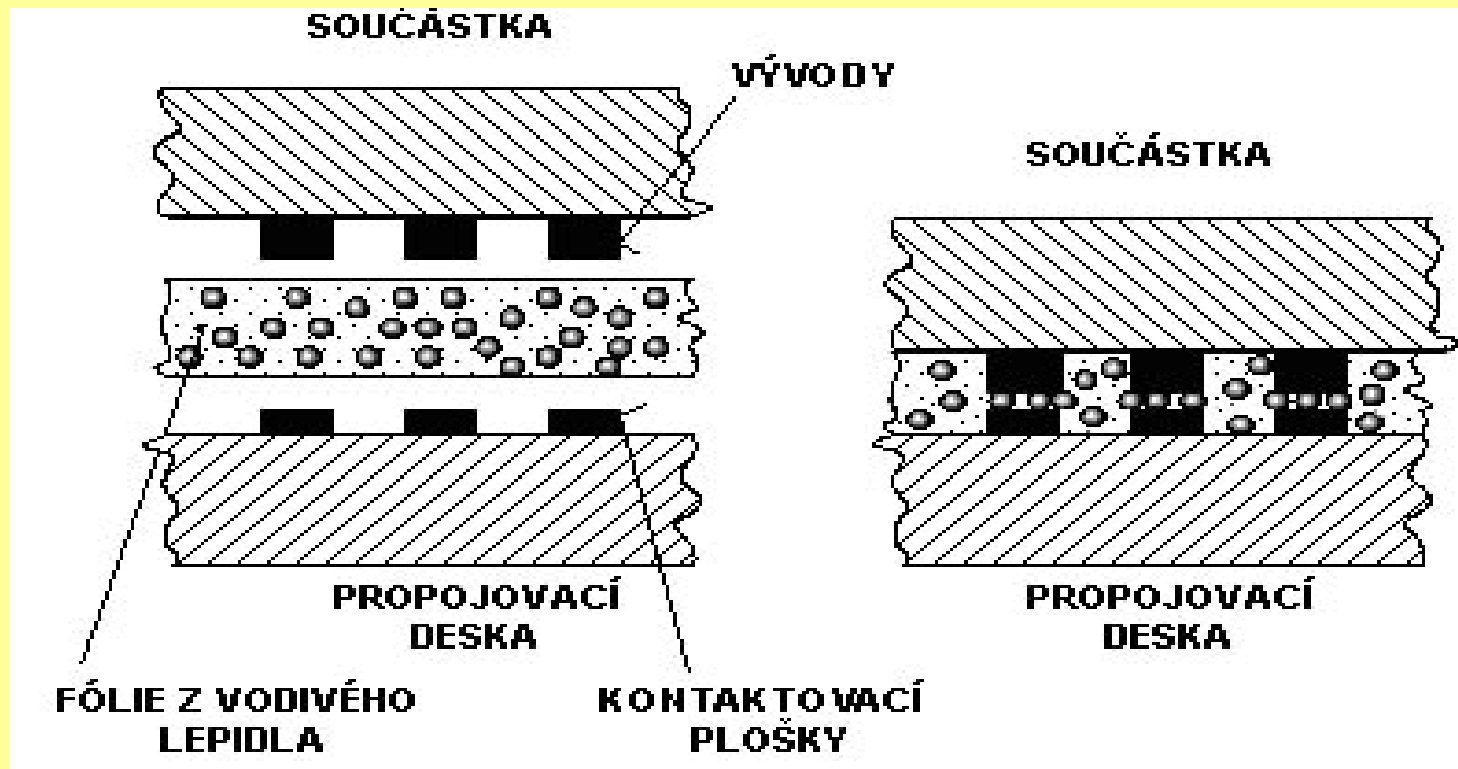
Obrácené čipy (Flip Chip)



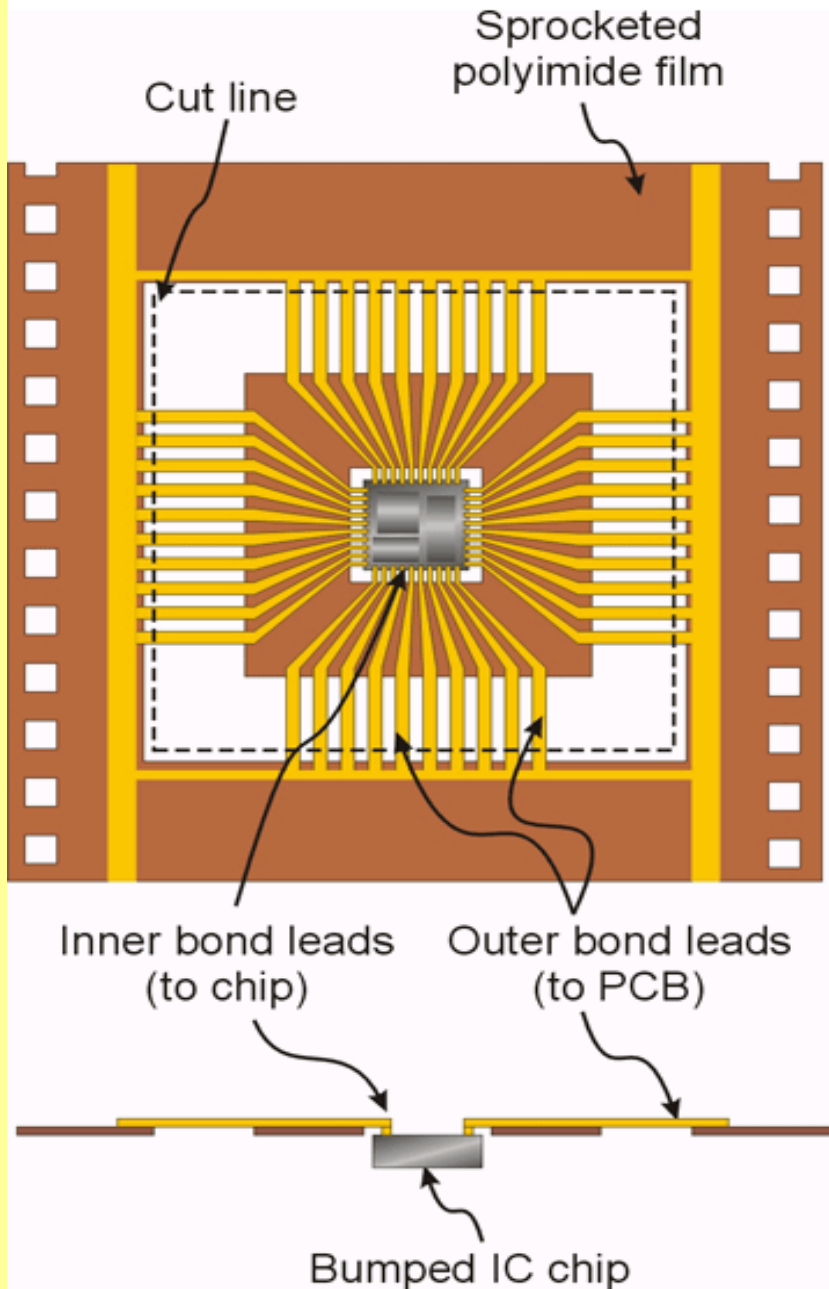
This **flip-chip** PBGA was produced in volume for a Motorola IC
(http://www.chipscalereview.com/issues/0501/tutorial_01.html)

Lepené spoje

- připojování pomocí fólie z elektricky vodivého lepidla s anizotropní vodivostí
- izotropní lepidla které vedou pouze ve směru osy y



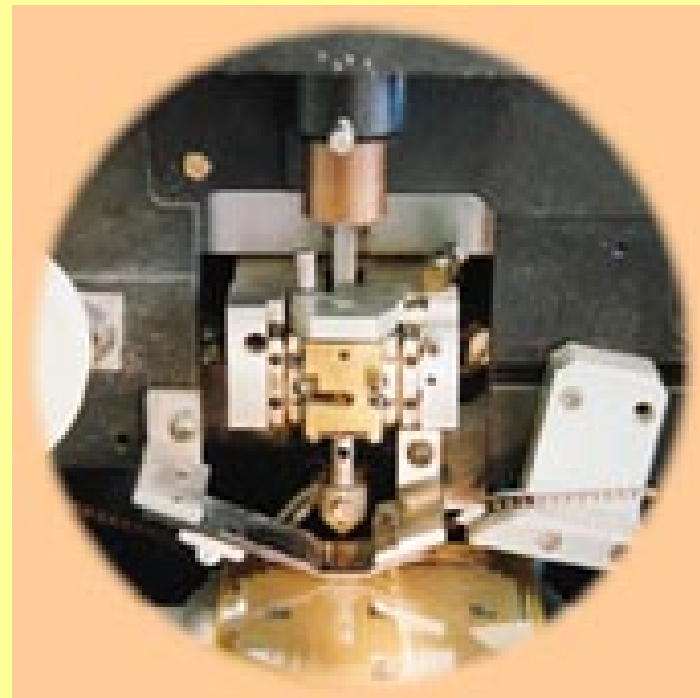
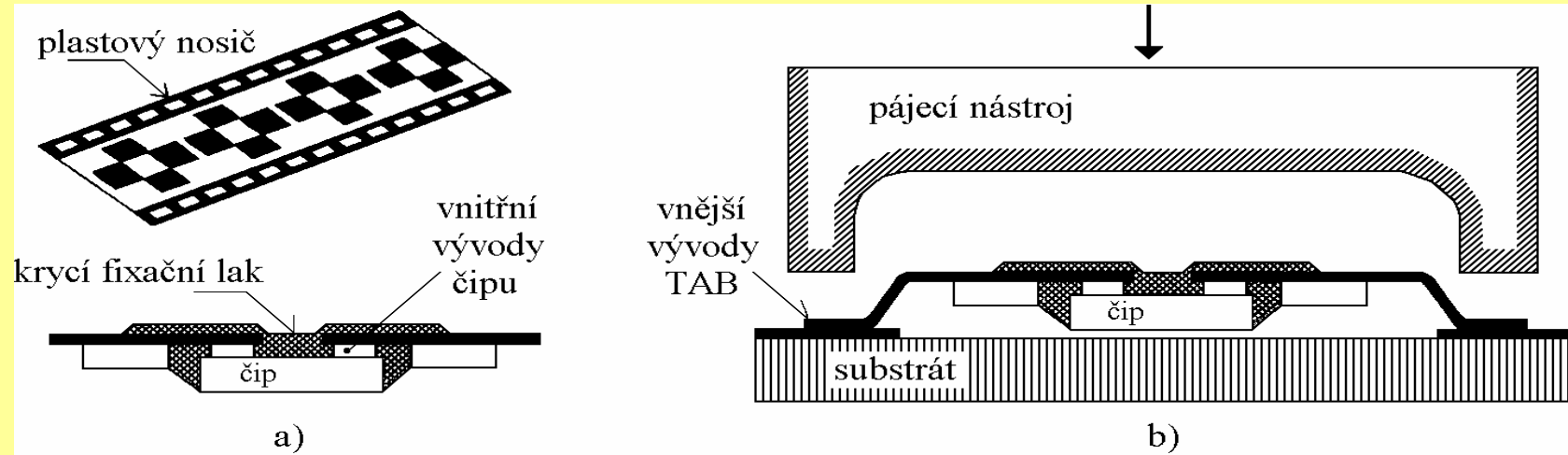
From Computer Desktop Encyclopedia
Reproduced with permission.
© 2000 Joseph Fjelstad



TAB

Potom co je čip vystřižen z páskového nosiče a následně připáje, je zapouzdřen zalitím epoxidem nebo jinou plastickou pouzdrící hmotou.

Speciální čipy (např. TAB)

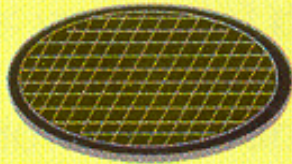


Wafer Level Packaging (WLP)

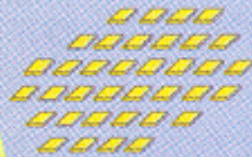
WLP Vs. Conventional IC Packaging

Conventional Package

Wafer



Dicing

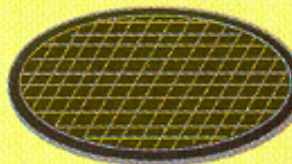


Packaged IC

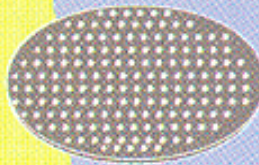


Wafer Level Package

Wafer



Packaging



Packaged IC



Potential Advantages

- 10 – 50 x Size Reduction
- 10 x Reduction in Cost
- Better Electrical Performance
- Acceptable Mechanical Reliability

Závěr

- Za mezní litografii je považováno rozlišení
0,016 μm neboli 16 nm

Podle vědců Intelu by měl Moorův zákon platit ještě asi 10 let. Kolem roku 2018 se však dosáhne 16nanometrové technologie, pod kterou již nebude možné dále postupovat. Další miniaturizace tranzistorů (která kromě snížení ceny znamená i kratší dráhy elektronů a tedy rychlejší čipy) a jejich počet v čipu narazí na fyzikální limity. Hradla v tranzistorech už od hranice okolo 5 nanometrů nebudou schopná řídit směr pohybu elektronů. 5nanometrové hradlo přitom odpovídá právě 16nanometrové výrobní technologii.

- A co dále?
- **Kvantová elektronika**

.... KVANTOVÁ JÁMA:

oblast heterostruktury, ve které jsou zachyceny elektrony a kde se mění jejich vlastnosti - technologicky to je epitaxní vrstvička o tloušťce obvykle pod 20 nm obklopená z obou stran materiálem jiného složení.